

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-61034

(P2010-61034A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1362 (2006.01)	GO2F 1/1362	

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号	特願2008-228828 (P2008-228828)	(71) 出願人	000002185
(22) 出願日	平成20年9月5日 (2008.9.5)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	上田 一也
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム (参考)	2H092 GA14 JA24 JB42 JB67 NA21
			NA30 PA02

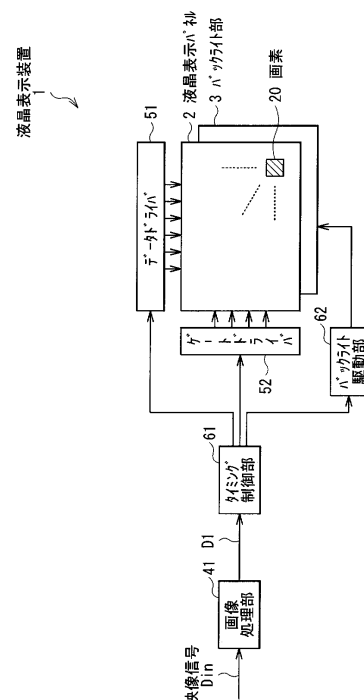
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】輝度の視野角特性および応答特性を簡易に向上させることが可能な液晶表示装置を提供する。

【解決手段】各画素20の液晶素子22A, 22Bに対する表示駆動における動作を行う際に、各画素20に対する表示駆動を空間的に複数に分割して分割駆動動作を行う。これにより、表示画面を斜め方向から見た場合のガンマ特性の変動が分散される。また、サブ画素電極204A, 204Bにおける複数のスリット200A, 200Bに対応する領域に、配向制御電極202A, 202Bを設ける。そして、サブ画素電極204Aの電位が配向制御電極202Aの電位よりも低くなっていると共に、サブ画素電極204Bの電位が配向制御電極202Bの電位よりも低くなっているようにする。対向基板209側に配向制御体を設けずに、液晶層206の液晶分子LCに対して配向規制力が付与される。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

液晶素子を含む複数の画素が全体としてマトリクス状に配置されると共に、TFT基板、対向基板、液晶層、画素電極、対向電極、配向制御電極、容量素子および第1のTFT素子を有する液晶表示パネルと、

各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、前記入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行う駆動部と

を備え、

前記分割駆動動作が、

前記液晶素子に対して印加される液晶印加電圧が、前記入力映像信号に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第1の分割駆動動作群と、

前記液晶印加電圧が、前記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第2の分割駆動動作群と

により構成され、

前記液晶表示パネルにおいて、

前記TFT基板および前記対向基板が、互いに対向配置され、

前記液晶層が、垂直配向(VA)モードの液晶により構成されると共に、前記TFT基板と前記対向基板との間に封止され、

前記画素電極が、前記TFT基板上において画素ごとに設けられると共に、複数のスリット部を有し、

前記対向電極が、前記対向基板上において各画素に共通に設けられ、

前記配向制御電極が、前記TFT基板上において、前記複数のスリット部のうちの少なくとも一のスリット部に対応する領域に設けられ、

前記容量素子が、前記画素電極と前記配向制御電極との対向領域に形成され、

前記第1のTFT素子が、前記TFT基板上に設けられると共に、前記容量素子を介して前記入力映像信号に基づく電圧を前記液晶素子へ印加するためのものであり、

前記画素電極の電位が、前記配向制御電極の電位よりも低くなっている

液晶表示装置。

【請求項 2】

前記画素が、

前記第1の分割駆動動作群における動作を行う際に用いられる第1のサブ画素を有する第1のサブ画素群と、

前記第2の分割駆動動作群における動作を行う際に用いられる第2のサブ画素を有する第2のサブ画素群と

により構成され、

前記駆動部は、前記入力映像信号に基づき、各画素に対する表示駆動を前記サブ画素群ごとに空間的に複数に分割して分割駆動動作を行い、

前記配向制御電極が、前記サブ画素群ごとに設けられている

請求項1に記載の液晶表示装置。

【請求項 3】

前記第1のサブ画素群が1つの第1のサブ画素を有すると共に、前記第2のサブ画素群が1つの第2のサブ画素を有し、

各画素において、

前記画素電極が、前記第1および第2のサブ画素内にそれぞれ設けられたサブ画素電極により構成され、

前記第1のサブ画素内にのみ前記第1のTFT素子が設けられ、

前記第1のサブ画素内のサブ画素電極と、前記第2のサブ画素内の配向制御電極とが、互いに電氣的に接続されて同電位となっている

請求項2に記載の液晶表示装置。

10

20

30

40

50

【請求項 4】

各画素に対する表示駆動の単位フレーム期間が、

前記第 1 の分割駆動動作群における動作を行う際に用いられるサブフレーム期間を有する第 1 のサブフレーム期間群と、

前記第 2 の分割駆動動作群における動作を行う際に用いられるサブフレーム期間を有する第 2 のサブフレーム期間群と

により構成され、

前記駆動部は、前記入力映像信号に基づき、各画素に対する表示駆動を前記サブフレーム期間群ごとに時間的に複数に分割して分割駆動動作を行う

請求項 1 に記載の液晶表示装置。

10

【請求項 5】

前記液晶表示パネルは、各画素において、前記画素電極と、前記入力映像信号を供給するためのデータ線との間を電氣的に接続するための第 2 の TFT 素子を有する

請求項 1 ないし請求項 4 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、TFT (Thin Film Transistor; 薄膜トランジスタ) 素子を用いて表示駆動を行う液晶表示装置に関する。

【背景技術】

20

【0002】

近年、液晶テレビやノート型パソコン、カーナビゲーション等の表示モニタとして、例えば、垂直配向型液晶を用いた VA (Vertical Alignment) モードを採用した液晶表示装置が提案されている。この VA モードでは、液晶分子が負の誘電率異方性、すなわち分子の長軸方向の誘電率が短軸方向に比べて小さい性質を有しており、TN (Twisted Nematic) モードに比べて広視野角を実現できる。

【0003】

ところが、VA モードの液晶を用いた液晶表示装置では、表示画面を正面方向から見た場合と斜め方向から見た場合とで、輝度に変動してしまうという問題がある。図 10 は、VA モードの液晶を用いた液晶表示装置における、映像信号の階調 (0 ~ 255 階調) と輝度比 (255 階調での輝度に対する輝度比) との関係を表したものである。図中の矢印 P101 で示したように、正面方向から見た場合 ($Y_s(0^\circ)$) と、45 度方向から見た場合 ($Y_s(45^\circ)$) とでは、輝度特性が大きく異なっている (輝度が高くなる方向に変動している) ことが分かる。このような現象は、「しらっちゃけ」や「Wash out」、「Color Shift」などと呼ばれ、VA モードの液晶を用いた場合の液晶表示装置における最大の欠点とされている。

30

【0004】

そこで、このような「しらっちゃけ」現象の改善策として、単位画素を複数のサブ画素に分離すると共に、各々のサブ画素でのしきい値を変えるようにしたもの (マルチ画素構造) が提案されている (例えば、特許文献 1 ~ 3)。

40

【0005】

図 11 は、マルチ画素構造における映像信号の階調と各サブ画素の表示態様との関係の一例を表したものである。0 階調 (黒表示状態) から 255 階調 (白表示状態) まで階調が上がる (輝度が高くなる) 過程において、まず、画素のうちの一部 (一方のサブ画素) の輝度が高くなっていき、その後、画素のうちの他の部分 (他方のサブ画素) の輝度が高くなっていくことが分かる。すなわち、マルチ画素構造ではしきい値が 2 つ設けられているため、ガンマ特性の変動が分散されている。したがって、例えば図 10 中の矢印 P102 で示したように、マルチ画素構造における 45° 方向での輝度特性 ($Y_m(45^\circ)$) では、通常の画素構造における 45° 方向での輝度特性 ($Y_s(45^\circ)$) と比べ、「しらっちゃけ」現象が改善されている。

50

【 0 0 0 6 】

ここで、上記特許文献 1 ～ 3 に示されたマルチ画素構造は、容量結合による H T (ハーフトーン・グレースケール) 法と呼ばれており、2 つのサブ画素間の電位差が容量の比率で定まるようになっている。

【 0 0 0 7 】

一方、上記特許文献 1 ～ 3 とは異なる、2 つトランジスタを用いたマルチ画素構造も提案されている。このマルチ画素構造では、2 つのサブ画素はそれぞれ、互いに異なるゲート線またはデータ線に接続された T F T を介して駆動されるようになっている。つまり、2 つのサブ画素はそれぞれ、電氣的に完全に独立して駆動されている。そしてこのマルチ画素構造では、各画素の階調データが、一定の変換テーブル (L U T ; ルックアップテーブル) に従って置換されたり、データドライバにおける複数種類のリファレンス電圧が用いられったりすることにより、サブ画素ごとに駆動されるようになっている。

10

【 0 0 0 8 】

また、通常の画素構造において、表示駆動の単位フレームを複数 (例えば、2 つ) のサブフレームに時間的に分割すると共に、所望の輝度を、高輝度のサブフレームと低輝度のサブフレームとを用いて時間的に分割して表現するようにしたものも提案されている。このような手法によっても、マルチ画素構造の場合と同様にハーフトーンの効果を得ることができ、「しらっちゃけ」現象が改善されることが分かっている。

【 0 0 0 9 】

ところで、このような V A モードの液晶表示装置では、電圧が印加されると、基板に垂直に配向していた液晶分子が、負の誘電率異方性によって基板に対して平行な方向に倒れるように応答することにより、光を透過させる構成となっている。ところが、基板に対して垂直方向に配向した液晶分子の倒れる方向 (電圧印加時のダイレクタ) は任意であるため、電圧印加により液晶分子の配向が乱れ、電圧に対する応答特性を悪化させる要因となっていた。

20

【 0 0 1 0 】

そこで、電圧に応答して倒れる方向の規制手段 (配向制御体) として、基板上に傾斜面を有する絶縁性の突起物を一定間隔で設けることにより、液晶分子を基板と垂直な方向から特定の方向に傾けて配向させる技術が開示されている (M V A - L C D ; 例えば、非特許文献 1) 。また、別の規制手段 (配向制御体) として、画素電極や対向電極の一部にスリット (電極のない部分) を設けることにより、液晶分子に対して斜めに電圧を印加して (斜め電界により) 液晶の配向方向を制御する方式も提案されている (P V A - L C D ; 例えば、非特許文献 2) 。

30

【 0 0 1 1 】

さらに、別の規制手段 (配向制御体) として、制御電極上に、スリットを有するフローティング電極を設けるようにしたものが提案されている (例えば、特許文献 4 ～ 6) 。この手法を用いた場合も、M V A - L C D における突起物や P V A - L C D におけるスリットと同様に、液晶分子に対して配向制御力を付与することができ、所望の配向制御が可能となっている。

【 0 0 1 2 】

40

【特許文献 1】特開平 2 - 1 2 号公報

【特許文献 2】米国特許第 4 , 8 4 0 , 4 6 0 号明細書

【特許文献 3】特許第 3 0 7 6 9 3 8 号明細書

【特許文献 4】特許第 3 4 9 2 5 8 2 号明細書

【特許文献 5】特許第 3 5 1 4 2 1 9 号明細書

【特許文献 6】特開 2 0 0 1 - 2 3 5 7 5 1 号公報

【非特許文献 1】S I D ' 9 8、p . 1 0 7 7、1 9 9 8 年

【非特許文献 2】A s i a D i s p l a y、p . 3 8 3、1 9 9 8 年

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 1 3 】

ここで、上記非特許文献 1 , 2 における配向制御体（突起物やスリット）は、いずれも、TFT 基板および対向基板の両基板側に配向制御体が設けられている。したがって、対称な光学特性や良好な応答特性を得るためには、TFT 基板側の配向制御体と対向基板側の配向制御体とが交互に配列するよう、高い精度で貼り合わせる必要があった。よって、結果として、高精度な貼り合せ装置が必要となるという問題があった。

【 0 0 1 4 】

一方、上記特許文献 4 ~ 6 では、TFT 基板側にのみ配向制御体が設けられており、対向基板側には配向制御体が存在しない。

【 0 0 1 5 】

ところが、輝度の視野角特性を向上させることを目的として、上記したマルチ画素構造等のハーフトーン技術を用いる場合、画素構造が従来よりも複雑化する傾向にある。そのため、ハーフトーン技術を用いる場合、配向制御体によって電圧に対する応答特性を向上させるためには、より高い精度での張り合わせ技術が要求されることになる。よって、輝度の視野角特性および応答特性を簡易に向上させる技術の提案が望まれていた。

【 0 0 1 6 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、輝度の視野角特性および応答特性を簡易に向上させることが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 7 】

本発明の液晶表示装置は、液晶素子を含む複数の画素が全体としてマトリクス状に配置されると共に、TFT 基板、対向基板、液晶層、画素電極、対向電極、配向制御電極、容量素子および第 1 の TFT 素子を有する液晶表示パネルと、各画素の液晶素子に対して入力映像信号に基づく電圧を印加することにより表示駆動を行うと共に、入力映像信号に基づき、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行う駆動部とを備えたものである。ここで、上記分割駆動動作は、液晶素子に対して印加される液晶印加電圧が入力映像信号に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第 1 の分割駆動動作群と、上記液晶印加電圧が上記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第 2 の分割駆動動作群とにより構成されている。また、上記液晶表示パネルにおいて、上記 TFT 基板および前記対向基板が互いに対向配置され、上記液晶層が、垂直配向（VA）モードの液晶により構成されると共に TFT 基板と対向基板との間に封止され、上記画素電極が、TFT 基板上において画素ごとに設けられると共に複数のスリット部を有し、上記対向電極が、対向基板上において各画素に共通に設けられ、上記配向制御電極が、TFT 基板上において複数のスリット部のうちの少なくとも一のスリット部に対応する領域に設けられ、上記容量素子が、画素電極と配向制御電極との対向領域に形成され、上記第 1 の TFT 素子が、TFT 基板上に設けられると共に上記容量素子を介して入力映像信号に基づく電圧を液晶素子へ印加するためのものであり、上記画素電極の電位が上記配向制御電極の電位よりも低くなっている。

【 0 0 1 8 】

本発明の液晶表示装置では、VA モードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、映像信号に基づき、各画素に対する表示駆動が空間的または時間的に複数に分割されて分割駆動動作がなされるため、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性（映像信号の階調と輝度との関係を示す特性）の変動（表示画面を正面方向から見た場合からの変動）が分散される。また、TFT 基板上の画素電極における複数のスリット部のうちの少なくとも一のスリット部に対応する領域に配向制御電極が設けられると共に、上記画素電極の電位がこの配向制御電極の電位よりも低くなっているため、配向制御電極上の液晶層の電界が、他の領域における液晶層の電界よりも大きくなる。これにより、対向基板側に配向制御体（例えば、突起物やスリットなど）を設けることなく、液晶層の液晶分子に対する配向規制力の付与が可能となる。

10

20

30

40

50

【発明の効果】

【0019】

本発明の液晶表示装置によれば、VAモードの液晶を用いた各画素の液晶素子に対する表示駆動における動作を行う際に、各画素に対する表示駆動を空間的または時間的に複数に分割して分割駆動動作を行うようにしたので、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動を分散させることができ、輝度の視野角特性を向上させることができる。また、TFT基板上の画素電極における複数のスリット部のうちの少なくとも一のスリット部に対応する領域に配向制御電極を設けると共に、上記画素電極の電位がこの配向制御電極の電位よりも低くなっているようにしたので、対向基板側に配向制御体を設けずに液晶層の液晶分子に対して配向規制力を付与することができ、簡易な構成で応答特性を向上させることができる。よって、輝度の視野角特性および応答特性を簡易に向上させることが可能となる。

10

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0021】

図1は、本発明の一実施の形態に係る液晶表示装置（液晶表示装置1）の全体構成を表すものである。この液晶表示装置1は、液晶表示パネル2と、バックライト部3と、画像処理部41と、データドライバ51と、ゲートドライバ52と、タイミング制御部61と、バックライト駆動部62とを備えている。

20

【0022】

バックライト部3は、液晶表示パネル2に対して光を照射する光源であり、例えばCFL（Cold Cathode Fluorescent Lamp：冷陰極蛍光ランプ）やLED（Light Emitting Diode：発光ダイオード）などを含んで構成される。

【0023】

液晶表示パネル2は、後述するゲートドライバ52から供給される駆動信号に従って、データドライバ51から供給される駆動電圧に基づいてバックライト部3から発せられる光を変調することにより、映像信号Dinに基づく映像表示を行うものである。この液晶表示パネル2は、全体としてマトリクス状に並んで配置された複数の画素20を含んで構成されている。各画素20は、R（Red：赤）、G（Green：緑）またはB（Blue：青）に対応する画素（図示しないR、G、B用のカラーフィルタが設けられている画素であり、R、G、Bの色の表示光を射出する画素）により構成されている。

30

【0024】

画像処理部41は、外部からの映像信号Dinに対して所定の画像処理を施すことにより、RGB信号である映像信号D1を生成するものである。

【0025】

ゲートドライバ52は、タイミング制御部61によるタイミング制御に従って、液晶表示パネル2内の各画素20を図示しない走査線（後述するゲート線G）に沿って線順次駆動するものである。

【0026】

データドライバ51は、液晶表示パネル2の各画素20へそれぞれ、タイミング制御部61から供給される映像信号D1に基づく駆動電圧を供給するものである。具体的には、このデータドライバ51は、映像信号D1に対してD/A変換を施すことにより、アナログ信号である映像信号（上記駆動電圧）を生成し、各画素20へ出力するようになっている。

40

【0027】

バックライト駆動部62は、バックライト部3の点灯動作（発光動作）を制御するものである。タイミング制御部61は、ゲートドライバ52およびデータドライバ51の駆動タイミングを制御すると共に、映像信号D1をデータドライバ51へ供給するものである。

50

【 0 0 2 8 】

次に、図 2 を参照して、各画素 2 0 に形成された画素回路の構成について詳細に説明する。図 2 は、各画素 2 0 内の画素回路の回路構成例を表したものである。

【 0 0 2 9 】

画素 2 0 は、2 つのサブ画素 2 0 A , 2 0 B により構成され、マルチ画素構造となっている。サブ画素 2 0 A は、主容量素子である液晶素子 2 2 A と、補助容量素子 2 3 A と、容量素子 2 4 A と、薄膜トランジスタ (T F T : Thin Film Transistor) 素子 2 1 A とを有している。一方、サブ画素 2 0 B は、主容量素子である液晶素子 2 2 B と、補助容量素子 2 3 B と、容量素子 2 4 B とを有している。また、画素 2 0 には、駆動対象の画素を線順次で選択するための 1 本のゲート線 G と、駆動対象の画素 2 0 内のサブ画素 2 0 A , 2 0 B に対して駆動電圧 (データドライバ 5 1 から供給される駆動電圧) を供給するための 1 本のデータ線 D と、補助容量素子 2 3 A , 2 3 B の対向電極側に対して所定の基準電位を供給するためのバスラインである 1 本の補助容量線 C s とが接続されている。

10

【 0 0 3 0 】

液晶素子 2 2 A は、データ線 D から T F T 素子 2 1 A および容量素子 2 4 A を介して一端に供給される駆動電圧に応じて、表示のための動作を行う (表示光を射出する) 表示要素として機能している。一方、液晶素子 2 2 B は、データ線 D から T F T 素子 2 1 A および容量素子 2 4 A , 2 4 B を介して一端に供給される駆動電圧に応じて、表示のための動作を行う (表示光を射出する) 表示要素として機能している。これら液晶素子 2 2 A , 2 2 B は、詳細は後述するが、V A モードの液晶により構成された液晶層 (図示せず) と、この液晶層を挟む一对の電極 (図示せず) とを含んで構成されている。液晶素子 2 2 A における一对の電極のうち的一方 (一端) 側 (後述するサブ画素電極 2 0 4 A 側) は、接続点 P 2 に接続され、他方 (他端) 側 (後述する対向電極 2 0 8 側) は、接地されている。また、液晶素子 2 2 B における一对の電極のうち的一方 (一端) 側 (後述するサブ画素電極 2 0 4 B 側) は、接続点 P 3 に接続され、他方 (他端) 側 (後述する対向電極 2 0 8 側) は、接地されている。

20

【 0 0 3 1 】

補助容量素子 2 3 A , 2 3 B は、液晶素子 2 2 A , 2 2 B の蓄積電荷を安定化させるための容量素子である。補助容量素子 2 3 A の一端は、配線 L 2 を介して接続点 P 2 および後述する容量素子 2 4 B の一端に接続され、他端は補助容量線 C s に接続されている。また、補助容量素子 2 3 B の一端は接続点 P 3 に接続され、他端は補助容量線 C s に接続されている。

30

【 0 0 3 2 】

T F T 素子 2 1 A は、M O S - F E T (Metal Oxide Semiconductor - Field Effect Transistor) により構成されており、ゲートがゲート線 G に接続され、ソースが接続点 P 1 に接続され、ドレインがデータ線 D に接続されている。この T F T 素子 2 1 A は、後述する容量素子 2 4 A を介して、液晶素子 2 2 A の一端、補助容量素子 2 3 A の一端および後述する容量素子 2 4 B の一端に対してそれぞれ、画素 2 0 用の駆動電圧 (映像信号 D 1 に基づく駆動電圧) を供給するためのスイッチング素子として機能している。具体的には、ゲートドライバ 5 2 からゲート線 G を介して供給される選択信号に応じて、データ線 D と容量素子 2 4 A の一端 (接続点 P 1) との間を選択的に導通させるようになっている。なお、本実施の形態の画素 2 0 では、サブ画素 2 0 A 内にのみ、スイッチング素子としての T F T 素子 (T F T 素子 2 1 A) が設けられている。

40

【 0 0 3 3 】

容量素子 2 4 A は、一端が接続点 P 1 (後述する配向制御電極 2 0 2 A 側) に接続され、他端が接続点 P 2 (液晶素子 2 2 A における後述するサブ画素電極 2 0 4 A 側) に接続されている。この容量素子 2 4 A は、詳細は後述するが、配向制御電極 2 0 2 A の電位を、サブ画素電極 2 0 4 A の電位よりも高くする (サブ画素電極 2 0 4 A の電位を、配向制御電極 2 0 2 A の電位よりも低くする) ためのものである。

【 0 0 3 4 】

50

容量素子 2 4 B は、一端が配線 L 2 を介して接続点 P 2（後述する配向制御電極 2 0 2 B およびサブ画素電極 2 0 4 A 側）に接続され、他端が接続点 P 3（液晶素子 2 2 B における後述するサブ画素電極 2 0 4 B 側）に接続されている。この容量素子 2 4 B は、2 つの役割を有している。1 つ目は、ハーフトーン効果を実現するため、サブ画素 2 0 A とサブ画素 2 0 B とで（具体的には、液晶素子 2 2 A および補助容量素子 2 3 A と液晶素子 2 2 B および補助容量素子 2 3 B とで）、互いに異なる駆動電圧が印加されるようにするための結合容量素子としての役割である。また、2 つ目は、詳細は後述するが、配向制御電極 2 0 2 B の電位を、サブ画素電極 2 0 4 B の電位よりも高くする（サブ画素電極 2 0 4 B の電位を、配向制御電極 2 0 2 B の電位よりも低くする）ための役割である。このようにして、容量素子 2 4 B が 2 つの役割を兼ね備えていることにより、画素 2 0 の回路構成が簡便化するようになっている。

10

【0035】

次に、図 3 を参照して、液晶表示パネル 2 における各画素 2 0 の断面構成について詳細に説明する。図 3 は、液晶表示パネル 2 における画素 2 0 の断面構成例を模式的に表したものである。

【0036】

この液晶表示パネル 2 では、互に対向配置された T F T 基板 2 0 1 と対向基板（C F（Color Filter；カラーフィルタ）基板）2 0 9 との間に、液晶分子 L C を含む液晶層 2 0 6 が封止されている。

【0037】

T F T 基板 2 0 1 は、例えばガラス基板により構成されている。この T F T 基板 2 0 1 の上には、配向制御電極 2 0 2 A，2 0 2 B および絶縁層 2 0 3 を介して、サブ画素電極 2 0 4 A，2 0 4 B が配置されている。また、この T F T 基板 2 0 1 上には、画素 2 0 単位で前述の T F T 素子 2 1 A が配置されている（図示せず）。なお、配向制御電極 2 0 2 A およびサブ画素電極 2 0 4 A は、サブ画素 2 0 A 内に配置されている一方、配向制御電極 2 0 2 B およびサブ画素電極 2 0 4 B は、サブ画素 2 0 B 内に配置されている。

20

【0038】

絶縁層 2 0 3 は、T F T 基板 2 0 1 および配向制御電極 2 0 2 A，2 0 2 B と、サブ画素電極 2 0 4 A，2 0 4 B との間に形成されている。この絶縁層 2 0 3 は、例えばシリコン窒化物（S i N）やシリコン酸化物（S i O）等により構成されている。

30

【0039】

サブ画素電極 2 0 4 A，2 0 4 B は、例えば I T O（インジウム錫酸化物）等の透明性を有する電極であり、いずれも、T F T 素子 2 1 A（図 3 中に図示せず；後述する配向制御電極 2 0 2 A と電氣的に接続されている）に対するフローティング電極となっている。これらサブ画素電極 2 0 4 A，2 0 4 B には、複数のスリット 2 0 0 A，2 0 0 B が設けられている。また、サブ画素電極 2 0 4 A，2 0 4 B 間には、スリット 2 0 0 C が設けられている。

【0040】

配向制御電極 2 0 2 A は、T F T 基板 2 0 1 上において、複数のスリット 2 0 0 A のうちの少なくとも 1 つのスリット 2 0 0 A に対応する領域に設けられている。また、配向制御電極 2 0 2 B は、T F T 基板 2 0 1 上において、複数のスリット 2 0 0 B のうちの少なくとも 1 つのスリット 2 0 0 B に対応する領域に設けられている。すなわち、このような配向制御電極 2 0 0 A，2 0 0 B は、サブ画素 2 0 A，2 0 B ごとに設けられている。これら配向制御電極 2 0 0 A，2 0 0 B は、例えば A l（アルミニウム）などの金属材料により構成されている。ここで、サブ画素電極 2 0 4 A と配向制御電極 2 0 2 A との対向領域（図 3 中の接続点 P 1，P 2 間）には、絶縁層 2 0 3 を介して前述の容量素子 2 4 A が形成されている。また、サブ画素電極 2 0 4 B と配向制御電極 2 0 2 B との対向領域（図 3 中の接続点 P 2，P 3 間）には、絶縁層 2 0 3 を介して前述の容量素子 2 4 B が形成されている。そして、サブ画素 2 0 A 内のサブ画素電極 2 0 4 A と、サブ画素 2 0 B 内の配向制御電極 2 0 2 B とは、配線 L 2 を介して互いに電氣的に接続されており、同電位とな

40

50

っている。これにより、本実施の形態では、サブ画素電極 204 A の電位 $V(P2)$ が配向制御電極 202 A の電位 $V(P1)$ よりも低くなっていると共に、サブ画素電極 204 B の電位 $V(P3)$ が配向制御電極 202 B の電位 $V(P2)$ よりも低くなっている。

【0041】

対向基板 209 は、TFT 基板 201 と同様に、例えばガラス基板により構成されている。この対向基板 209 の上には、例えば、赤 (R)、緑 (G)、青 (B) のフィルタがストライプ状に設けられたカラーフィルタ (図示せず) と、各画素 20 に共通の対向電極 208 とが配置されている。

【0042】

対向電極 208 は、サブ画素電極 204 A, 204 B と同様に、例えばITO等の透明性を有する電極であり、対向基板 209 上において各画素 20 に共通に設けられている。ただし、この対向電極 208 には、サブ画素電極 204 A, 204 B とは異なり、スリットは設けられていない。

【0043】

TFT 基板 201 側のサブ画素電極 204 A, 204 B 上、および対向基板 209 側の対向電極 208 上にはそれぞれ、垂直配向膜 205, 207 が形成されている。これら垂直配向膜 205, 207 はそれぞれ、例えば、ポリイミド等の有機材料により構成されており、液晶分子 LC を基板面に対して垂直方向に配向させるためのものである。

【0044】

液晶層 206 は、垂直配向型液晶 (VA モードの液晶) より構成され、例えば、負の誘電率異方性を有する液晶分子 LC を含んでいる。この液晶分子 LC は、その短軸方向の誘電率が長軸方向よりも大きいという性質を有している。この性質により、サブ画素電極 204 A, 204 B と対向電極 208 との間に印加される駆動電圧がオフのときは、液晶分子 LC の長軸が基板に対して略垂直になるように配列する一方、駆動電圧がオンになると、液晶分子 LC の長軸が基板に対して略平行になるように傾いて配向するようになっている。

【0045】

ここで、タイミング制御部 61、データドライバ 51 およびゲートドライバ 52 が、本発明における「駆動部」の一具体例に対応する。また、サブ画素 20 A が本発明における「第 1 のサブ画素群」および「第 1 のサブ画素」の一具体例に対応し、サブ画素 20 B が本発明における「第 2 のサブ画素群」および「第 2 のサブ画素」の一具体例に対応する。また、TFT 素子 21 A が、本発明における「第 1 の TFT 素子」の一具体例に対応する。

【0046】

次に、本実施の形態の液晶表示装置 1 の作用および効果について説明する。

【0047】

この液晶表示装置 1 では、図 1 に示したように、外部から供給された映像信号 Din が画像処理部 41 により画像処理され、各画素 20 用の映像信号 D1 が生成される。そしてこの映像信号 D1 は、タイミング制御部 61 を介してデータドライバ 51 へ供給される。データドライバ 51 では、映像信号 D1 に対する D/A 変換が施され、アナログ信号である映像信号が生成される。そしてこの映像信号に基づき、ゲートドライバ 52 およびデータドライバ 51 から出力される各画素 20 への駆動電圧によって、画素 20 ごとに、線順次の表示駆動動作がなされる。

【0048】

具体的には、図 2 に示したように、ゲートドライバ 52 からゲート線 G を介して供給される選択信号に応じて、TFT 素子 21 A の動作状態および非動作状態 (オン・オフ) が切り替えられ、容量素子 24 A, 24 B を介して、データ線 D と液晶素子 22 A, 22 B および容量素子 23 A, 23 B との間が選択的に導通される。これにより、データドライバ 51 から供給される映像信号に基づく駆動電圧が液晶素子 22 A, 22 B へと供給され、表示駆動動作がなされる。

10

20

30

40

50

【 0 0 4 9 】

すると、図 3 に示したように、容量素子 2 4 A , 2 4 B を介してデータ線 D と液晶素子 2 2 A , 2 2 B および容量素子 2 3 A , 2 3 B との間が導通された画素 2 0 では、バックライト部 3 からの照明光 L out が液晶表示パネル 2 において変調され、表示光として出力される。これにより、映像信号 D in に基づく映像表示が、液晶表示装置 1 において行われる。

【 0 0 5 0 】

ここで、本実施の形態では、図 2 および図 3 に示したように、各画素 2 0 の液晶素子 2 2 A , 2 2 B に対する表示駆動の際に、映像信号 D 1 に基づき、各画素 2 0 に対する表示駆動が、空間的に 2 つに分割されて分割駆動がなされる。具体的には、例えば図 4 中の矢印 P 1 0 a , P 1 0 b で示したように、映像信号 D 1 に基づいて結合容量素子としても機能する容量素子 2 4 B によって、サブ画素 2 0 A , 2 0 B にはそれぞれ、図中の仮想的な映像信号 D 2 a , D 2 b に対応する駆動電圧が印加され、これによりサブ画素 2 0 A , 2 0 B には互いに異なる駆動電圧が印加される。

【 0 0 5 1 】

より具体的には、このときの分割駆動動作は、図 4 に示したように、液晶素子 2 2 A に対して印加される液晶印加電圧が、映像信号 D 1 に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第 1 の分割駆動動作（サブ画素 2 0 A に対する分割駆動動作）と、液晶素子 2 2 B に対して印加される液晶印加電圧が、上記入力印加電圧以下の低電圧側となるように分割駆動動作を行う第 2 の分割駆動動作（サブ画素 2 0 B に対する分割駆動動作）と、により構成される。これは、サブ画素電極 2 0 4 A , 2 0 4 B がいずれも T F T 素子 2 1 A に対するフローティング電極となっているためである。すなわち、フローティング電極となっていることにより、配向制御電極 2 0 2 A に対して映像信号 D 1 に対応する入力印加電圧が供給されると、液晶素子 2 2 A と液晶素子 2 2 B との容量比または補助容量素子 2 3 A と補助容量素子 2 3 B との容量比に応じて容量分配された電圧が、サブ画素電極 2 0 4 A , 2 0 4 B へ印加されることになるからである。

【 0 0 5 2 】

これにより、本実施の形態では、このような分割駆動がなされない場合と比べ、表示画面を斜め方向（例えば、45°方向）から見た場合のガンマ特性（映像信号 D 1 の輝度レベルの階調と、明るさ（輝度）との関係を示す特性）の変動（表示画面を正面方向から見た場合からの変動）が、分散される。したがって、分割駆動がなされていない場合と比べ、輝度の視野角特性が向上する。

【 0 0 5 3 】

また、本実施の形態では、T F T 基板 2 0 1 上のサブ画素電極 2 0 4 A , 2 0 4 B における複数のスリット 2 0 0 A , 2 0 0 B のうちの少なくとも 1 つのスリット部に対応する領域に、配向制御電極 2 0 2 A , 2 0 2 B が設けられている。そして、サブ画素電極 2 0 4 A の電位 V (P 2) が配向制御電極 2 0 2 A の電位 V (P 1) よりも低くなっていると共に、サブ画素電極 2 0 4 B の電位 V (P 3) が配向制御電極 2 0 2 B の電位 V (P 2) よりも低くなっている。

【 0 0 5 4 】

これにより、配向制御電極 2 0 2 A , 2 0 2 B 上の液晶層 2 0 6 の電界が、他の領域における液晶層 2 0 6 の電界よりも大きくなり、従来のスリット構造で生じる配向制御能とは逆の配向規制力が働き、安定して所望の配向分割が実現される。よって、図 3 に示したように、サブ画素電極 2 0 4 A , 2 0 4 B と対向電極 2 0 8 との間に電圧が印加されたとき、スリット 2 0 0 A , スリット 2 0 0 B 上には、通常とは逆方向の斜め電界が発生する。すなわち、スリット 2 0 0 C とは逆方向の斜め電界が発生する。その結果、各液晶分子 L C は、基板面に対する垂直方向からスリット 2 0 0 A , スリット 2 0 0 B の方向へ傾いて配列することになる。このようにして、対向基板 2 0 9 側に配向制御体（例えば、突起物やスリットなど）を設けることなく、液晶層 2 0 6 の液晶分子 L C に対する配向規制力の付与が可能となる。

10

20

30

40

50

【0055】

以上のように本実施の形態では、VAモードの液晶を用いた各画素20の液晶素子22A, 22Bに対する表示駆動における動作を行う際に、各画素20に対する表示駆動を空間的に複数に分割して分割駆動動作を行うようにしたので、そのような分割駆動動作を行わない場合と比べ、表示画面を斜め方向から見た場合のガンマ特性の変動を分散させることができ、輝度の視野角特性を向上させることができる。また、TFT基板201上のサブ画素電極204A, 204Bにおける複数のスリット200A, 200Bのうちの少なくとも1つのスリット部に対応する領域に配向制御電極202A, 202Bを設けると共に、サブ画素電極204Aの電位V(P2)が配向制御電極202Aの電位V(P1)よりも低くなっており、かつ、サブ画素電極204Bの電位V(P3)が配向制御電極202Bの電位V(P2)よりも低くなっているようにしたので、対向基板209側に配向制御体を設けずに液晶層206の液晶分子LCに対して配向規制力を付与することができ、簡易な構成で応答特性を向上させることができる。よって、輝度の視野角特性および応答特性を簡易に向上させることが可能となる。

10

【0056】

また、対向基板209側に配向制御体が存在しないため、高いしらちゃけ改善効果を維持しつつ、簡便なプロセスにより、TFT基板201と対向基板209との貼り合せを行うことが可能となる。

【0057】

また、このような簡便なプロセスが実現されることにより、プロセスタイムの短縮化や張り合わせ装置の簡略化が実現され、高いしらちゃけ改善効果を維持しつつ、コストダウンを図ることができる。

20

【0058】

また、このような簡便なプロセスが実現されることにより、高いしらちゃけ改善効果を維持しつつ、基板やパネルサイズの大型化を図ることも可能となる。

【0059】

さらに、本実施の形態の画素20では、容量素子24Bが前述の2つの役割を兼ね備えているため、画素20の回路構成が簡便化する。よって、画素20における高開口率化を図ることができ、高輝度化を図ることができるか、もしくは、バックライト部3の簡素化によるコストダウンを図ることも可能となる。

30

【0060】

次に、本発明の変形例をいくつか挙げて説明する。なお、これらの変形例において、本実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【0061】

(変形例1)

図5は、本発明の変形例1に係る画素(画素20-1)の画素回路を表したものである。

【0062】

本変形例では、各画素20-1内に、ゲート線Gの制御に応じて、各サブ画素電極204A, 204B(図5中の接続点P2, P3)とデータ線Dとの間を電氣的に接続するためのTFT素子21C(第2のTFT素子)が設けられている。このTFT素子21Cは、サブ画素電極204A, 204BがTFT素子21Aに対するフローティング電極となっていることによる液晶層206が焼き付き易いという問題を回避するための、焼き付き防止回路として機能するものである。なお、その他の回路構成は、上記実施の形態における画素20と同様である。

40

【0063】

このような構成により本変形例では、各サブ画素電極204A, 204Bがフローティング電極ではなくなるため、焼き付き問題を回避することができる。また、TFT素子21Cの書込み能力と、容量素子24A, 24Bの容量値とを調整することにより、焼き付き問題を回避すると同時に、上記実施の形態と同様のしらちゃけ改善効果を実現することがで

50

きる。

【 0 0 6 4 】

なお、このような焼き付き防止回路は、本変形例で示した回路構成には限られず、他の回路構成としてもよい。

【 0 0 6 5 】

(変形例 2 , 3)

図 6 は、本発明の変形例 2 に係る画素 (画素 2 0 - 2) の画素回路を表したものである。また、図 7 は、本発明の変形例 3 に係る画素 (画素 2 0 - 3) の画素回路を表したものである。

【 0 0 6 6 】

図 6 に示した変形例 2 では、各画素 2 0 - 2 (サブ画素 2 0 A - 2 , 2 0 B - 2 からなる) が、1 本のゲート線 G および 2 本のデータ線 D A , D B が接続されたマルチ画素構造となっている。また、この画素 2 0 - 2 では、サブ画素 2 0 A - 2 , 2 0 B - 2 の両方に、T F T 素子 (T F T 素子 2 1 A , 2 1 B) が設けられている。

【 0 0 6 7 】

一方、図 7 に示した変形例 3 では、各画素 2 0 - 3 (サブ画素 2 0 A - 3 , 2 0 B - 3 からなる) が、2 本のゲート線 G A , G B および 1 本のデータ線 D が接続されたマルチ画素構造となっている。また、この画素 2 0 - 3 においても、サブ画素 2 0 A - 3 , 2 0 B - 3 の両方に、T F T 素子 (T F T 素子 2 1 A , 2 1 B) が設けられている。なお、このような画素 2 0 - 3 の場合、例えば、表示駆動の単位フレーム (1 フレーム期間) を時間軸に沿って 2 分割して 2 つのサブフレーム期間を設けると共に、各サブフレーム期間内でゲート線 G A , G B から供給される選択信号およびデータドライバ D から供給される駆動電圧に従って、各サブ画素 2 0 A - 3 , 2 0 B - 3 が駆動されることになる。

【 0 0 6 8 】

このようにして変形例 2 , 3 のように、2 つ T F T 素子を有するマルチ画素構造においても、容量素子 2 4 A , 2 4 B を設けることにより、上記実施の形態と同様の配向制御機能を付与することが可能である。

【 0 0 6 9 】

なお、変形例 2 , 3 の画素 2 0 - 2 , 2 0 - 3 においても、変形例 1 で示したような焼き付き防止回路を設けてもよい。

【 0 0 7 0 】

(変形例 4)

図 8 は、本発明の変形例 4 に係る画素 (画素 2 0 - 4) の画素回路を表したものである。

【 0 0 7 1 】

本変形例では、画素 2 0 - 4 は、通常のシングル構造の画素 (1 つの液晶素子 2 2 、 1 つの補助容量素子 2 3 および 1 つの T F T 素子 2 1 を有すると共に、1 本のゲート線 G および 1 本のデータ線 D が接続されている) となっている。そして、各画素 2 0 - 4 内に、1 つの容量素子 2 4 が設けられている。

【 0 0 7 2 】

ただし、本変形例では例えば図 9 に示したように、表示駆動の単位フレーム (1 フレーム期間) を 2 つのサブフレーム期間 S F A , S F B に時間的に分割すると共に、所望の輝度を高輝度のサブフレーム S F A と低輝度のサブフレーム S F B とを用いて分割して表現することによって、マルチ画素構造の場合と同様のハーフトーンの効果が得られるようになっている。具体的には、映像信号 D 1 に基づき、各画素 2 0 - 4 に対する表示駆動を、サブフレーム期間 S F A , S F B ごとに時間的に 2 つに分割して分割駆動動作を行うようになっている。すなわち、このときの分割駆動動作は、液晶素子 2 2 に対して印加される液晶印加電圧が映像信号 D 1 に対応する入力印加電圧以上の高電圧側となるように分割駆動動作を行う第 1 の分割駆動動作 (サブフレーム期間 S F A に対する分割駆動動作) と、液晶素子 2 2 に対して印加される液晶印加電圧が上記入力印加電圧以下の低電圧側となる

10

20

30

40

50

ように分割駆動動作を行う第 2 の分割駆動動作（サブフレーム期間 S F B に対する分割駆動動作）と、により構成されている。

【 0 0 7 3 】

このようにして本変形例のように、時間的に分割した分割駆動動作を行う場合においても、容量素子 2 4 を設けることにより、上記実施の形態と同様の配向制御機能を付与することが可能である。

【 0 0 7 4 】

なお、本変形例の画素 2 0 - 4 においても、変形例 1 で示したような焼き付き防止回路を設けてもよい。

【 0 0 7 5 】

以上、実施の形態およびその変形例をいくつか挙げて本発明を説明したが、本発明はこれらの実施の形態等に限定されるものではなく、種々の変形が可能である。

【 0 0 7 6 】

例えば、各画素内のサブ画素の数および 1 フレーム期間内のサブフレーム期間の数は、これまで説明したような 2 つの場合には限られず、3 つ以上であってもよい。

【 0 0 7 7 】

また、各画素の回路構成や断面構成は、上記実施の形態等で説明したものには限られず、他の構成ととしてもよい。

【図面の簡単な説明】

【 0 0 7 8 】

【図 1】本発明の一実施の形態に係る液晶表示装置の全体構成を表すブロック図である。

【図 2】図 1 に示した画素の詳細構成を表す回路図である。

【図 3】図 1 に示した画素の詳細構成を表す断面図である。

【図 4】各画素に供給される映像信号と各サブ画素への印加電圧との関係の一例を表す特性図である。

【図 5】本発明の変形例 1 に係る画素の構成を表す回路図である。

【図 6】本発明の変形例 2 に係る画素の構成を表す回路図である。

【図 7】本発明の変形例 3 に係る画素の構成を表す回路図である。

【図 8】本発明の変形例 4 に係る画素の構成を表す回路図である。

【図 9】図 8 に示した変形例 4 に係る表示駆動の際のサブフレーム期間について説明するためのタイミング図である。

【図 10】従来の液晶表示装置における映像信号の階調と液晶表示パネルの正面方向および 45° 方向での輝度比との関係の一例を表す特性図である。

【図 11】従来のマルチ画素構造における映像信号の階調と各サブ画素の表示態様との関係の一例を表す平面図である。

【符号の説明】

【 0 0 7 9 】

1 ... 液晶表示装置、2 ... 液晶表示パネル、20, 20-1 ~ 20-4 ... 画素、20A, 20B, 20A-2, 20B-2, 20A-3, 20B-3, ... サブ画素、200A, 200B, 200C ... スリット、201 ... TFT 基板、202A, 202B ... 配向制御電極、203 ... 絶縁層、204A, 204B ... サブ画素電極、205, 207 ... 垂直配向膜、206 ... 液晶層、208 ... 対向電極、209 ... 対向 (CF) 基板、21, 21A, 21B, 21C ... TFT 素子、22, 22A, 22B ... 液晶素子、23, 23A, 23B ... 補助容量素子、24, 21A, 24B ... 容量素子、3 ... バックライト部、41 ... 画像処理部、51 ... データドライバ、52 ... ゲートドライバ、61 ... タイミング制御部、62 ... バックライト駆動部、Din, D1, D2a, D2b ... 映像信号、G, GA, GB ... ゲート線、DA, DB ... データ線、Cs ... 補助容量線、P1 ~ P3 ... 接続点、L2 ... 配線、LC ... 液晶分子、Lout ... 照明光、SFA, SFB ... サブフレーム期間。

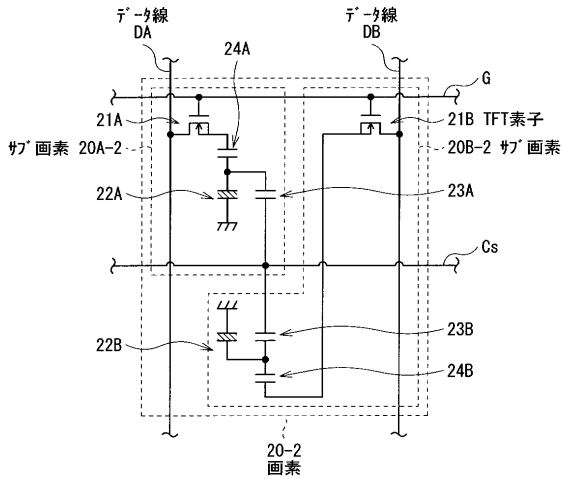
10

20

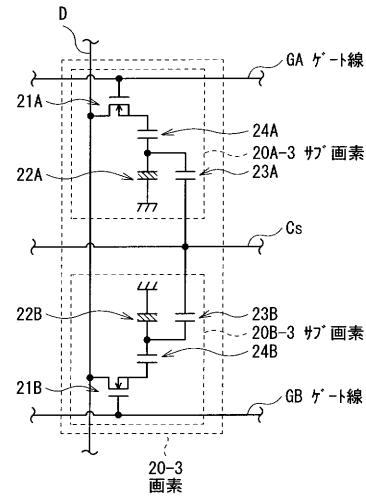
30

40

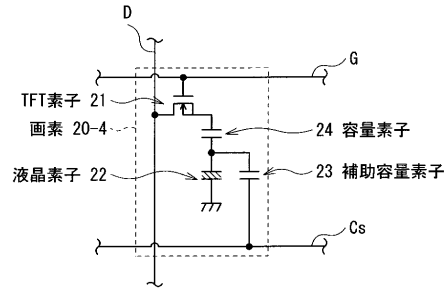
【図 6】



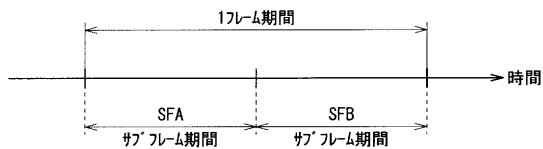
【図 7】



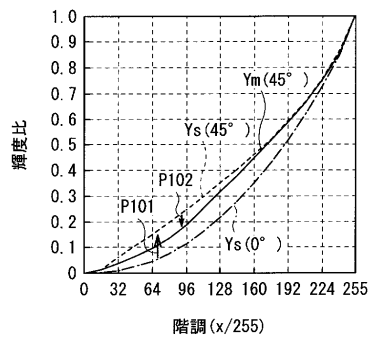
【図 8】



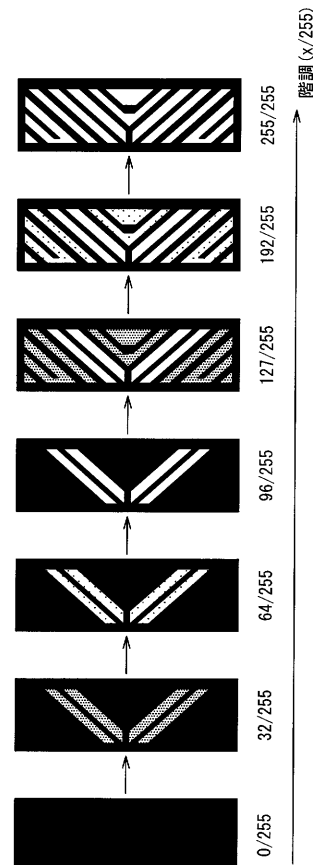
【図 9】



【図 10】



【図 11】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2010061034A	公开(公告)日	2010-03-18
申请号	JP2008228828	申请日	2008-09-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	上田一也		
发明人	上田 一也		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/133707 G02F1/1343 G02F1/1393 G02F2001/133769		
FI分类号	G02F1/1343 G02F1/1362		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JB42 2H092/JB67 2H092/NA21 2H092/NA30 2H092/PA02 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC24 2H192/BC51 2H192/CC64 2H192/DA12 2H192/EA43 2H192/GD61 2H192/JA13		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够容易地改善视角特性和亮度响应特性的液晶显示装置。
ŽSOLUTION：在每个像素20的液晶元件22A和22B的显示驱动中执行操作的情况下，对像素20的显示驱动在空间上划分以执行分开的驱动操作，从而在观看时分布伽马特性的变化。从倾斜方向的显示表面。对准控制电极202A和202B分别设置在与子像素电极204A和204B中的多个狭缝200A和200B对应的区域中。使子像素电极204A的电位低于取向控制电极202A的电位，并且使子像素电极204B的电位低于取向控制电极202B的电位。对液晶层206的液晶分子LC赋予取向控制力，而不在对置基板209侧设置取向控制器。

