(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-26168
(P2010-26168A)
(43)公開日　平成22年2月4日(2010.2.4)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/1368	(2006.01)	G02F	1/1368		2H092
G02F	1/133	(2006.01)	G02F	1/133	505	2H093
G09G	3/36	(2006.01)	G02F	1/133	550	2H193
G09G	3/20	(2006.01)	G09G	3/36		5C006
			G09G	3/20	624B	5C080

審査請求 未請求　請求項の数 6　OL　（全 13 頁）　最終頁に続く

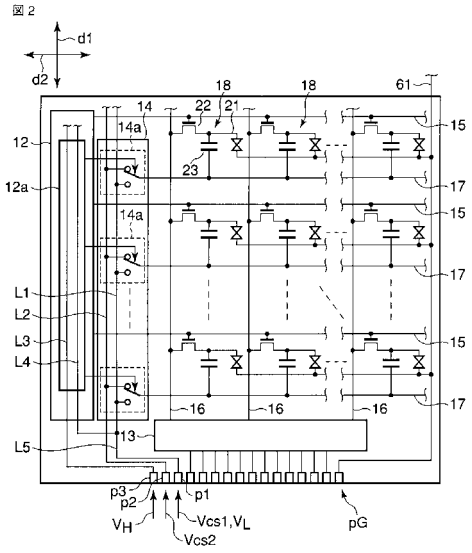
(21)出願番号　特願2008-186263 (P2008-186263)
(22)出願日　平成20年7月17日 (2008.7.17)

(71)出願人　302020207
東芝モバイルディスプレイ株式会社
東京都港区港南４－１－８
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【要約】
【課題】論理回路に伝達されるノイズを抑制することができ、論理回路の動作マージンを拡大することができる、表示品位に優れた液晶表示装置を提供する。
【解決手段】液晶表示装置はアレイ基板１を備えている。アレイ基板１は、アレイ基板１は、複数の信号線１６、複数の走査線１５、複数の補助容量線１７、複数の画素１８、補助容量線駆動回路１４、論理回路１２ａ、第１補助容量電圧供給線Ｌ１、第２補助容量電圧供給線Ｌ２、Ｈレベル電源線Ｌ３及びＬレベル電源線Ｌ４を有している。画素１８は、ＴＦＴ２２、画素電極２１及び補助容量素子２３を有している。第１補助容量電圧供給線Ｌ１若しくは第２補助容量電圧供給線Ｌ２の第１共通配線、並びにＨレベル電源線Ｌ３若しくはＬレベル電源線Ｌ４の第２共通配線は、一端側で互いに接続され、一端側以外で非接続状態にある。第１共通配線及び第２共通配線に、一端側から共通の電圧が供給される。
【選択図】　図２



【特許請求の範囲】
【請求項１】
複数の信号線と、複数の走査線と、複数の補助容量線と、前記複数の信号線並びに前記複数の走査線及び前記複数の補助容量線が交差した表示領域内に設けられた複数の画素と、前記複数の補助容量線に接続され、一定周期毎に第１補助容量電圧及び前記第１補助容量電圧と電位の異なる第２補助容量電圧を交互に前記複数の補助容量線に与える補助容量線駆動回路と、前記複数の走査線及び前記複数の補助容量線を駆動する論理回路と、前記補助容量線駆動回路の内部を延出して前記補助容量線駆動回路を形成しているとともに一端側が前記補助容量線駆動回路から外れて位置し、前記一端側から前記第１補助容量電圧が供給される第１補助容量電圧供給線と、前記補助容量線駆動回路の内部を延出して前記補助容量線駆動回路を形成しているとともに一端側が前記補助容量線駆動回路から外れて位置し、前記一端側から前記第２補助容量電圧が供給される第２補助容量電圧供給線と、前記論理回路の内部を延出して前記論理回路を形成しているとともに一端側が前記論理回路から外れて位置し、前記一端側からハイレベルの電圧が供給されるハイレベル電源線と、前記論理回路の内部を延出して前記論理回路を形成しているとともに一端側が前記論理回路から外れて位置し、前記一端側からローレベルの電圧が供給されるローレベル電源線と、を有したアレイ基板と、
前記アレイ基板に隙間を置いて対向配置された対向基板と、
前記アレイ基板及び対向基板間に挟持された液晶層と、を備え、
前記複数の画素は、前記信号線及び走査線の交差部近傍に設けられたスイッチング素子と、前記スイッチング素子に電気的に接続され前記走査線に重なった画素電極と、前記補助容量線に絶縁膜を介して対向配置され前記画素電極に電気的に接続された補助容量電極を含んだ補助容量素子と、をそれぞれ有し、
前記第１補助容量電圧供給線若しくは前記第２補助容量電圧供給線の第１共通配線、並びに前記ハイレベル電源線若しくは前記ローレベル電源線の第２共通配線は、前記一端側で互いに接続され、前記一端側以外で非接続状態にあり、
前記第１共通配線及び前記第２共通配線に、前記一端側から共通の電圧が供給される液晶表示装置。
【請求項２】
前記第１補助容量電圧及び前記ハイレベルの電圧は、正の電圧であり、
前記第２補助容量電圧及び前記ローレベルの電圧は、０ボルトであり、
前記第２補助容量電圧供給線及び前記ローレベル電源線は、前記一端側で互いに接続され、前記一端側以外で非接続状態にあり、
前記第２補助容量電圧供給線及び前記ローレベル電源線は、前記一端側で接地されている請求項１に記載の液晶表示装置。
【請求項３】
前記第１補助容量電圧及び前記ハイレベルの電圧は、正の電圧であり、
前記第２補助容量電圧及び前記ローレベルの電圧は、０ボルトであり、
前記第１補助容量電圧供給線及び前記ハイレベル電源線は、前記一端側で互いに接続され、前記一端側以外で非接続状態にあり、
前記第１補助容量電圧供給線及び前記ハイレベル電源線に、前記一端側から共通の正の電圧が供給され、
前記第２補助容量電圧供給線及び前記ローレベル電源線は、前記一端側で互いに接続され、かつ、接地され、前記一端側以外で非接続状態にある請求項１に記載の液晶表示装置。
【請求項４】
前記アレイ基板は、前記表示領域の外側に設けられた複数のパッドをさらに有し、
前記第１共通配線及び前記第２共通配線は、前記一端側で共通のパッドに接続され、
前記第１共通配線及び前記第２共通配線に、前記パッドを介して前記共通の電圧が供給される請求項１に記載の液晶表示装置。

【請求項５】
接地個所から前記第２補助容量電圧供給線を介して前記補助容量線駆動回路までの電気抵抗値は、前記接地個所から前記ローレベル電源線を介して前記論理回路までの電気抵抗値より低い請求項１に記載の液晶表示装置。
【請求項６】
前記表示領域を囲んで設けられ、前記アレイ基板及び前記対向基板間に形成されたシール材をさらに備え、
前記アレイ基板は、
前記表示領域及び前記シール材の外側に設けられた複数のパッドと、
前記複数のパッドの１つに接続され、前記シール材を越えて前記表示領域側に延出した接続配線と、をさらに有し、
前記第１共通配線の一端側及び前記第２共通配線の一端側は、前記表示領域の周縁及び前記シール材間の領域で前記接続配線に接続され、
前記第１共通配線及び前記第２共通配線に、前記パッド及び前記接続配線を介して前記共通の電圧が供給される請求項１に記載の液晶表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は、液晶表示装置に関する。
【背景技術】
【０００２】
一般に、画像表示を行う表示装置として、例えば液晶表示装置が用いられている。液晶表示装置は、アレイ基板と、このアレイ基板に隙間を置いて対向配置された対向基板と、アレイ基板及び対向基板間に挟持された液晶層と、アレイ基板及び対向基板間に設けられた複数の画素とを備えている。
【０００３】
アレイ基板は、ガラス基板を備えている。ガラス基板上には、画素を区画するように複数の信号線及び複数の走査線が交差して配設されている。各画素は、信号線及び走査線の各交差部近傍に設けられたＴＦＴ（薄膜トランジスタ）と、このＴＦＴに接続された画素電極と、この画素電極に接続された補助容量素子とを有している。補助容量素子は、走査線に平行な補助容量線と、この補助容量線に絶縁膜を介して重なった補助容量電極とを有し、補助容量電極は画素電極と接続されている。アレイ基板は、補助容量線駆動回路及び論理回路も有している。
【０００４】
一方、対向基板は、他のガラス基板を備えている。他のガラス基板上には対向電極等が形成されている。アレイ基板及び対向基板は、所定の隙間を保持して対向配置されている。アレイ基板及び対向基板間には液晶層が形成されている。
【０００５】
液晶に対して、常に同一方向に電圧を印加すると、液晶の焼付けが起きるため、通常は、一定周期で液晶層の電圧印加極性を切り替える極性反転駆動を行う。極性反転駆動には、１画素毎に極性を切り替えるドット反転駆動、１ライン毎に極性を切り替えるライン反転駆動、１フレーム毎に極性を切り替えるフレーム反転駆動などがある。
【０００６】
極性反転駆動を行う場合、信号線の電圧と補助容量に接続された補助容量線の電圧の極性を周期的に変化させる必要がある。このため、補助容量線の電圧を設定するための第１基準電源及び第２基準電源を予め用意している（例えば、特許文献１参照）。第１基準電源は正の電圧であり、第２基準電源は０ボルトの電圧である。上記したように、ここでは、補助容量線に、１フレーム毎に、正の電圧と、０ボルトの電圧とを交互に印加している。
【特許文献１】特開２００５－４９８４９号公報

【発明の開示】
【発明が解決しようとする課題】
【０００７】
ところで、補助容量線に、１フレーム毎に、第１基準電源及び第２基準電源を切替えた場合、画素への充放電時に補助容量線にノイズがのり、その結果、リップルとして電源にノイズが発生する。
【０００８】
さらに、近年、画素数の増加に伴い、ＱＶＧＡの液晶表示装置からＶＧＡの液晶表示装置又はＷＶＧＡの液晶表示装置の製造に移行されている。画素数が増加すると、画素書き込み時に補助容量線とのカップリングの影響で、ノイズが発生する。そして、このノイズによる影響で、論理回路の動作マージンの著しい低下が引き起こることとなる。
この発明は以上の点に鑑みなされたもので、その目的は、論理回路に伝達されるノイズを抑制することができ、論理回路の動作マージンを拡大することができる、表示品位に優れた液晶表示装置を提供することにある。
【課題を解決するための手段】
【０００９】
上記課題を解決するため、本発明の態様に係る液晶表示装置は、
複数の信号線と、複数の走査線と、複数の補助容量線と、前記複数の信号線並びに前記複数の走査線及び前記複数の補助容量線が交差した表示領域内に設けられた複数の画素と、前記複数の補助容量線に接続され、一定周期毎に第１補助容量電圧及び前記第１補助容量電圧と電位の異なる第２補助容量電圧を交互に前記複数の補助容量線に与える補助容量線駆動回路と、前記複数の走査線及び前記複数の補助容量線を駆動する論理回路と、前記補助容量線駆動回路の内部を延出して前記補助容量線駆動回路を形成しているとともに一端側が前記補助容量線駆動回路から外れて位置し、前記一端側から前記第１補助容量電圧が供給される第１補助容量電圧供給線と、前記補助容量線駆動回路の内部を延出して前記補助容量線駆動回路を形成しているとともに一端側が前記補助容量線駆動回路から外れて位置し、前記一端側から前記第２補助容量電圧が供給される第２補助容量電圧供給線と、前記論理回路の内部を延出して前記論理回路を形成しているとともに一端側が前記論理回路から外れて位置し、前記一端側からハイレベルの電圧が供給されるハイレベル電源線と、前記論理回路の内部を延出して前記論理回路を形成しているとともに一端側が前記論理回路から外れて位置し、前記一端側からローレベルの電圧が供給されるローレベル電源線と、を有したアレイ基板と、
前記アレイ基板に隙間を置いて対向配置された対向基板と、
前記アレイ基板及び対向基板間に挟持された液晶層と、を備え、
前記複数の画素は、前記信号線及び走査線の交差部近傍に設けられたスイッチング素子と、前記スイッチング素子に電気的に接続され前記走査線に重なった画素電極と、前記補助容量線に絶縁膜を介して対向配置され前記画素電極に電気的に接続された補助容量電極を含んだ補助容量素子と、をそれぞれ有し、
前記第１補助容量電圧供給線若しくは前記第２補助容量電圧供給線の第１共通配線、並びに前記ハイレベル電源線若しくは前記ローレベル電源線の第２共通配線は、前記一端側で互いに接続され、前記一端側以外で非接続状態にあり、
前記第１共通配線及び前記第２共通配線に、前記一端側から共通の電圧が供給される。
【発明の効果】
【００１０】
この発明によれば、論理回路に伝達されるノイズを抑制することができ、論理回路の動作マージンを拡大することができる、表示品位に優れた液晶表示装置を提供することができる。
【発明を実施するための最良の形態】
【００１１】
以下、図面を参照しながらこの発明の実施の形態に係る液晶表示装置について詳細に説

明する。
図１に示すように、液晶表示装置は、液晶表示パネル１０を備えている。液晶表示パネル１０は、アレイ基板１と、アレイ基板に所定の隙間を置いて対向配置された対向基板２と、これら両基板間に挟持された液晶層３とを備えている。その他、液晶表示装置は、アレイ基板１の外表面に配置された第１光学部７と、対向基板２の外表面に配置された第２光学部８と、バックライトユニット９とを備えている。液晶表示装置は、後述する画素１８がマトリクス状に配置された表示領域ＲＡを有している。
【００１２】
図１及び図２に示すように、アレイ基板１は、透明な絶縁基板として、例えばガラス基板４ａを備えている。表示領域ＲＡにおいて、ガラス基板４ａ上には画素１８が形成されている。表示領域ＲＡの外側において、ガラス基板４ａ上に、走査線駆動回路１２、信号線駆動回路１３、補助容量線駆動回路１４及びアウタリードボンディング（outer lead bonding）のパッド群（以下、ＯＬＢパッド群と称する）ｐＧが形成されている。走査線駆動回路１２は、論理回路１２ａを有している。補助容量線駆動回路１４は、複数の補助容量電源選択回路１４ａを有している。
【００１３】
表示領域ＲＡにおいて、ガラス基板４ａ上には、複数の走査線１５及びこれら走査線に直交した複数の信号線１６が配置されている。ガラス基板４ａ上には、走査線１５に平行な複数の補助容量線１７が形成されている。信号線１６は、第１方向ｄ１に延出している。走査線１５及び補助容量線１７は、第１方向ｄ１に直交した第２方向ｄ２に延出している。
【００１４】
この実施の形態において、隣合う２本の信号線１６及び隣合う２本の補助容量線１７で囲まれた各領域には画素１８が形成されている。これらの画素１８はマトリクス状に配置されている。
【００１５】
次に、画素１８を１つ取り出して詳述する。
図２、図３及び図４に示すように、画素１８は、画素電極２１、この画素電極に接続されたスイッチング素子としてのＴＦＴ（薄膜トランジスタ）２２及び補助容量素子２３を有している。
【００１６】
ガラス基板４ａ上にはチャネル層３１が成膜され、ガラス基板及びチャネル層上にはゲート絶縁膜３２が形成されている。チャネル層３１と重なった各々の領域において、ゲート絶縁膜３２上には、走査線１５の一部を延出したゲート電極３３が形成されている。ゲート絶縁膜３２及びゲート電極３３上には層間絶縁膜３５が成膜されている。
【００１７】
層間絶縁膜３５上には、信号線１６及びコンタクト配線３８が形成され、これら信号線及びコンタクト配線は、ゲート絶縁膜３２及び層間絶縁膜の一部を貫通してチャネル層３１にそれぞれ接続されている。ここで、信号線１６はチャネル層３１のソース領域ＲＳに接続され、コンタクト配線３８は、チャネル層３１のドレイン領域ＲＤに接続されている。
【００１８】
次いで、補助容量素子２３について説明する。図２、図３及び図５に示すように、補助容量線１７及び補助容量電極４１は補助容量素子２３を形成している。
ガラス基板４ａ上に形成されたゲート絶縁膜３２上には、導電材料として、例えばアルミニウムにより、補助容量線１７が形成されている。ゲート絶縁膜３２及び補助容量線１７上には層間絶縁膜３５が形成されている。
【００１９】
補助容量素子２３において、層間絶縁膜３５上には、補助容量線１７に重なった補助容量電極４１と、この補助容量電極に接続された接続配線４４とが形成されている。接続配

線４４は、補助容量素子２３及び画素電極２１を接続している。

【００２０】

上記した補助容量電極４１、接続配線４４、コンタクト配線３８及び信号線１６は、同一の導電材料で形成されている。補助容量電極４１、接続配線４４及びコンタクト配線３８は一体に形成されている。

【００２１】

図４及び図５に示すように、ＴＦＴ２２及び補助容量素子２３が形成されたガラス基板４ａ上には、赤色、緑色及び青色の複数の着色層５１が形成されている。着色層５１上には複数の画素電極２１が形成されている。画素電極２１は、隣合う２本の信号線１６及び隣合う２本の補助容量線１７に周縁を重ねて形成されている。着色層５１及び画素電極２１上に、配向膜５２が形成されアレイ基板１を形成している。

【００２２】

図１、図４及び図５に示すように、対向基板２は、透明な絶縁基板として、例えばガラス基板４ｂを備えている。ガラス基板４ｂ上には、対向電極６１及び配向膜６２が順に形成され、対向基板２を形成している。

【００２３】

図１に示すように、アレイ基板１及び対向基板２間の隙間はスペーサとして、例えば柱状スペーサ５により保持されている。アレイ基板１及び対向基板２は、これら両基板の周縁部に配置されたシール材６により接合されている。

【００２４】

図１、図４及び図５に示すように、第１光学部７は、ガラス基板４ａの外面に配置されている。この実施の形態において、第１光学部７は偏光板７１で形成されている。第２光学部８は、ガラス基板４ｂの外面に配置されている。この実施の形態において、第２光学部８は偏光板８１で形成されている。偏光板８１の外面は表示面Ｓである。

【００２５】

第１光学部７の外面側には、バックライトユニット９が配置されている。このバックライトユニット９は、アレイ基板１に対向配置された導光板９ａと、この導光板の一側縁に対向配置された光源９ｂ及び反射板９ｃとを有している。

上記のように液晶表示装置が形成されている。

【００２６】

次に、走査線駆動回路１２、信号線駆動回路１３、補助容量線駆動回路１４及びＯＬＢパッド群ｐＧについて説明する。

図２に示すように、ＯＬＢパッド群ｐＧは、アレイ基板１（ガラス基板４ａ）の周縁に沿って列状に配置された複数のパッドで形成されている。対向電極６１はパッドに接続され、パッドを介して所定の電圧が対向電極６１に印加される。

【００２７】

信号線駆動回路１３は、複数の信号線１６に接続されている。また、信号線駆動回路１３は、複数のパッドにも接続されている。複数のパッドを介して映像信号等が信号線駆動回路１３に伝達される。

【００２８】

補助容量線駆動回路１４は、複数の補助容量線１７に接続され、一定周期毎に第１基準電源としての第１補助容量電圧Ｖｃｓ１及び第２基準電源としての第２補助容量電圧Ｖｃｓ２を交互に複数の補助容量線１７に与えるものである。第２補助容量電圧Ｖｃｓ２は、第１補助容量電圧Ｖｃｓ１と電位の異なるものである。この実施の形態において、上記一定周期は、１フレームである。

【００２９】

走査線駆動回路１２は、複数の走査線１５に接続され、走査線信号を複数の走査線１５に与えるものである。論理回路１２ａは、複数の走査線１５及び複数の補助容量線１７を駆動するものである。

【００３０】

また、アレイ基板１（ガラス基板４ａ）に、第１補助容量電圧供給線Ｌ１、第２補助容量電圧供給線Ｌ２、ハイ（Ｈ）レベル電源線Ｌ３及びロー（Ｌ）レベル電源線Ｌ４が形成されている。

【００３１】

第１補助容量電圧供給線Ｌ１は、補助容量線駆動回路１４の内部を延出して補助容量線駆動回路を形成している。第１補助容量電圧供給線Ｌ１の一端側は、補助容量線駆動回路１４から外れて位置し、パッドｐ１に接続されている。第１補助容量電圧供給線Ｌ１には、パッドｐ１を介し、この一端側から第１補助容量電圧Ｖｃｓ１が供給される。

【００３２】

第２補助容量電圧供給線Ｌ２は、補助容量線駆動回路１４の内部を延出して補助容量線駆動回路を形成している。第２補助容量電圧供給線Ｌ２の一端側は、補助容量線駆動回路１４から外れて位置し、パッドｐ２に接続されている。第２補助容量電圧供給線Ｌ２には、パッドｐ２を介し、この一端側から第２補助容量電圧Ｖｃｓ２が供給される。

【００３３】

Ｈレベル電源線Ｌ３は、論理回路１２ａの内部を延出して論理回路を形成している。Ｈレベル電源線Ｌ３の一端側は論理回路１２ａから外れて位置し、パッドｐ３に接続されている。Ｈレベル電源線Ｌ３には、パッドｐ３を介し、この一端側からＨレベル電源としてハイ（Ｈ）レベルの電圧$Ｖ_{H}$が供給される。

【００３４】

Ｌレベル電源線Ｌ４は、論理回路１２ａの内部を延出して論理回路を形成している。Ｌレベル電源線Ｌ４の一端側は論理回路１２ａから外れて位置し、パッドｐ１に接続されている。Ｌレベル電源線Ｌ４には、パッドｐ１を介し、この一端側からＬレベル電源としてロー（Ｌ）レベルの電圧$Ｖ_{L}$が供給される。

【００３５】

第１共通配線としての第１補助容量電圧供給線Ｌ１と、第２共通配線としてのＬレベル電源線Ｌ４とは、上記一端側（パッドｐ１側）で互いに接続され、上記一端側以外で非接続状態にある。なお、論理回路１２ａは図示しない平滑コンデンサを備えているが、第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４は、上記平滑コンデンサに近い部分で接続されている。

【００３６】

第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４は、共通のパッドｐ１に接続されている。第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４に、パッドｐ１を介し、上記一端側から共通の電圧が供給される。このため、第１補助容量電圧Ｖｃｓ１及びＬレベルの電圧$Ｖ_{L}$は、共通の電圧である。

【００３７】

この実施の形態において、第２補助容量電圧Ｖｃｓ２及びＨレベルの電圧$Ｖ_{H}$は、正の電圧である。第１補助容量電圧Ｖｃｓ１及びＬレベルの電圧$Ｖ_{L}$は、０ボルトである。第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４は、上記一端側で接地されている。パッドｐ１は接地されている。

【００３８】

より詳細に説明すると、図２及び図６に示すように、第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４は、接続配線Ｌ５を介してパッドｐ１に接続されている。接続配線Ｌ５は、パッドｐ１に接続されシール材６を越えて表示領域ＲＡ側に延出している。第１補助容量電圧供給線Ｌ１の一端側及びＬレベル電源線Ｌ４の一端側は、表示領域ＲＡの周縁及びシール材６間の領域で接続配線Ｌ５に接続されている。このため、第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４に、パッドｐ１及び接続配線Ｌ５を介して共通の電圧（０ボルト）が供給される。

【００３９】

また、図７に示すように、接地個所（パッドｐ１）から第１補助容量電圧供給線Ｌ１を介して補助容量線駆動回路１４までの電気抵抗値は、接地個所（パッドｐ１）からＬレベ

ル電源線Ｌ４を介して論理回路１２ａまでの電気抵抗値より低く設定されている。このため、ここでの電気抵抗値Ｒ１、Ｒ２、Ｒ３の関係は、Ｒ１＜Ｒ３かつ、Ｒ２＜Ｒ３である。

【００４０】

図２及び図８に示すように、補助容量電源選択回路１４ａは、補助容量線１７に対応して設けられている。補助容量電源選択回路１４ａは、補助容量線１７に第１補助容量電圧Ｖｃｓ１を与えるかどうか選択するスイッチング素子としてのＮＭＯＳトランジスタＳＷ１と、補助容量線１７に第２補助容量電圧Ｖｃｓ２（＞Ｖｃｓ１）を与えるかどうか選択するスイッチング素子としてのＰＭＯＳトランジスタＳＷ２とを有している。ＮＭＯＳトランジスタＳＷ１及びＰＭＯＳトランジスタＳＷ２のオン・オフは、論理回路１２ａからの極性反転制御信号Ｓに基づいて切替えられる。

【００４１】

以上のように構成された液晶表示装置によれば、アレイ基板１は、複数の信号線１６と、複数の走査線１５と、複数の補助容量線１７と、複数の画素１８と、補助容量線駆動回路１４と、論理回路１２ａと、第１補助容量電圧供給線Ｌ１と、第２補助容量電圧供給線Ｌ２と、Ｈレベル電源線Ｌ３と、Ｌレベル電源線Ｌ４とを有している。画素１８は、ＴＦＴ２２、画素電極２１及び補助容量素子２３を有している。

【００４２】

第１補助容量電圧供給線Ｌ１と、Ｌレベル電源線Ｌ４とは、上記一端側（パッドｐ１側）で互いに接続され、上記一端側以外で非接続状態にある。パッドｐ１は接地されている。第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４に、パッドｐ１を介し、上記一端側から共通の０ボルトの電圧が供給される。

【００４３】

第１補助容量電圧供給線Ｌ１と、Ｌレベル電源線Ｌ４とは、上記一端側（パッドｐ１側）で互いに接続されているため、ライン（ＧＮＤライン）の強化、すなわち、第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４の電圧値の安定化を図ることができる。また、第１補助容量電圧供給線Ｌ１と、Ｌレベル電源線Ｌ４とは、上記一端側以外で非接続状態にあるため、論理回路１２ａの受ける補助容量線駆動回路１４のノイズの影響を抑制することができる。

【００４４】

なお、第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４は、論理回路１２ａの平滑コンデンサに近い部分で接続されているため、論理回路１２ａの受けるノイズの影響を極力抑えることができる。

これにより、論理回路１２ａの動作マージンを拡大することができる。

【００４５】

接地個所から第１補助容量電圧供給線Ｌ１を介して補助容量線駆動回路１４までの電気抵抗値は、接地個所からＬレベル電源線Ｌ４を介して論理回路１２ａまでの電気抵抗値より低い。これにより、論理回路１２ａの受けるノイズの影響を一層抑制することができる。

【００４６】

また、第１補助容量電圧供給線Ｌ１及びＬレベル電源線Ｌ４は、共通のパッドｐ１に接続されている。このため、互いに異なるパッドに接続されている場合に比べ、例えば、検査装置のプローブ数を低減することができる。これにより、検査装置のコストが低減され、ひいては製品価格の上昇を抑制することができる。

【００４７】

上記したことから、論理回路に伝達されるノイズを抑制することができ、論理回路の動作マージンを拡大することができる、表示品位に優れた液晶表示装置を得ることができる。

【００４８】

なお、この発明は上記実施の形態そのままに限定されるものではなく、実施段階ではそ

の要旨を逸脱しない範囲で構成要素を変形して具体化可能である。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

【００４９】

例えば、図９に示すように、第２補助容量電圧Ｖｃｓ２及びＨレベルの電圧V_Hを共通の電圧とできる場合、第１共通配線としての第２補助容量電圧供給線Ｌ２と、第２共通配線としてのＨレベル電源線Ｌ３とは、上記一端側（パッドｐ２側）で互いに接続され、上記一端側以外で非接続状態にあっても良い。第２補助容量電圧供給線Ｌ２及びＨレベル電源線Ｌ３は、共通のパッドｐ２に接続されている。

【００５０】

より詳細に説明すると、第２補助容量電圧供給線Ｌ２及びＨレベル電源線Ｌ３は、接続配線Ｌ６を介してパッドｐ２に接続されている。接続配線Ｌ６は、パッドｐ２に接続されシール材６を越えて表示領域ＲＡ側に延出している。第２補助容量電圧供給線Ｌ２の一端側及びＨレベル電源線Ｌ３の一端側は、表示領域ＲＡの周縁及びシール材６間の領域で接続配線Ｌ６に接続されている。このため、第２補助容量電圧供給線Ｌ２及びＨレベル電源線Ｌ３に、パッドｐ２及び接続配線Ｌ６を介して共通の電圧（正の電圧）が供給される。

【００５１】

上記した場合、第２補助容量電圧供給線Ｌ２と、Ｈレベル電源線Ｌ３とは、上記一端側（パッドｐ２側）で互いに接続されているため、ライン（Ｈ電源ライン）の強化、すなわち、第２補助容量電圧供給線Ｌ２及びＨレベル電源線Ｌ３の電圧値の安定化を図ることができる。また、第２補助容量電圧供給線Ｌ２と、Ｈレベル電源線Ｌ３とは、上記一端側以外で非接続状態にあるため、論理回路１２ａの受ける補助容量線駆動回路１４のノイズの影響を一層抑制することができる。

【００５２】

第１補助容量電圧Ｖｃｓ１及びＬレベルの電圧V_Lは、０ボルトに限定されるものではなく、他の値であっても良い。そして、第１補助容量電圧Ｖｃｓ１及びＬレベルの電圧V_Lが共通の電圧値に設定可能であれば、上述したように、第１補助容量電圧供給線Ｌ１と、Ｌレベル電源線Ｌ４とを互いに接続すれば良い。

【図面の簡単な説明】

【００５３】

【図１】本発明の実施の形態に係る液晶表示装置を示す断面図。

【図２】図１に示したアレイ基板の概略構成を示す平面図。

【図３】図１及び図２に示したアレイ基板の一部を示す拡大平面図であり、特に、画素の配線構造を示す図。

【図４】図３に示した液晶表示装置の線Ａ－Ａ断面図。

【図５】図３に示した液晶表示装置の線Ｂ－Ｂ断面図。

【図６】上記液晶表示装置の周縁部を示す断面図であり、特に、第１補助容量電圧供給線、Ｌレベル電源線、接続配線及びパッドの接続関係を示す図。

【図７】上記パッドから補助容量線駆動回路までの電気抵抗値と、上記パッドから論理回路までの電気抵抗値との関係を示す説明図。

【図８】上記補助容量線駆動回路の補助容量電源選択回路を示す概略図。

【図９】上記液晶表示装置のアレイ基板の構成の変形例を示す平面図。

【符号の説明】

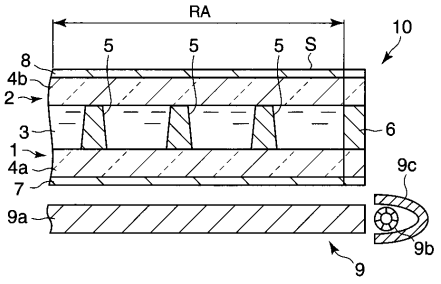
【００５４】

１…アレイ基板、２…対向基板、３…液晶層、４ａ…ガラス基板、４ｂ…ガラス基板、５…柱状スペーサ、６…シール材、９…バックライトユニット、１０…液晶表示パネル、１２…走査線駆動回路、１２ａ…論理回路、１４…補助容量線駆動回路、１４ａ…補助容量電源選択回路、１５…走査線、１６…信号線、１７…補助容量線、１８…画素、２１…画素電極、２２…ＴＦＴ、２３…補助容量素子、４１…補助容量電極、５１…着色層、６１…対向電極、ＲＡ…表示領域、ｐＧ…パッド群、ｐ１，ｐ２，ｐ３…パッド、Ｌ１…第

１補助容量電圧供給線、Ｌ２…第２補助容量電圧供給線、Ｌ３…Ｈレベル電源線、Ｌ４…Ｌレベル電源線、Ｌ５…接続配線、Ｌ６…接続配線、ＳＷ１…ＮＭＯＳトランジスタ、ＳＷ２…ＰＭＯＳトランジスタ、Ｖｃｓ１…第１補助容量電圧、Ｖｃｓ２…第２補助容量電圧、V_H…Ｈレベルの電圧、V_L…Ｌレベルの電圧、Ｒ１，Ｒ２，Ｒ３…電気抵抗値、ｄ１…第１方向、ｄ２…第２方向。

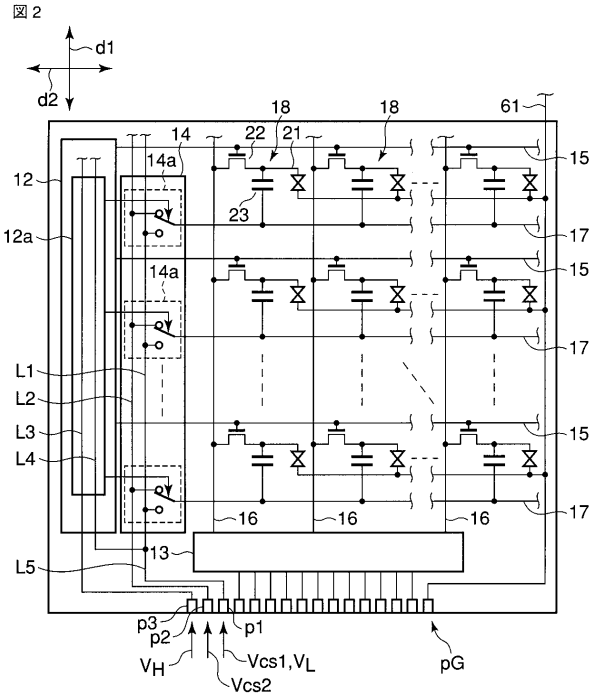
【図１】

図１



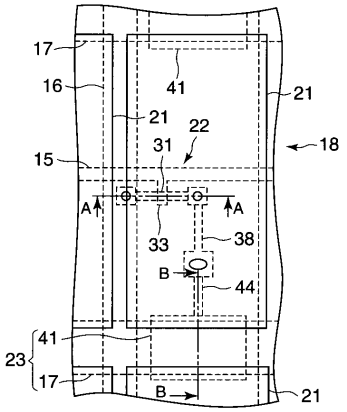
【図２】

図２



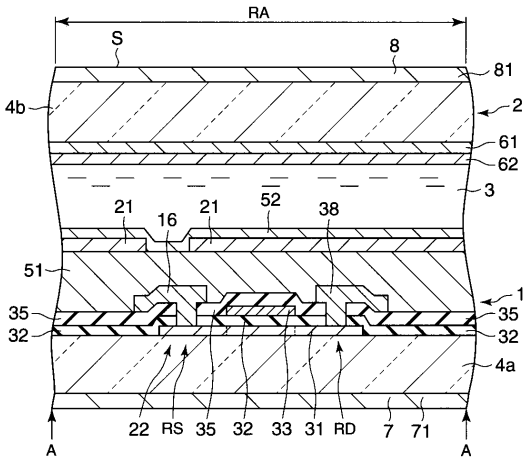
【図３】

図３



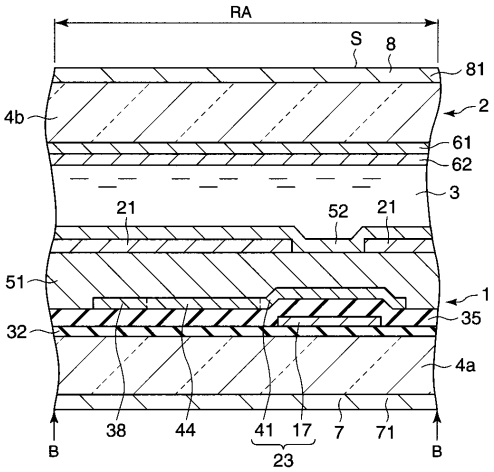
【図４】

図４



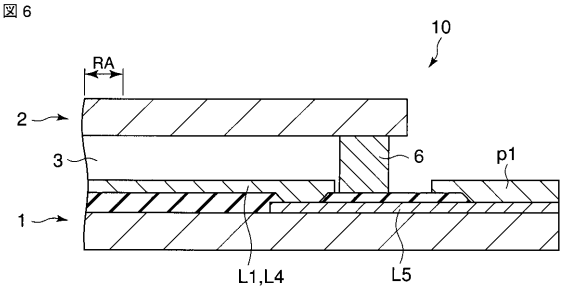
【図５】

図５



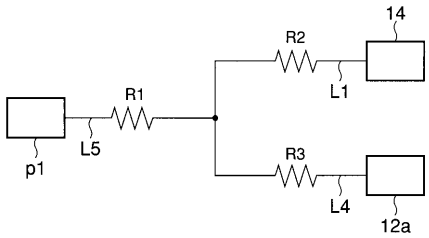
【図６】

図６



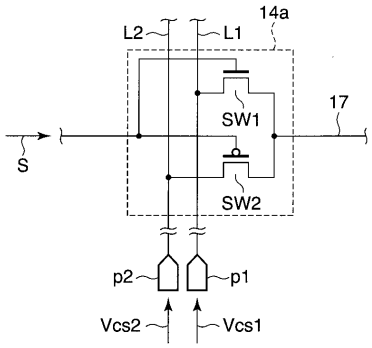
【図７】

図７



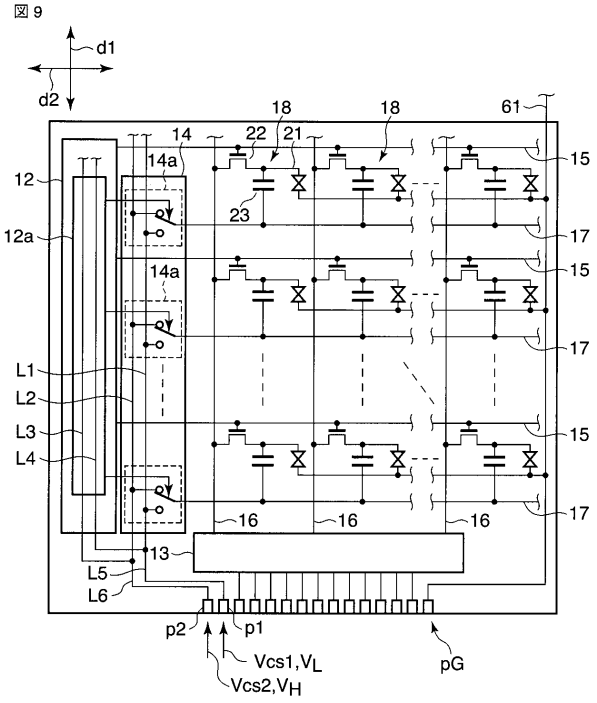
【図８】

図８


14a
L2
L1
SW1
17
S
SW2
p2
p1
Vcs2
Vcs1

【図９】

図９


d1
d2
18
18
61
14
22
21
15
14a
12
23
17
12a
14a
15
17
L1
L2
L3
L4
15
17
16
16
16
13
L5
L6
p2
p1
Vcs1,V_L
Vcs2,V_H
pG

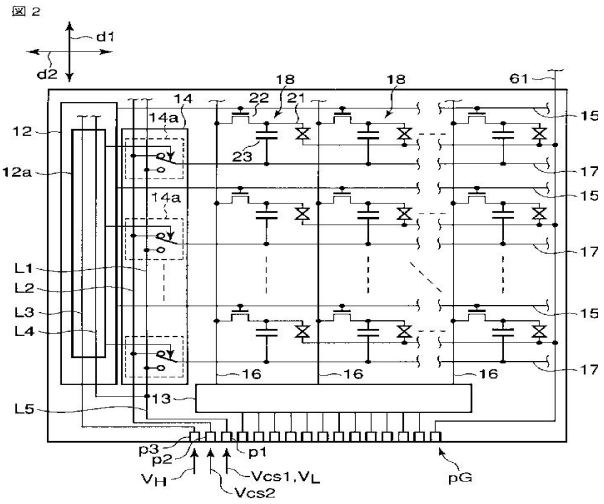
フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
	Ｇ０９Ｇ　3/20　６１２Ｇ	

(74)代理人　100095441
弁理士　白根　俊郎
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100103034
弁理士　野河　信久
(74)代理人　100119976
弁理士　幸長　保次郎
(74)代理人　100153051
弁理士　河野　直樹
(74)代理人　100140176
弁理士　砂川　克
(74)代理人　100100952
弁理士　風間　鉄也
(74)代理人　100101812
弁理士　勝村　紘
(74)代理人　100070437
弁理士　河井　将次
(74)代理人　100124394
弁理士　佐藤　立志
(74)代理人　100112807
弁理士　岡田　貴志
(74)代理人　100111073
弁理士　堀内　美保子
(74)代理人　100134290
弁理士　竹内　将訓
(74)代理人　100127144
弁理士　市原　卓三
(74)代理人　100141933
弁理士　山下　元
(72)発明者　木村　裕之
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

Ｆターム(参考) 2H092 GA36 JA25 JA28 JA34 JA37 JA41 JB22 JB31 JB56 JB63
JB69 PA03 PA04 PA06 PA07 PA08 PA13
2H093 NA16 NC03 NC09 NC11 NC34 NC35 NC90 ND37
2H193 ZA04 ZF03
5C006 BB16 BC20 BF41 FA31
5C080 AA10 BB05 DD09 DD12 FF11 FF12 JJ02 JJ03 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010026168A	公开(公告)日	2010-02-04
申请号	JP2008186263	申请日	2008-07-17
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	木村裕之		
发明人	木村 裕之		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3655 G02F1/136213 G09G3/3614 G09G2300/0876		
FI分类号	G02F1/1368 G02F1/133.505 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.612.G		
F-TERM分类号	2H092/GA36 2H092/JA25 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB63 2H092/JB69 2H092/PA03 2H092/PA04 2H092/PA06 2H092/PA07 2H092/PA08 2H092/PA13 2H093/NA16 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC35 2H093/NC90 2H093/ND37 2H193/ZA04 2H193/ZF03 5C006/BB16 5C006/BC20 5C006/BF41 5C006/FA31 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD12 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ06 2H192/AA24 2H192/CB02 2H192/CC44 2H192/DA12 2H192/DA43 2H192/EA04 2H192/EA42 2H192/FA73 2H192/FB09 2H193/ZA07 2H193/ZB14 2H193/ZD12 2H193/ZF21 2H193/ZF31 2H193/ZF43 2H193/ZF60 2H193/ZG04		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示质量优异的液晶显示装置，该液晶显示装置能够抑制传输到逻辑电路的噪声并扩大逻辑电路的操作余量。 液晶显示装置包括阵列基板。 阵列基板1包括多条信号线16，多条扫描线15，多条辅助电容线17，多个像素18，辅助电容线驱动电路14，逻辑电路12a和第一辅助电容电压。 它具有电源线L1，第二辅助电容电压电源线L2，H电平电源线L3和L电平电源线L4。 像素18具有TFT 22，像素电极21和辅助电容元件23。 第一辅助电容电压供给线L1或第二辅助电容电压供给线L2的第一公共配线与H电平电源线L3或L电平电源线L4的第二公共配线在一端侧相互连接， 除侧面外，未连接。 从一端侧向第一公共布线和第二公共布线提供公共电压。 [选择图]图2