

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-33322

(P2008-33322A)

(43) 公開日 平成20年2月14日 (2008.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G02F 1/1362 (2006.01)	G02F 1/1362	5C080
G09G 3/20 (2006.01)	G09G 3/20 624A	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 17 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2007-192096 (P2007-192096)	(71) 出願人	390019839
(22) 出願日	平成19年7月24日 (2007.7.24)		三星電子株式会社
(31) 優先権主張番号	10-2006-0069669		Samsung Electronics
(32) 優先日	平成18年7月25日 (2006.7.25)		Co., Ltd.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
		(74) 代理人	110000051
			特許業務法人共生国際特許事務所
		(72) 発明者	金 東 奎
			大韓民国 京畿道 龍仁市 豊徳川2洞
			三星5次アパート 523棟 1305号
		Fターム (参考)	2H092 GA26 GA28 GA30 GA59 GA60
			JA24 JA37 NA27 PA06

最終頁に続く

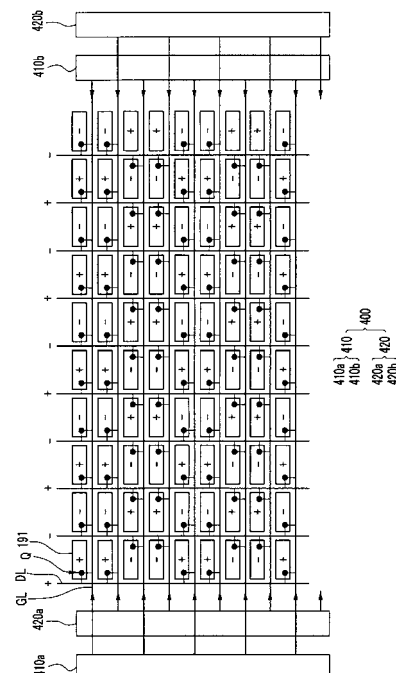
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】データ駆動回路チップの個数を減らし、表示装置の駆動信号の遅延を防止して画質を改善する液晶表示装置を提供する。

【解決手段】本発明による液晶表示装置は、基板と、基板に形成される複数のゲート線と、ゲート線と交差する複数のデータ線と、ゲート線及びデータ線と接続される複数の薄膜トランジスタと、薄膜トランジスタと接続され、ゲート線に平行な第1辺及び前記第1辺より長さが短くて隣接する第2辺を有する複数の画素電極と、ゲート線のうちの一部と接続される少なくとも2つ以上のゲート駆動部と、を備え、ゲート駆動部は基板の両側にそれぞれ位置する第1ゲート駆動回路及び第2ゲート駆動回路を含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板と、
前記基板に形成される複数のゲート線と、
前記ゲート線と交差する複数のデータ線と、
前記ゲート線及び前記データ線と接続される複数の薄膜トランジスタと、
前記薄膜トランジスタと接続され、前記ゲート線に平行な第 1 辺及び前記第 1 辺より長さが短くて隣接する第 2 辺を有する複数の画素電極と、
前記ゲート線のうちの一部と接続される少なくとも 2 つ以上のゲート駆動部と、を備え、
前記ゲート駆動部は前記基板の両側にそれぞれ位置する第 1 ゲート駆動回路及び第 2 ゲート駆動回路を含むことを特徴とする液晶表示装置。

10

【請求項 2】

前記ゲート駆動部は前記ゲート線のうちの一部と接続される第 1 ゲート駆動部及び前記ゲート線のうちの他の一部と接続される第 2 ゲート駆動部を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 ゲート駆動部は前記ゲート線のうちの奇数番目のゲート線に接続され、前記第 2 ゲート駆動部は前記ゲート線のうちの偶数番目のゲート線に接続されることを特徴とする請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記ゲート駆動部は前記ゲート線のうちの一部と接続される第 1 ゲート駆動部、前記ゲート線のうちの他の一部と接続される第 2 ゲート駆動部、及び前記ゲート線のうちの更に他の一部と接続される第 3 ゲート駆動部を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 1 乃至第 3 ゲート駆動部は順次にそれぞれ異なるゲート線と接続されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記ゲート駆動部は、前記ゲート線、前記データ線、及び前記薄膜トランジスタと同一層に位置することを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 7】

前記第 1 辺の長さは前記第 2 辺の長さの 3 倍であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

列方向に隣接する薄膜トランジスタは 2 つの行ごとに互いに異なるデータ線に接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

前記ゲート線にはゲートオン電圧とゲートオフ電圧からなるゲート信号が印加され、前記ゲートオン電圧は 1 水平周期以上持続されることを特徴とする請求項 2 に記載の液晶表示装置。

40

【請求項 10】

前記ゲートオン電圧は 2 水平周期の間に持続されることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

隣接する 2 つのゲート線に印加される 2 つのゲート信号のゲートオン電圧の印加時間は互いに重なることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

隣接する 2 つのゲート線に印加される 2 つのゲート信号のゲートオン電圧の印加時間は 1 水平周期の間に重なることを特徴とする請求項 11 に記載の液晶表示装置。

50

【請求項 1 3】

前記ゲート線にはゲートオン電圧とゲートオフ電圧からなるゲート信号が印加され、前記ゲートオン電圧は 1 水平周期以上持続されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 1 4】

前記ゲートオン電圧は 3 水平周期の間に持続されることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

隣接する 2 つのゲート線に印加される 2 つのゲート信号のゲートオン電圧の印加時間は互いに重なることを特徴とする請求項 1 4 に記載の液晶表示装置。

10

【請求項 1 6】

隣接する 2 つのゲート線に印加される 2 つのゲート信号のゲートオン電圧の印加時間は 2 水平周期の間に重なることを特徴とする請求項 1 5 に記載の液晶表示装置。

【請求項 1 7】

前記データ線のうちの 1 つのデータ線に印加されるデータ電圧の極性は同一であることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関するものである。

20

【背景技術】**【0002】**

液晶表示装置は、現在最も広く使用されている平板表示装置のうちの 1 つであって、画素電極と共通電極などの電場生成電極が形成される 2 枚の表示板と、その間に挿入される液晶層で構成され、電場生成電極に電圧を印加して液晶層に電場を生成し、これを通じて液晶層の液晶分子の配向を決め、入射光の偏光を制御することによって映像を表示する。

【0003】

液晶表示装置は、また、各画素電極に接続されるスイッチング素子、及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線など、複数の信号線を含む。

30

このようなゲート駆動回路及びデータ駆動回路は複数の集積回路チップの形態で表示板に直接装着されたり、可撓性回路フィルムなどに装着されたりして表示板に付着されるが、このような集積回路チップは液晶表示装置の製造費用に高い比率を占める。特に、データ駆動集積回路チップの場合には、ゲート駆動回路チップに比べてその原価が非常に高いために高解像度、大面積液晶表示装置の場合にはその個数を減らす必要がある。ゲート駆動回路の場合、ゲート線、データ線及びスイッチング素子と共に表示板に集積することによってその原価を節減することができるが、データ駆動回路はその構造が多少複雑で表示板に集積することが難しいため、さらにその個数を減らす必要があるという問題点がある。

一方、表示装置の大きさが増加するほど駆動信号の遅延が発生して表示不良が現れるという問題点もある。

40

【発明の開示】**【発明が解決しようとする課題】****【0004】**

そこで、本発明は上記従来の液晶表示装置の問題点に鑑みてなされたものであって、本発明の目的は、データ駆動回路チップの個数を減らし、表示装置の駆動信号の遅延を防止して画質を改善する液晶表示装置を提供することにある。

【課題を解決するための手段】**【0005】**

上記目的を達成するためになされた本発明による液晶表示装置は、基板と、前記基板に

50

形成される複数のゲート線と、前記ゲート線と交差する複数のデータ線と、前記ゲート線及び前記データ線と接続される複数の薄膜トランジスタと、前記薄膜トランジスタと接続され、前記ゲート線に平行な第1辺及び前記第1辺より長さが短くて隣接する第2辺を有する複数の画素電極と、前記ゲート線のうちの一部と接続される少なくとも2つ以上のゲート駆動部と、を備え、前記ゲート駆動部は前記基板の両側にそれぞれ位置する第1ゲート駆動回路及び第2ゲート駆動回路を含むことを特徴とする。

前記ゲート駆動部は前記ゲート線のうちの一部と接続される第1ゲート駆動部及び前記ゲート線のうちの他の一部と接続される第2ゲート駆動部を含むことができる。

前記第1ゲート駆動部は前記ゲート線のうちの奇数番目のゲート線に接続され、前記第2ゲート駆動部は前記ゲート線のうちの偶数番目のゲート線に接続され得る。

前記ゲート駆動部は前記ゲート線のうちの一部と接続される第1ゲート駆動部、前記ゲート線のうちの他の一部と接続される第2ゲート駆動部、及び前記ゲート線のうちの更に他の一部と接続される第3ゲート駆動部を含むことができる。

前記第1乃至第3ゲート駆動部は順次にそれぞれ異なるゲート線と接続され得る。

前記ゲート駆動部は、前記ゲート線、前記データ線、及び前記薄膜トランジスタと同一層に位置することができる。

前記第1辺の長さは前記第2辺の長さの3倍であり得る。

列方向に隣接する薄膜トランジスタは2つの行ごとに互いに異なるデータ線に接続され得る。

前記ゲート線にはゲートオン電圧とゲートオフ電圧からなるゲート信号が印加され、前記ゲートオン電圧は1水平周期以上持続することができる。

前記ゲートオン電圧は2水平周期の間に持続することができる。

隣接する2つのゲート線に印加される2つのゲート信号のゲートオン電圧の印加時間は互いに重なることができる。

隣接する2つのゲート線に印加される2つのゲート信号のゲートオン電圧の印加時間は1水平周期の間に重なることができる。

前記ゲート線にはゲートオン電圧とゲートオフ電圧からなるゲート信号が印加され、前記ゲートオン電圧は1水平周期以上持続することができる。

前記ゲートオン電圧は3水平周期の間に持続することができる。

隣接する2つのゲート線に印加される2つのゲート信号のゲートオン電圧の印加時間は互いに重なることができる。

隣接する2つのゲート線に印加される2つのゲート信号のゲートオン電圧の印加時間は2水平周期の間に重なることができる。

前記データ線のうちの1つのデータ線に印加されるデータ電圧の極性は同一であってもよい。

【発明の効果】

【0006】

本発明によれば、液晶表示装置のデータ駆動回路チップの個数を減らし、表示装置駆動信号の遅延を防止することができる。したがって、大型表示装置でも表示画質を優秀に維持することができる。

【発明を実施するための最良の形態】

【0007】

以下、本発明の液晶表示装置を実施するための最良の形態の具体例を、添付した図面を参照しながら詳細に説明する。しかし、本発明は多様で異なる形態で実現することができ、ここで説明する実施例に限定されない。

【0008】

図面で多様な層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分に対しては同一図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直上”にある場合だけでなく、その中間に他の部分がある場合も含む。反対に、ある部分が他の部分の“直上”にあるとする

10

20

30

40

50

時には中間に他の部分がないことを意味する。

【 0 0 0 9 】

次に、図 1 及び図 2 を参照して本発明の一実施例による液晶表示装置について説明する。

図 1 は、本発明の一実施例による液晶表示装置のブロック図であり、図 2 は、本発明の一実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

【 0 0 1 0 】

図 1 及び図 2 を参照すると、本発明の一実施例による液晶表示装置は、液晶表示板組立体 3 0 0 と、これに接続されたゲート駆動部 4 0 0 及びデータ駆動部 5 0 0、データ駆動部 5 0 0 に接続された階調電圧生成部 8 0 0、そしてこれらを制御する信号制御部 6 0 0 を含む。

【 0 0 1 1 】

液晶表示板組立体 3 0 0 は、等価回路で見る時、複数の表示信号線とこれに接続されて、ほぼ行列形態で配列された複数の画素 (P X 1、P X 2、P X 3) を含む。これに対し、図 2 に示した構造で見る時、液晶表示板組立体 3 0 0 は互いに対向する下部表示板 1 0 0 及び上部表示板 2 0 0 とこの 2 つの表示板の間に入っている液晶層 3 を含む。

【 0 0 1 2 】

信号線はゲート信号 V g (“ 走査信号 ” とも言う) を伝達する複数のゲート線 G L とデータ信号 V d を伝達する複数のデータ線 D L を含む。ゲート線 G L はほぼ行方向に伸びて互いにほとんど平行し、データ線 D L はほぼ列方向に伸びて互いにほとんど平行する。

【 0 0 1 3 】

各画素 (P X 1、P X 2、P X 3) は行方向に長い構造を有し、例えば、ゲート線 D L とデータ線 D L に接続された画素 (P X 1、P X 2、P X 3) は信号線 (G L、D L) に接続されたスイッチング素子 Q とこれに接続される液晶キャパシタ C l c 及びストレージキャパシタ C s t を含む。ストレージキャパシタ C s t は必要に応じて省略することができる。

【 0 0 1 4 】

スイッチング素子 Q は下部表示板 1 0 0 に備えられている薄膜トランジスタなどの三端子素子で、その制御端子はゲート線 G L と接続され、入力端子はデータ線 D L と接続され、出力端子は液晶キャパシタ C l c 及びストレージキャパシタ C s t と接続される。

【 0 0 1 5 】

液晶キャパシタ C l c は下部表示板 1 0 0 の画素電極 1 9 1 と上部表示板 2 0 0 の共通電極 2 7 0 を 2 つの端子とし、画素電極 1 9 1 及び共通電極 2 7 0 の 2 つの電極間の液晶層 3 は誘電体として機能する。画素電極 1 9 1 はスイッチング素子 Q と接続され、共通電極 2 7 0 は上部表示板 2 0 0 の前面に形成され、共通電圧 V c o m の印加を受ける。図 2 とは異なって、共通電極 2 7 0 が下部表示板 1 0 0 に備えられる場合もあり、この時には 2 つの電極 1 9 1、2 7 0 のうちの少なくとも 1 つを線状或いは棒状に作ることができる。

【 0 0 1 6 】

液晶キャパシタ C l c の補助的な役割を果たすストレージキャパシタ C s t は下部表示板 1 0 0 に備えられる維持電極線 S L と画素電極 1 9 1 が絶縁体を介して重なってなり、この維持電極線 S L には共通電圧 V c o m などの決められた電圧が印加される。しかし、ストレージキャパシタ C s t は画素電極 1 9 1 が絶縁体を媒介として直上の前段ゲート線と重なってなることができる。

【 0 0 1 7 】

一方、色表示を実現するためには、各画素 (P X 1 - P X 3) が基本色のうちの 1 つを固有に表示したり (空間分割)、各画素 (P X 1 - P X 3) が時間に応じて交互に基本色を表示したり (時間分割) するようにして、これら基本色の空間的、時間的合計で所望する色相を認識させる。基本色の例としては赤色、緑色、青色などの三原色がある。図 2 は、空間分割の一例で、各画素 (P X 1 - P X 3) が画素電極 1 9 1 に対応する上部表示板

10

20

30

40

50

200の領域に基本色のうちの1つを示す色フィルター230を備えることを示している。図2とは異なって、色フィルター230は下部表示板100の画素電極191上または下に形成することもできる。行方向に隣接した画素の色フィルター230は互いに接続されて行方向に長く伸び、列方向には互いに異なる色を示す色フィルター230が交互に配置される。

【0018】

以下では各色フィルター230が赤色、緑色、青色のうちのいずれか1つを示すと仮定し、赤色の色フィルター230を備える画素を赤色画素、緑色の色フィルター230を備える画素を緑色画素、青色の色フィルター230を備える画素を青色画素と言う。赤色画素、青色画素、緑色画素は列方向に順次に交互に配列されている。

10

このように三原色の画素(PX1 - PX3)は映像表示の基本単位である1つのドットDTを構成する。

【0019】

再び図1を参照して説明すると、ゲート駆動部400は、信号線(GL、DL、SL)及び薄膜トランジスタスイッチング素子Qなどと共に液晶表示板組立体300に集積され、液晶表示板組立体300の左側と右側に各々位置する(図示せず)。ゲート駆動部400はゲートオン電圧Vonとゲートオフ電圧Voffの組み合わせからなるゲート信号Vgをゲート線GLに印加する。ゲート駆動部400は、集積回路チップの形態で組立体300上に直接装着でき、可撓性印刷回路フィルム(図示せず)上に装着されてTCP(tape carrier package)形態で液晶表示板組立体300に付着されるようにすることもでき、別途の印刷回路基板(図示せず)上に装着されるようにすることもできる。

20

【0020】

液晶表示板組立体300の外側面には光を偏光させる少なくとも1つの偏光子(図示せず)が付着される。

【0021】

階調電圧生成部800は画素PXの透過率と関連する2対の階調電圧集合(或いは基準階調電圧集合)を生成する。2対のうちの1対は共通電圧Vcomに対して正の値を有し、他の1対は負の値を有する。

30

【0022】

データ駆動部500は、液晶表示板組立体300のデータ線DLに接続され、階調電圧生成部800からの階調電圧を選択し、これをデータ信号Vdとしてデータ線DLに印加する。しかし、階調電圧生成部800が全ての階調に対する電圧を全て提供するのではなく、決められた個数の基準階調電圧のみを提供する場合、データ駆動部500は、基準階調電圧を分圧して全階調に対する階調電圧を生成し、この中でデータ信号を選択する。データ駆動部500は集積回路チップの形態で液晶表示板組立体300上に直接装着でき、可撓性印刷回路フィルム(図示せず)上に装着されてTCP形態で液晶表示板組立体300に付着されるようにすることもでき、別途の印刷回路基板(図示せず)上に装着されるようにすることもできる。しかし、信号線(GL、DL、SL)及び薄膜トランジスタスイッチング素子Qなどと共に液晶表示板組立体300に集積されるようにすることもできる。

40

【0023】

信号制御部600はゲート駆動部400及びデータ駆動部500などを制御する。

次に、このような液晶表示装置の動作について詳細に説明する。

【0024】

信号制御部600は外部のグラフィック制御機(図示せず)から入力映像信号(R、G、B)及びその表示を制御する入力制御信号を受信する。入力映像信号(R、G、B)は各画素PXの輝度情報を含み、輝度は決められた個数、例えば、1024(=2¹⁰)、256(=2⁸)または64(=2⁶)個の階調を有する。入力制御信号の例としては垂直同期信号Vsyncと水平同期信号Hsync、メインクロックMCKL、データイネ

50

ーブル信号 D E などがある。

【 0 0 2 5 】

信号制御部 6 0 0 は、外部のグラフィック制御機（図示せず）から入力映像信号（ R 、 G 、 B ）及びその表示を制御する入力制御信号を受信して液晶表示板組立体 3 0 0 の動作条件に合わせて処理し、ゲート制御信号 C O N T 1 及びデータ制御信号 C O N T 2 などを生成した後、各々ゲート駆動部 4 0 0 及びデータ駆動部 5 0 0 に出力する。信号制御部 6 0 0 のこのような映像信号処理には画素の配置に応じて入力映像信号（ R 、 G 、 B ）を再配列する動作が含まれる。

【 0 0 2 6 】

ゲート制御信号 C O N T 1 は走査開始を指示する走査開始信号 S T V とゲートオン電圧 V o n の出力周期を制御する少なくとも 1 つのクロック信号を含む。ゲート制御信号 C O N T 1 はまた、ゲートオン電圧 V o n の持続時間を限定する出力イネーブル信号 O E をさらに含むことができる。

10

【 0 0 2 7 】

データ制御信号 C O N T 2 は 1 つの行の画素に対するデジタル映像信号 D A T の伝送開始を知らせる水平同期開始信号 S T H とデータ線（ D ₁ - D _m ）にアナログデータ信号を印加することを命令するロード信号 L O A D 及びデータクロック信号 H C L K を含む。データ制御信号 C O N T 2 はまた、共通電圧 V c o m に対するアナログデータ信号の電圧極性（以下、“共通電圧に対するデータ信号の電圧極性”を略して“データ信号の極性”と言う）を反転させる反転信号 R V S をさらに含むことができる。

20

【 0 0 2 8 】

信号制御部 6 0 0 からのデータ制御信号 C O N T 2 によって、データ駆動部 5 0 0 は、1 つの行の画素に対するデジタル映像信号 D A T を受信し、各デジタル映像信号 D A T に対応する階調電圧を選択することでデジタル映像信号 D A T をアナログデータ信号に変換した後、これに対応するデータ線 D L に印加する。

【 0 0 2 9 】

ゲート駆動部 4 0 0 は、信号制御部 6 0 0 からのゲート制御信号 C O N T 1 によってゲートオン電圧 V o n をゲート線 G L に印加し、このゲート線 G L に接続されたスイッチング素子 Q を導通させる。その結果、データ線 D L に印加されたデータ信号が導通したスイッチング素子 Q を通じて対応する画素 P X に印加される。

30

【 0 0 3 0 】

画素 P X に印加されたデータ信号の電圧と共通電圧 V c o m の差は、液晶キャパシタ C l c の充電電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさに応じてその配列を異ならせ、それによって液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は液晶表示板組立体 3 0 0 に付着された偏光子によって光の透過率変化で現れ、その結果画素 P X は映像信号 D A T の階調が示す輝度を表示する。

【 0 0 3 1 】

1 水平周期（“ 1 H ”と言い、デタイネーブル信号 D E の一周期と同一である）を単位として、このような過程を繰り返すことによって全てのゲート線 G L に対して順次にゲートオン電圧 V o n を印加し、全ての画素 P X にデータ信号を印加して 1 つのフレームの映像を表示する。

40

【 0 0 3 2 】

1 つのフレームが終わると、次のフレームが始まり、各画素 P X に印加されるデータ信号の極性が直前フレームでの極性と反対になるように、データ駆動部 5 0 0 に印加される反転信号 R V S の状態が制御される（“フレーム反転”）。この時、1 つフレーム内でも反転信号 R V S の特性によって、1 つのデータ線を通して流れるデータ信号の極性が変わったり（例：行反転、点反転）、1 つの画素行に印加されるデータ信号の極性も互いに異なったり（例：列反転、点反転）することがある。

【 0 0 3 3 】

以下、このような液晶表示板組立体 3 0 0 及びゲート駆動部 4 0 0 の一実施例について

50

図 3 及び図 4 を参照して詳細に説明する。

【 0 0 3 4 】

図 3 は、本発明の一実施例による液晶表示装置の画素配置とゲート駆動部を示す図面である。

図 3 を参照すると、隣接する 2 つのデータ線 D L に印加されるデータ電圧の極性は互いに反対である。つまり、1 つの画素電極 1 9 1 を介してある一側に位置するデータ線 D L に印加されるデータ電圧の極性は正極性 (+) であり、他の一側に位置するデータ線 D L に印加されるデータ電圧の極性は負極性 (-) である。

【 0 0 3 5 】

画素 P X のスイッチング素子 Q の位置は 2 つの画素行ごとに変わる。つまり、スイッチング素子 Q が隣接した 2 つの画素行ごとに互いに異なる方向のデータ線に交互に接続される。

10

【 0 0 3 6 】

各画素列で隣接した画素が 2 つの行ごとに反対側のデータ線と接続されている場合、データ駆動部 5 0 0 が列反転の形態で隣接したデータ線に極性が反対であるデータ電圧を印加するが、1 つのフレームの間に極性を変えないと行方向と列方向に互いに隣接した画素 (P X 1、P X 2、P X 3) の画素電圧の極性が反対となる。つまり、画面に表示される見掛け反転 (a p p a r e n t i n v e r s i o n) の形態が点反転になる。

【 0 0 3 7 】

このようなフレーム反転の他にも、データ駆動部 5 0 0 は 1 つのフレーム内で隣接するデータ線 (D ₁ - D _m) に沿って印加されるデータ電圧の極性を反転させ、これによってデータ電圧の印加を受けた画素電圧の極性もまた変化する。しかし、図 3 に示すように画素とデータ線 (D ₁ - D _m) の接続が画素行ごとに変わるので、データ駆動部 5 0 0 での極性反転 (駆動部反転) パターンと液晶表示板組立体 3 0 0 の画面に表示される画素電圧の極性反転 (見掛け反転) パターンが異なって現れる。つまり、駆動部反転は列反転や見掛け反転が 2 × 1 (2 行 1 列) 点反転になる。

20

【 0 0 3 8 】

このように見掛け反転が点反転になると、画素電圧が正極性である時と負極性である時にキックバック電圧によって示される輝度の差が分散されて現れるので、縦行目フリッカーをなくすることができる。また、駆動部反転が列反転であると、1 つのフレームの間に各データ線 D L に印加されるデータ電圧の極性は同一であるので、解像度またはフレーム周波数が高まって画素の充電を高めることができる。

30

【 0 0 3 9 】

各ゲート線 G L はゲート駆動部 4 0 0 と接続されている。ゲート駆動部 4 0 0 は奇数番目のゲート線と接続される第 1 ゲート駆動部 4 1 0 及び偶数番目のゲート線に接続される第 2 ゲート駆動部 4 2 0 を含む。奇数番目のゲート線と偶数番目のゲート線は各々第 1 ゲート駆動部 4 1 0 及び第 2 ゲート駆動部 4 2 0 に順次に交互に接続されている。

【 0 0 4 0 】

第 1 ゲート駆動部 4 1 0 は液晶表示板組立体 3 0 0 の左側と右側に対向して位置する第 1 ゲート駆動回路 4 1 0 a 及び第 2 ゲート駆動回路 4 1 0 b を含む。第 1 ゲート駆動回路 4 1 0 a は奇数番目のゲート線 G L それぞれの左側端に接続され、第 2 ゲート駆動回路 4 1 0 b は奇数番目のゲート線 G L それぞれの右側端に接続される。

40

【 0 0 4 1 】

第 2 ゲート駆動部 4 2 0 もやはり液晶表示板組立体 3 0 0 の左側と右側に対向して位置する第 3 ゲート駆動回路 4 2 0 a 及び第 4 ゲート駆動回路 4 2 0 b を含む。第 3 ゲート駆動回路 4 2 0 a は偶数番目のゲート線 G L それぞれの左側端に接続され、第 4 ゲート駆動回路 4 2 0 b は偶数番目のゲート線 G L それぞれの右側端に接続される。

【 0 0 4 2 】

したがって、液晶表示板組立体 3 0 0 を基準に第 1 ゲート駆動回路 4 1 0 a 及び第 3 ゲート駆動回路 4 2 0 a は同じ方向に位置し、第 2 ゲート駆動回路 4 1 0 b 及び第 4 ゲート

50

駆動回路 420b も同じ方向に位置する。

【0043】

以下では、図4を参照して図3の液晶表示装置のゲート信号について詳細に説明する。

図4は、図3に示す液晶表示装置の駆動信号を示す波形図である。

【0044】

図4を参照して説明すると、ゲート駆動部400はゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} の組み合わせからなるゲート信号を各ゲート線 GL に印加する。より詳しくは、第1ゲート駆動部410は奇数番目のゲート線 GL にゲート信号を印加し、第2ゲート駆動部420は偶数番目のゲート線 GL にゲート信号を印加する。この時、第1ゲート駆動部410の第1ゲート駆動回路410a及び第2ゲート駆動回路410bは各々奇数番目のゲート線 GL の左側及び右側でゲート信号を印加し、第2ゲート駆動部420の第3ゲート駆動回路420a及び第4ゲート駆動回路420bは各々偶数番目のゲート線 GL の左側及び右側でゲート信号を印加する。

10

【0045】

その結果、ゲート線 GL の左側及び右側部分はゲート駆動部400との距離が近いので信号遅延がほとんどなく、ゲート線 GL の中間部分も信号遅延が減少する。したがって、液晶表示板組立体300の横の長さ、つまり、ゲート線 GL の1つの長さが長くてもゲート信号 V_g の信号遅延を防止することができる。

【0046】

一方、ゲートオン信号 V_{on} の持続時間は1H以上であり、ほぼ2Hである。隣接するゲート線 GL に印加される互いのゲート信号 (g_n 、 g_{n+1} / g_{n+1} 、 g_{n+2} / g_{n+2} 、 g_{n+3}) のゲートオン信号 V_{on} は重なり、ほぼ1H程度重なる。また、同一のゲート駆動部 (410a、410b、420a、420b) から出力されるそれぞれのゲート信号 (g_n 、 g_{n+2} / g_{n+1} 、 g_{n+3}) はゲートオン信号 V_{on} が連続する。

20

【0047】

このようにゲートオン信号 V_{on} を1H以上、例えば2Hの間に維持すると直前1H間は先充電を行い、その後の1H間は本充電を行うことができる。したがって、ゲート線 GL の個数が増加しても液晶キャパシタの充電時間を十分に確保することができる。

【0048】

以下、図5及び図6を参照して本発明の他の実施例による液晶表示板組立体及びゲート駆動部について詳細に説明する。

30

図5は、本発明の他の実施例による液晶表示装置の画素及びゲート駆動部の配置を概略的に示す図面である。

【0049】

図5に示した液晶表示装置の画素、ゲート線 GL 、データ線 DL 及び薄膜トランジスタ Q の配置は、図3に示した液晶表示装置のものと同一であるので、その詳細な説明を省略する。

【0050】

しかし、図5に示した液晶表示装置はゲート駆動部400の配置が図3に示した液晶表示装置と異なる。ゲート駆動部400は、 $(3p+1)$ (p は0以上の整数) 番目のゲート線と接続される第3ゲート駆動部430、 $(3p+2)$ 番目のゲート線と接続される第4ゲート駆動部440、及び $(3p+3)$ 番目のゲート線と接続される第5ゲート駆動部450を含む。つまり、ゲート線は第3乃至第5ゲート駆動部430、440、450と順次に接続される。

40

【0051】

第3ゲート駆動部430は液晶表示板組立体300の左側と右側に対向して位置する第5ゲート駆動回路430a及び第6ゲート駆動回路430bを含む。第5ゲート駆動回路430aは $(3p+1)$ 番目のゲート線 GL それぞれの左側端に接続され、第6ゲート駆動回路430bは $(3p+1)$ 番目のゲート線 GL それぞれの右側端に接続される。

50

【 0 0 5 2 】

第 4 ゲート駆動部 4 4 0 は液晶表示板組立体 3 0 0 の左側と右側に対向して位置する第 7 ゲート駆動回路 4 4 0 a 及び第 8 ゲート駆動回路 4 4 0 b を含む。第 7 ゲート駆動回路 4 4 0 a は $(3p + 2)$ 番目のゲート線 G L それぞれの左側端に接続され、第 8 ゲート駆動回路 4 4 0 b は $(3p + 2)$ 番目のゲート線 G L それぞれの右側端に接続される。

【 0 0 5 3 】

第 5 ゲート駆動部 4 5 0 は液晶表示板組立体 3 0 0 の左側と右側に対向して位置する第 9 ゲート駆動回路 4 5 0 a 及び第 1 0 ゲート駆動回路 4 5 0 b を含む。第 9 ゲート駆動回路 4 5 0 a は $(3p + 3)$ 番目のゲート線 G L それぞれの左側端に接続され、第 1 0 ゲート駆動回路 4 5 0 b は $(3p + 3)$ 番目のゲート線 G L それぞれの右側端に接続される。

10

したがって、液晶表示板組立体 3 0 0 を基準に第 5、第 7 及び第 9 ゲート駆動回路 (4 3 0 a、4 4 0 a、4 5 0 a) は同じ方向に位置し、第 6、第 8 及び第 1 0 ゲート駆動回路 (4 3 0 b、4 4 0 b、4 5 0 b) は同じ方向に位置する。

【 0 0 5 4 】

次に、図 6 を参照して図 5 の液晶表示装置のゲート信号について詳細に説明する。

図 6 は、図 5 に示す液晶表示装置の駆動信号を示す波形図である。

【 0 0 5 5 】

図 6 を参照して説明すると、ゲート駆動部 4 0 0 はゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} の組み合わせからなるゲート信号を各ゲート線 G L に印加する。より詳しくは、第 3 ゲート駆動部 4 3 0 は $(3p + 1)$ 番目のゲート線 G L にゲート信号を印加し、第 4 ゲート駆動部 4 4 0 は $(3p + 2)$ 番目のゲート線 G L にゲート信号を印加し、第 5 ゲート駆動部 4 5 0 は $(3p + 3)$ 番目のゲート線 G L にゲート信号を印加する。この時、第 3 ゲート駆動部 4 3 0 の第 5 ゲート駆動回路 4 3 0 a 及び第 6 ゲート駆動回路 4 3 0 b は各々 $(3p + 1)$ 番目のゲート線 G L の左側及び右側でゲート信号を印加し、第 4 ゲート駆動部 4 4 0 の第 7 ゲート駆動回路 4 4 0 a 及び第 8 ゲート駆動回路 4 4 0 b は各々 $(3p + 2)$ 番目のゲート線 G L の左側及び右側でゲート信号を印加し、第 5 ゲート駆動部 4 5 0 の第 9 ゲート駆動回路 4 5 0 a 及び第 1 0 ゲート駆動回路 4 5 0 b は各々 $(3p + 3)$ 番目のゲート線 G L の左側及び右側でゲート信号を印加する。

20

【 0 0 5 6 】

その結果、液晶表示板組立体 3 0 0 の横の長さ、つまり、ゲート線 G L の 1 つの長さが長くてもゲート信号 V_g の信号遅延を防止することができる。

30

【 0 0 5 7 】

一方、ゲートオン信号 V_{on} の持続時間は 1 H 以上であり、ほぼ 3 H である。隣接するゲート線 G L に印加される互いのゲート信号 $(g_k、g_{k+1}/g_{k+1}、g_{k+2}/g_{k+2}、g_{k+3}/g_{k+3}、g_{k+4}/g_{k+4}、g_{k+5})$ のゲートオン信号 V_{on} は重なり、ほぼ 2 H 程度重なる。また、同一のゲート駆動部 (4 3 0、4 4 0、4 5 0) から出力されるそれぞれのゲート信号 $(g_k、g_{k+3}/g_{k+1}、g_{n+4}/g_{k+2}、g_{n+5})$ はゲートオン信号 V_{on} が連続する。

【 0 0 5 8 】

このようにゲートオン信号 V_{on} を 1 H 以上、例えば 3 H の間維持すると直前の 2 H の間に先充電を行い、次の 1 H の間に本充電を行うことができる。したがって、ゲート線 G L の個数が増加しても液晶キャパシタの充電時間を十分に確保することができる。

40

【 0 0 5 9 】

以上、2 つまたは 3 つのゲート駆動部が液晶表示板組立体を基準にある一側に配置されることを示して説明したが、本発明はこれに限られるわけではなく、さらに多くの個数のゲート駆動部が配置されてもよい。

【 0 0 6 0 】

以下、このような液晶表示板組立体 3 0 0 について図 7 乃至図 9 を参照して詳細に説明する。

図 7 は、本発明の一実施例による液晶表示板組立体の配置図であり、図 8 及び図 9 は、

50

図 7 に示した液晶表示板組立体を各々 V I I I - V I I I 及び I X - I X 線に沿って切断した断面図である。

【 0 0 6 1 】

図 7 乃至図 9 を参照すると、本発明の一実施例による液晶表示板組立体は、下部表示板である薄膜トランジスタ表示板 1 0 0、上部表示板である共通電極表示板 2 0 0、これら薄膜トランジスタ表示板 1 0 0 及び共通電極表示板 2 0 0 の 2 つの表示板の間に入っている液晶層 3 を含む。

【 0 0 6 2 】

まず、下部表示板である薄膜トランジスタ表示板 1 0 0 について説明する。

透明なガラスまたはプラスチックなどで作られた絶縁基板 1 1 0 上に複数のゲート線 1 2 1 が形成されている。

【 0 0 6 3 】

ゲート線 1 2 1 は、ゲート信号を伝達し、主に横方向に伸びる。各ゲート線 1 2 1 は上にまたは下に突出した複数のゲート電極 1 2 4 と他の層または外部駆動回路との接続のために広い端部 1 2 9 を含む。

【 0 0 6 4 】

ゲート線 1 2 1 は、アルミニウム (A l) やアルミニウム合金などのアルミニウム系金属、銀 (A g) や銀合金などの銀系金属、銅 (C u) や銅合金などの銅系金属、モリブデン (M o) やモリブデン合金などのモリブデン系金属、クロム (C r)、タンタル (T a) 及びチタニウム (T i) などで作ることができる。しかし、これらは物理的性質の異なる 2 つの導電膜 (図示せず) を含む多重膜構造を有してもよい。このうちの 1 つの導電膜は信号遅延や電圧降下を減らせるように比抵抗の低い金属、例えば、アルミニウム系金属、銀系金属、銅系金属などで作られる。これとは異なって、他の導電膜として他の物質、特に I T O (インジウムスズ酸化物) 及び I Z O (インジウム亜鉛酸化物) との物理的、化学的、電気的接触特性に優れた物質、例えばモリブデン系金属、クロム、タンタル、チタニウムなどでも作られる。このような組み合わせの良い例としてはクロム下部膜とアルミニウム (合金) 上部膜及びアルミニウム (合金) 下部膜とモリブデン (合金) 上部膜がある。しかし、ゲート線 1 2 1 はこの他にも多様な金属または導電体で作られ得る。

【 0 0 6 5 】

ゲート線 1 2 1 の側面は、基板 1 1 0 面に対して傾き、その傾斜角は約 3 0 ° 乃至約 8 0 ° であるのが好ましい。

【 0 0 6 6 】

ゲート線 1 2 1 上には窒化シリコン (S i N x) または酸化シリコン (S i O x) などで作られたゲート絶縁膜 1 4 0 が形成される。

【 0 0 6 7 】

ゲート絶縁膜 1 4 0 上には水素化非晶質シリコン (非晶質シリコンは略して a - S i とする) または多結晶シリコンなどで作られた複数の島状の半導体 1 5 4 が形成される。半導体 1 5 4 はゲート電極 1 2 4 上に位置する。

【 0 0 6 8 】

半導体 1 5 4 上には複数の島状の抵抗性接触 (オーミックコンタクト) 部材 1 6 3、1 6 5 が形成される。抵抗性接触部材 1 6 3、1 6 5 はリンなどの n 型不純物が高濃度でドーピングされる n + 水素化非晶質シリコンなどの物質で作られたり、シリサイドで作られたりすることができる。抵抗性接触部材 1 6 3、1 6 5 は対をなして半導体 1 5 4 上に配置される。

【 0 0 6 9 】

半導体 1 5 4 と抵抗性接触部材 1 6 3、1 6 5 の側面もまた基板 1 1 0 面に対して傾き、傾斜角は 3 0 ° 乃至 8 0 ° 程度である。

【 0 0 7 0 】

抵抗性接触部材 1 6 3、1 6 5 及びゲート絶縁膜 1 4 0 上には複数のデータ線 1 7 1、複数のドレイン電極 1 7 5 及び複数の維持電極線 1 3 1 が形成される。

【0071】

データ線171は、データ信号を伝達し、主に縦方向に伸びてゲート線121と交差する。各データ線171はゲート電極124に向かって伸びた複数のソース電極173と他の層或いは外部駆動回路との接続のために面積の広い端部179を含む。データ信号を生成するデータ駆動回路(図示せず)は、基板110上に付着される可撓性印刷回路フィルム(図示せず)上に装着でき、基板110上に直接装着されるようにすることもでき、基板110に集積されるようにすることもできる。データ駆動回路が基板110上に集積される場合、データ線171が伸びてこれと直接接続できる。

【0072】

ドレイン電極175は、データ線171と分離され、ゲート電極124を中心にソース電極173と対向する。各ドレイン電極175は面積の広い一側端部と棒状の他側端部を含み、棒状端部はU字型に曲がったソース電極173で一部囲まれる。ソース電極173とドレイン電極175はほぼ左右対称である。

10

【0073】

1つのゲート電極124、1つのソース電極173及び1つのドレイン電極175は半導体154と共に1つの薄膜トランジスタ(TFT)を構成し、薄膜トランジスタのチャンネルはソース電極173とドレイン電極175の間の半導体154に形成される。

【0074】

維持電極線131は、共通電圧などの所定の電圧の印加を受け、データ線171にほぼ平行に伸びる分枝線と、これから分かれた複数の維持電極133a、133b、133c、133dを含む。維持電極(133a-d)は分枝線から両側にゲート線121と平行に伸びてゲート線121に隣接する。しかし、維持電極線131のパターン及び配置は多様に変更することができる。

20

【0075】

データ線171、ドレイン電極175及び維持電極線131はモリブデン、クロム、タンタル及びチタニウムなどの耐火性金属またはこれらの合金で作られるのが好ましく、耐火性金属膜(図示せず)と低抵抗導電膜(図示せず)を含む多重膜構造を有することができる。多重膜構造の例としてはクロム或いはモリブデン(合金)下部膜とアルミニウム(合金)上部膜の二重膜、モリブデン(合金)下部膜とアルミニウム(合金)中間膜とモリブデン(合金)上部膜の三重膜がある。しかし、データ線171、ドレイン電極175及び維持電極線131はその他にも多様な金属または導電体で作ることができる。

30

【0076】

データ線171、ドレイン電極175維持電極線131もまた、その側面が基板110面に対して30°乃至80°程度の傾斜角で傾くのが好ましい。

【0077】

抵抗性接触部材163、165は、その下の半導体154とその上のデータ線171及びドレイン電極175の間にのみ存在し、これらの間の接触抵抗を下げる。半導体154にはソース電極173とドレイン電極175の間をはじめとしてデータ線171及びドレイン電極175で覆われずに露出した部分がある。

40

【0078】

データ線171、ドレイン電極175及び露出した半導体154部分の上には保護膜180が形成される。保護膜180は窒化シリコンと酸化シリコンなどの無機絶縁物で作られる。しかし、保護膜180は有機絶縁物で作ることもでき、表面が平坦であってもよい。有機絶縁物の場合、感光性を有することができ、その誘電定数は約4.0以下であるのが好ましい。保護膜180はまた、有機膜の優れた絶縁特性を生かしながら、露出した半導体154部分に害を与えないように下部無機膜と上部有機膜の二重膜構造を有することもできる。

【0079】

保護膜180にはデータ線171の端部179とドレイン電極175を各々露出する複数の接触孔(コンタクトホール)182、185が形成され、保護膜180とゲート絶縁

50

膜 140 にはゲート線 121 の端部 129 を露出する複数の接触孔 181 が形成される。

【0080】

保護膜 180 上には複数の画素電極 191、複数の接続部材 81 及び複数の接触補助部材 82 が形成される。これらはITOまたはIZOなどの透明な導電物質やアルミニウム、銀、クロムまたはその合金などの反射性金属で作られ得る。

【0081】

各画素電極 191 はゲート線 121 またはデータ線 171 とほぼ平行な 4 つの主辺を有する。この中でゲート線 121 と平行な 2 つの横辺 1911 はデータ線 171 と平行な 2 つの縦辺 191s の長さより長く、ほぼ 3 倍である。したがって、横辺が縦辺より短い場合に比べて各行に位置する画素電極 191 の個数が少なく、その代わりに各列に位置する画素電極 191 の個数が多い。したがって、データ線 171 の全個数が減るので、データ駆動部 500 用の集積回路チップの個数を減らして原価を節減することができる。もちろん、ゲート線 121 の個数がその分増えることになるが、ゲート駆動部 400 は、ゲート線 121、データ線 171、薄膜トランジスタなどと共に液晶表示板組立体 300 に集積することができるので、ゲート線 121 数の増加は別に問題にならない。また、ゲート駆動部 400 が集積回路チップの形態で装着されても、ゲート駆動部 400 用の集積回路チップの原価が相対的に安いためにデータ駆動部 500 用集積回路チップの個数を減らすことが原価の節減においてさらに有利である。

10

【0082】

画素電極 191 は、接触孔 185 を通じてドレイン電極 175 と物理的、電氣的に接続され、ドレイン電極 175 からデータ電圧の印加を受ける。データ電圧が印加された画素電極 191 は、共通電圧の印加を受ける共通電極表示板 200 の共通電極 270 と共に電場を生成することによって、画素電極 191 及び共通電極 270 の 2 つの電極間の液晶層 3 の液晶分子の方向を決める。このようにして決められた液晶分子の方向に応じて液晶層 3 を通過する光の偏光が変わる。画素電極 191 と共通電極 270 は液晶キャパシタをなして薄膜トランジスタが導通された後にも印加された電圧を維持する。

20

【0083】

画素電極 191 は維持電極 (133a - d) をはじめとする維持電極線 131 と重なって液晶キャパシタの電圧維持能力を強化するストレージキャパシタを構成する。詳しく説明すると、まず、維持電極線 131 の分枝線は画素電極 191 の中央を縦に横切り、画素電極 191 の上下境界は分枝線から左右に延長された維持電極 (133a - d) 上に位置する。このように維持電極線 131 を配置すると、ゲート線 121 と画素電極 191 の間に形成される電磁気干渉が維持電極 (133a - d) によって遮断され、画素電極 191 の電圧を安定的に維持することができる。このような構造はまた、画素電極 191 の左右境界付近に維持電極 (133a - d) を配置する構造に比べ、縦方向の導線が減るために画素が占める横方向の幅を減らすことができるので、ゲート駆動部 400 を集積するための空間を十分に確保することができる。維持電極 (133a - d) は画素電極 191 の間の光漏れを遮断する役割も果たす。維持電極線 131 の分枝線が画素電極 191 の中央に配置されることによって生じる段差は維持電極線 131 の側面傾斜をなだらかにすることで補完できる。

30

40

【0084】

接触補助部材 82 は接触孔 182 を通じてデータ線 171 の端部 179 と接続される。接触補助部材 82 はデータ線 171 の端部 179 と外部装置との接着性を補完し、これらを保護する。

【0085】

接続部材 81 は接触孔 181 を通じてゲート線 121 の端部 129 と接続される。接続部材 81 はゲート線 121 の端部 129 とゲート駆動部 400 を接続する。ゲート駆動部 400 が集積回路チップの形態である場合に、接続部材 81 は接触補助部材 82 と類似なパターン及び機能を有することができる。

【0086】

50

次に、上部表示板である共通電極表示板 200 について説明する。

透明なガラスまたはプラスチックなどで作られた絶縁基板 210 上に遮光部材 220 が形成される。遮光部材 220 は黒色層 (black matrix) とも言い、光漏れを防止する。

【0087】

基板 210 及び遮光部材 220 上にはまた複数の色フィルター 230 が形成される。色フィルター 230 は遮光部材 220 に囲まれた領域内にほとんど存在し、画素電極 191 の行方向に沿って長く伸びることができる。各色フィルター 230 は赤色、緑色及び青色の三原色など、基本色のうちの 1 つを表示することができる。

【0088】

色フィルター 230 及び遮光部材 220 上には蓋膜 250 が形成される。蓋膜 250 は有機絶縁物で作ることができ、色フィルター 230 が露出されることを防止し、平坦面を提供する。蓋膜 250 は省略してもよい。

【0089】

下部及び上部表示板 100、200 の内側面にはそれぞれ配向膜 11、21 が塗布され、これらは垂直配向膜であり得る。下部及び上部表示板 100、200 の外側面には偏光子 12、22 が備えられるが、2 つの偏光子の偏光軸は平行または直交することができる。反射型液晶表示装置の場合には 2 つの偏光子のうちの 1 つを省略してもよい。

【0090】

本実施例による液晶表示装置は液晶層 3 の遅延を補償するための位相遅延膜 (図示せず) をさらに有することができる。液晶表示装置はまた、偏光子 12、22、位相遅延膜、下部及び上部表示板 100、200、及び液晶層 3 に光を供給する照明部 (図示せず) を有することができる。

【0091】

液晶層 3 は正または負の誘電率異方性を有し、液晶層 3 の液晶分子 31 は電場のない状態でその長軸が下部及び上部表示板 100、200 の 2 つの表示板の表面に対してほぼ平行または垂直をなすように配向される。

【0092】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0093】

【図 1】本発明の一実施例による液晶表示装置のブロック図である。

【図 2】本発明の一実施例による液晶表示装置の 1 つの画素に対する等価回路図である。

【図 3】本発明の一実施例による液晶表示装置の画素及びゲート駆動部の配置を概略的に示す図面である。

【図 4】図 3 に示す液晶表示装置のゲート信号を示す波形図である。

【図 5】本発明の他の実施例による液晶表示装置の画素及びゲート駆動部の配置を概略的に示す図面である。

【図 6】図 5 に示す液晶表示装置のゲート信号を示す波形図である。

【図 7】本発明の一実施例による液晶表示板組立体の配置図である。

【図 8】図 7 に示す液晶表示板組立体を V I I I - V I I I に沿って切断した断面図である。

【図 9】図 7 に示す液晶表示板組立体を I X - I X 線に沿って切断した断面図である。

【符号の説明】

【0094】

- 3 液晶層
- 11、21 配向膜
- 12、22 偏光子
- 31 液晶分子

10

20

30

40

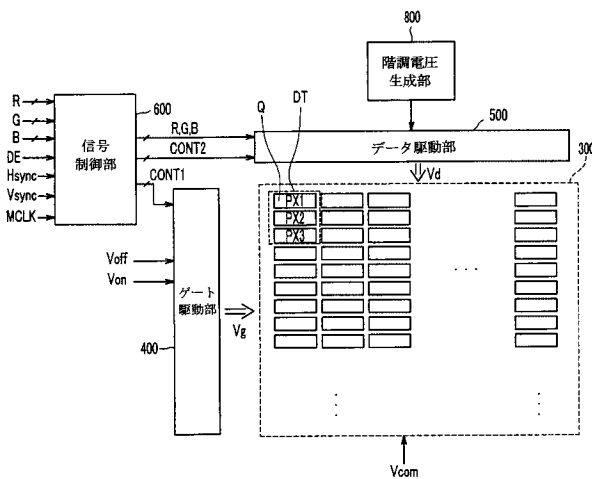
50

8 1	接続部材	
8 2	接触補助部材	
1 0 0	下部表示板（薄膜トランジスタ表示板）	
1 1 0、2 1 0	基板	
1 2 1	ゲート線	
1 2 4	ゲート電極	
1 2 9	ゲート線の端部	
1 3 1	維持電極線	
1 3 3 a、1 3 3 b、1 3 3 c、1 3 3 d	維持電極	
1 4 0	ゲート絶縁膜	10
1 5 4	半導体	
1 6 3、1 6 5	抵抗性接触（オーミックコンタクト）部材	
1 7 1	データ線	
1 7 3	ソース電極	
1 7 5	ドレイン電極	
1 7 9	データ線の端部	
1 8 0	保護膜	
1 8 1、1 8 2、1 8 5	接触孔（コンタクトホール）	
1 9 1	画素電極	
1 9 1 l	横辺	20
1 9 2 s	縦辺	
2 0 0	上部表示板（共通電極表示板）	
2 2 0	遮光部材	
2 3 0	色フィルター	
2 5 0	蓋膜	
2 7 0	共通電極	
3 0 0	液晶表示板組立体	
4 0 0	ゲート駆動部	
4 1 0	第 1 ゲート駆動部	
4 1 0 a	第 1 ゲート駆動回路	30
4 1 0 b	第 2 ゲート駆動回路	
4 2 0	第 2 ゲート駆動部	
4 2 0 a	第 3 ゲート駆動回路	
4 2 0 b	第 4 ゲート駆動回路	
4 3 0	第 3 ゲート駆動部	
4 3 0 a	第 5 ゲート駆動回路	
4 3 0 b	第 6 ゲート駆動回路	
4 4 0	第 4 ゲート駆動部	
4 4 0 a	第 7 ゲート駆動回路	
4 4 0 b	第 8 ゲート駆動回路	40
4 5 0	第 5 ゲート駆動部	
4 5 0 a	第 9 ゲート駆動回路	
4 5 0 b	第 10 ゲート駆動回路	
5 0 0	データ駆動部	
6 0 0	信号制御部	
8 0 0	階調電圧生成部	
C 1 c	液晶キャパシタ	
C O N T 1	ゲート制御信号	
C O N T 2	データ制御信号	
C s t	ストレージキャパシタ	50

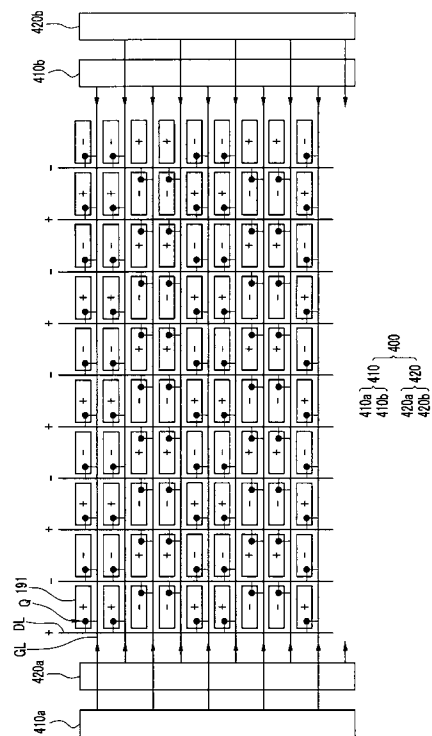
$D_1 - D_m$ データ線
 DAT デジタル映像信号
 DE データイネーブル信号
 DL データ線
 GL ゲート線
 Hsync 水平同期信号
 LOAD ロード信号
 MCLK メインクロック
 PX1、PX2、PX3 画素
 Q スイッチング素子
 RVS 反転信号
 SL 維持電極線
 STV 走査開始信号
 Vcom 共通電圧
 Vd データ信号
 Vg ゲート信号
 Von ゲートオン電圧

10

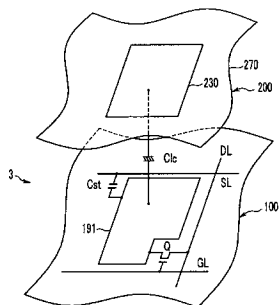
【図1】



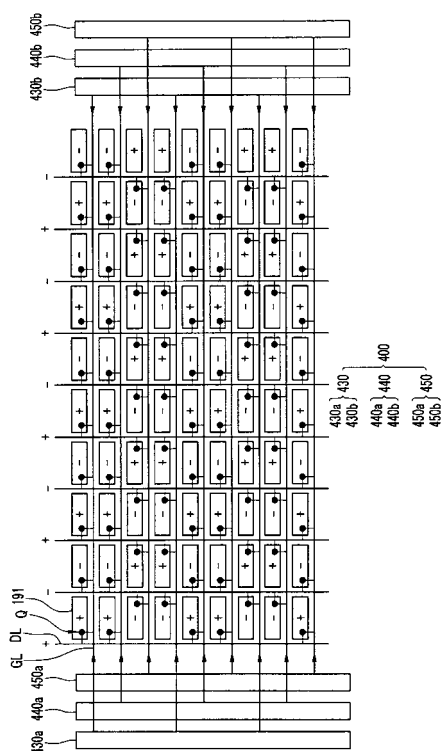
【図3】



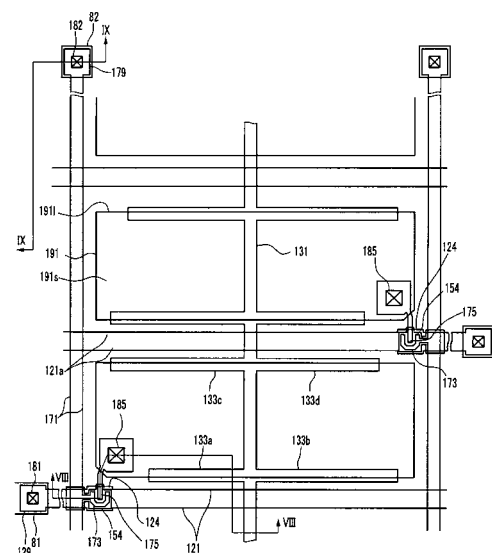
【図2】



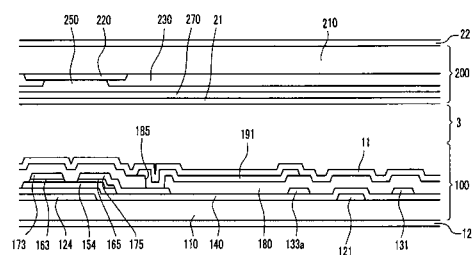
【 図 5 】



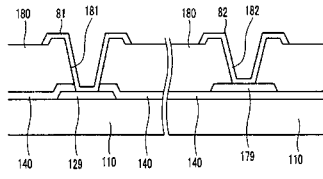
【圖 7】



【圖 8】



【 図 9 】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 4 2 K
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 2 3 Q

F ターム(参考) 5C006 AA16 AA22 AC11 AC22 AC23 AC28 AF22 AF42 AF43 AF71
 AF83 AF85 BB14 BB16 BB21 BB28 BC03 BC12 BC22 BC23
 BF24 BF43 FA12 FA16 FA18 FA22 FA23 FA37 FA43 FA51
 5C080 AA10 BB06 CC03 DD05 DD06 DD08 DD22 DD25 DD27 EE29
 EE30 FF11 FF13 JJ02 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008033322A	公开(公告)日	2008-02-14
申请号	JP2007192096	申请日	2007-07-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金東奎		
发明人	金 東 奎		
IPC分类号	G09G3/36 G02F1/1368 G02F1/1362 G09G3/20		
CPC分类号	G09G3/3648 G09G3/3614 G09G2310/0205 G09G2320/0223		
FI分类号	G09G3/36 G02F1/1368 G02F1/1362 G09G3/20.624.A G09G3/20.621.M G09G3/20.680.G G09G3/20.622.M G09G3/20.642.K G09G3/20.622.D G09G3/20.621.B G09G3/20.622.K G09G3/20.611.J G09G3/20.623.Q		
F-TERM分类号	2H092/GA26 2H092/GA28 2H092/GA30 2H092/GA59 2H092/GA60 2H092/JA24 2H092/JA37 2H092/NA27 2H092/PA06 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC22 5C006/AC23 5C006/AC28 5C006/AF22 5C006/AF42 5C006/AF43 5C006/AF71 5C006/AF83 5C006/AF85 5C006/BB14 5C006/BB16 5C006/BB21 5C006/BB28 5C006/BC03 5C006/BC12 5C006/BC22 5C006/BC23 5C006/BF24 5C006/BF43 5C006/FA12 5C006/FA16 5C006/FA18 5C006/FA22 5C006/FA23 5C006/FA37 5C006/FA43 5C006/FA51 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD05 5C080/DD06 5C080/DD08 5C080/DD22 5C080/DD25 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC62 2H192/DA15 2H192/EA43 2H192/FA44 2H192/FB03 2H192/FB32 2H192/GD61		
优先权	1020060069669 2006-07-25 KR		
其他公开文献	JP5078483B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其减少数据驱动电路芯片的数量并防止显示装置的驱动信号的延迟以改善图像质量。 根据本发明的液晶显示装置包括基板，形成在基板上的多条栅极线，与栅极线交叉的多条数据线，连接到栅极线和数据线的多个薄膜晶体管，多个像素电极连接到薄膜晶体管并且具有平行于栅极线的第一侧和长度比第一侧短并且邻接第二侧的第二侧;和两个或更多个栅极驱动单元，其中栅极驱动单元包括分别位于基板两侧的第一栅极驱动电路和第二栅极驱动电路。 点域

