

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-121703

(P2007-121703A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 642 J	5C006
G02F 1/133 (2006.01)	G09G 3/20 623 F	5C080
	G09G 3/20 623 B	
	G09G 3/20 612 U	
審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2005-314210 (P2005-314210)	(71) 出願人	302062931
(22) 出願日	平成17年10月28日 (2005.10.28)		N E Cエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
		(74) 代理人	100124914
			弁理士 徳丸 達雄
		(72) 発明者	田中 義之
			滋賀県大津市晴嵐 2 丁目 9 番 1 号 関西日
			本電気株式会社内
		Fターム(参考)	2H093 NA51 NB07 NC11 NC13 NC14
			NC16 ND39
			5C006 AA16 AA22 AC11 AC21 AF42
			AF43 AF45 AF53 AF69 AF71
			AF83 BB16 BC12 BC16 BF25
			FA47
			5C080 AA10 BB05 CC03 DD26 EE29
			EE30 FF11 JJ02 JJ03

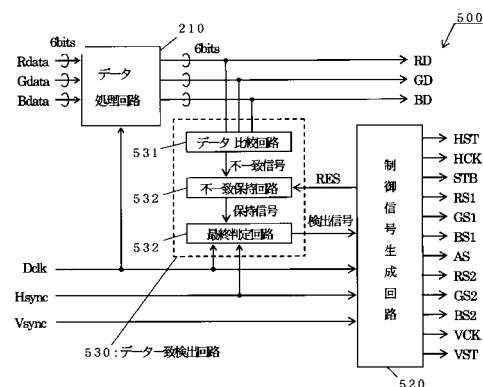
(54) 【発明の名称】 液晶表示用駆動回路

(57) 【要約】

【課題】 液晶表示用駆動回路において、消費電力を低減する。

【解決手段】 赤 (R)、緑 (G)、青 (B) の3つのドット画素からなる単位画素ごとに、R→G→Bの出力順に出力回路を構成する増幅器から階調電圧を時分割出力するとき、データ一致検出回路530でR、G、Bのドット画素に対応する階調データを単位画素ごとに比較し、1走査線ごとに全画素で一致する場合、制御信号生成回路520からの出力制御信号ASにより、増幅器の駆動時間を、先頭のR出力に対してG出力、B出力を短く制御する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

1 走査線ごとに複数の単位画素が赤、緑、青の 3 つのドット画素でそれぞれ構成され、走査線の線順次に各ドット画素がデータ線を介して駆動される液晶パネルのデータ線に、各ドット画素に対応する階調データが D/A 変換された階調電圧を、少なくとも単位画素ごとに単位増幅器から時分割出力する液晶表示用駆動回路において、

前記階調データを単位画素ごとに比較し、その比較結果により前記単位増幅器の動作時間を制御することを特徴とする液晶表示用駆動回路。

【請求項 2】

前記時分割出力の各出力は、前記単位増幅器から所定期間出力されて後、前記単位増幅器がパスされて出力されることを特徴とする請求項 1 記載の液晶表示用駆動回路。 10

【請求項 3】

前記比較結果において、時分割出力順が隣接する少なくとも 2 つの階調電圧に対応する階調データが 1 走査線ごとに前記単位画素の全画素で一致する場合、前記所定期間が、前記一致する階調データに対応する出力のうち先頭出力より後の出力が短いことを特徴とする請求項 2 記載の液晶表示用駆動回路。

【請求項 4】

前記一致する階調データのうちの 1 つを代表データとして用いて、前記一致する階調データに対応する階調電圧の時分割出力を行うことを特徴とする請求項 3 記載の液晶表示用駆動回路。 20

【請求項 5】

1 走査線ごとに複数の単位画素が赤、緑、青の 3 つのドット画素でそれぞれ構成され、走査線の線順次に各ドット画素がデータ線を介して駆動される液晶パネルの少なくとも単位画素ごとに各ドット画素に対応する階調データが時分割で階調電圧に変換される D/A コンバータと、前記階調電圧が時分割で入出力される前記少なくとも単位画素ごとの単位増幅器とを具備した液晶表示用駆動回路において、

さらに、前記階調データを単位画素ごとに比較し、時分割出力順が隣接する少なくとも 2 つの階調電圧に対応する階調データが 1 走査線ごとに前記単位画素の全画素で一致するのを検出するデータ一致検出回路を備え、

データ一致検出回路からの検出信号に基づいて、前記時分割出力の各出力において、前記単位増幅器の動作時間が制御されることを特徴とする液晶表示用駆動回路。 30

【請求項 6】

さらに、前記単位増幅器の後段に設けられた第 1 のスイッチと、前記単位増幅器の入力端と対応する第 1 のスイッチの出力端との間に並列接続された第 2 のスイッチと、第 1、第 2 のスイッチおよび単位増幅器を制御する出力制御信号を前記検出信号に基づいて生成する制御信号生成回路とを備え、前記時分割出力の各出力において、前記出力制御信号により第 1 のスイッチが所定期間オンし、第 2 のスイッチがオフのままであるとともに単位増幅器が動作状態となり、前記所定期間後に第 1 のスイッチがオフ、第 2 のスイッチがオンするとともに単位増幅器が非動作状態となることを特徴とする請求項 5 記載の液晶表示用駆動回路。 40

【請求項 7】

前記所定期間は、前記一致する階調データに対応する出力のうち先頭出力より後の出力が短いことを特徴とする請求項 6 記載の液晶表示用駆動回路。

【請求項 8】

さらに、前記 D/A コンバータに前記階調データを時分割で供給するためのスイッチ回路を備え、前記検出信号に基づいて前記制御信号生成回路で前記スイッチ回路を制御するスイッチ制御信号を生成し、

前記階調電圧が一致した場合、スイッチ回路において前記一致する階調データのうちの 1 つを代表データとして選択し、前記一致する階調データに対応する階調電圧の時分割出力を行うことを特徴とする請求項 7 記載の液晶表示用駆動回路。 50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示用駆動回路に関し、特に、携帯コンピュータ、携帯情報端末（PDA：Personal Digital Assistants）、あるいは、携帯電話、PHS（Personal Handy-phone System）などの携帯用電子機器の表示部として用いられる液晶パネルを駆動する駆動回路に関する。

【背景技術】

【0002】

携帯用電子機器に用いられる液晶表示用駆動回路として、消費電力の低減やレイアウト面積の低減のために、「階調電圧を液晶パネルの少なくとも単位画素ごとに単位増幅器から時分割出力する液晶表示用駆動回路」が用いられている。図7は、この種の従来の液晶パネル100の駆動回路の構成例を示すブロック図である。この例では、液晶パネル100の解像度が176×220画素であるとする。1画素が赤（R）、緑（G）、青（B）の3個のドット画素により構成されているので、そのドット画素数は、528×220画素となる。また、この例では、時分割出力をRGB3分割であるとする。液晶パネル100は、図面の横方向に配列されて縦方向に延びる各176本のRデータ線101a、Gデータ線101b、Bデータ線101cと、図面の縦方向に配列されて横方向に延びる220本の走査線102（図7では、1本のみを図示）とを含む。各ドット画素は、TFT103、画素容量104、液晶素子105とにより構成される。TFT103のゲート端子は走査線102に、ソース（ドレイン）端子はデータ線101a、101b、101cに、それぞれ接続される。また、TFT103のドレイン（ソース）端子には画素容量104及び液晶素子105がそれぞれ接続される。画素容量104及び液晶素子105のTFT103と接続しない側の端子106は、例えば、図示せぬ共通電極に接続される。176組のデータ線101a、101b、101cは、入力側端子が、1入力3出力の切替スイッチ107₁～107₁₇₆の出力端子a、b、cにそれぞれ接続されている。

【0003】

液晶パネル100の駆動回路は、制御回路200と、データ側駆動回路300と、走査側駆動回路400とから概略構成されている。駆動回路は、通常、半導体集積回路（IC）化され、携帯用電子機器では、例えば、制御回路200+データ側駆動回路300、制御回路200+データ側駆動回路300+走査側駆動回路400のように、1チップにIC化されることが多い。

【0004】

制御回路200は、外部から供給されるデジタルの画像データをデータ側駆動回路300が駆動できるデジタルの階調データに変換するとともに、データ側駆動回路300、走査側駆動回路400および液晶パネル100上の切替スイッチ107₁～107₁₇₆のタイミング制御を行う。

【0005】

データ側駆動回路300は、走査線102の1ラインごと（1水平期間ごと）に、制御回路200から供給される走査線102の1ライン分の階調データをアナログの階調電圧に変換してデータ線101a、101b、101cに時分割で印加する。

【0006】

走査側駆動回路400は、1水平期間ごとに、走査線102を線順次に駆動して走査線102上に並ぶTFT103をオン制御し、データ線101a、101b、101cに印加される階調電圧を液晶素子105に供給する。

【0007】

制御回路200は、図8に示すように、データ処理回路210と、制御信号生成回路220とを備えている。

【0008】

10

20

30

40

50

データ処理回路 210 は、外部から供給される画像データである例えば、各 6 ビットの赤データ Rdata、緑データ Gdata、青データ Bdata を、外部から供給されるドットクロック Dclk のタイミングで取り込み、データ側駆動回路 300 が駆動できる階調データである各 6 ビットの赤データ RD、緑データ GD、青データ BD に変換する。

【0009】

また、制御信号生成回路 220 は、外部から供給されるドットクロック Dclk、水平同期信号 Hsync および垂直同期信号 Vsync に基づいて、データ側駆動回路 300、走査側駆動回路 400 および液晶パネル 100 上の切替スイッチ 107₁～107₁₇₆ のタイミング制御を行う信号を生成する。データ側駆動回路 300 に対して、ストロブ信号 STB、クロック HCK、水平スタートパルス HST、スイッチ制御信号 RS1, GS1, BS1、出力制御信号 AS を生成する。走査側駆動回路 400 に対して、垂直スタートパルス VST を生成する。液晶パネル 100 上の切替スイッチ 107₁～107₁₇₆ に対して、スイッチ制御信号 RS2, GS2, BS2 を生成する。

【0010】

次に、データ側駆動回路 300 について説明する。データ側駆動回路 300 は、図 9 に示すように、シフトレジスタ 310 と、データレジスタ 320 と、データラッチ回路 330 と、スイッチ回路 340 と、D/A コンバータ 350 と、出力回路 360 とを備えている。

【0011】

シフトレジスタ 310 は、制御回路 200 から供給されるクロック HCK に同期して、同じく制御回路 200 から供給される水平スタートパルス HST をシフトするシフト動作を行うとともに、176 ビットの平行のサンプリングパルス SP1～SP176 を出力する。

【0012】

データレジスタ 320 は、シフトレジスタ 310 から供給されるサンプリングパルス SP1～SP176 に同期して、制御回路 200 から供給される各 6 ビットの階調データ RD, GD, BD を階調データ RD₁, GD₁, BD₁～RD₁₇₆, GD₁₇₆, BD₁₇₆ として取り込み、データラッチ回路 330 へ供給する。

【0013】

データラッチ回路 330 は、制御回路 200 から供給されるストロブ信号 STB の立ち上がり同期して、データレジスタ 320 から供給される階調データ RD₁, GD₁, BD₁～RD₁₇₆, GD₁₇₆, BD₁₇₆ を取り込み、次にストロブ信号 STB が供給されるまで、すなわち、1 水平期間の間、取り込んだ階調データ RD₁, GD₁, BD₁～RD₁₇₆, GD₁₇₆, BD₁₇₆ を保持する。

【0014】

スイッチ回路 340 は、176 個の 1 入力 3 出力の切替スイッチ 341₁～341₁₇₆ で構成され、制御回路 200 から供給されるスイッチ制御信号 RS1, GS1, BS1 に同期して、データラッチ回路 330 から供給される階調データ RD₁, GD₁, BD₁～RD₁₇₆, GD₁₇₆, BD₁₇₆ を (RD₁～RD₁₇₆)→(GD₁～GD₁₇₆)→(BD₁～BD₁₇₆) の順に時分割で D/A コンバータ 350 へ供給する。

【0015】

D/A コンバータ 350 は、スイッチ回路 340 から時分割で供給される対応する 6 ビットの階調データ RD₁, GD₁, BD₁～RD₁₇₆, GD₁₇₆, BD₁₇₆ の値に基づいて、アナログの 64 個の階調電圧 V1～V64 の中から 1 個の階調電圧を時分割で選択し、階調電圧 RV₁, GV₁, BV₁～RV₁₇₆, GV₁₇₆, BV₁₇₆ として (RV₁～RV₁₇₆)→(GV₁～GV₁₇₆)→(BV₁～BV₁₇₆) の順に時分割で出力回路 360 に供給する。

【0016】

出力回路 360 は、図 10 に示すように、増幅器 361₁～361₁₇₆ と、各増幅器 361₁～361₁₇₆ の後段に設けられたスイッチ 362₁～362₁₇₆ と、各増幅

10

20

30

40

50

器 361₁ ~ 361₁₇₆ の入力端と対応するスイッチ 362₁ ~ 362₁₇₆ の出力端との間に並列接続されたスイッチ 363₁ ~ 363₁₇₆ とを有している。出力回路 360 は、D/A コンバータ 350 から供給される階調電圧 RV₁, GV₁, BV₁ ~ RV₁₇₆, GV₁₇₆, BV₁₇₆ を、(RV₁ ~ RV₁₇₆) → (GV₁ ~ GV₁₇₆) → (BV₁ ~ BV₁₇₆) の順に時分割で増幅し、制御回路 200 から供給される出力制御信号 AS によってオンされたスイッチ 362₁ ~ 362₁₇₆ を経て出力端子 S1 ~ S176 に供給する。または D/A コンバータ 350 から供給される階調電圧 RV₁, GV₁, BV₁ ~ RV₁₇₆, GV₁₇₆, BV₁₇₆ をそのまま、制御回路 200 からインバータ INV1 ~ INV176 を介して供給される出力制御信号 AS によってオンされたスイッチ 363₁ ~ 363₁₇₆ を経て出力端子 S1 ~ S176 に供給する。スイッチ 362₁ ~ 362₁₇₆ は、出力制御信号 AS が "H" レベルの時にオンし、スイッチ 363₁ ~ 363₁₇₆ は、出力制御信号 AS が "L" レベルの時にオンする。また、出力制御信号 AS は増幅器 361₁ ~ 361₁₇₆ にも供給され、出力制御信号 AS が "H" レベルの時だけ増幅器 361₁ ~ 361₁₇₆ は動作状態となる。出力制御信号 AS が "L" レベルの時は非動作状態として消費電力の低減を図っている。

【0017】

次に、上記構成の液晶表示用駆動回路の動作のうち、制御回路 200 及びデータ側駆動回路 300 の動作について説明する。まず、図 9 に示すデータ側駆動回路 300 のデータラッチ回路 330 に階調データが取り込まれるまでの動作についてタイミングチャートを図示せずに説明する。図 8 に示す制御回路 200 の制御信号生成回路 220 からクロック HCK と、ストロブ信号 STB と、ストロブ信号 STB よりクロック HCK のパルス数個分遅延された水平スタートパルス STH とがデータ側駆動回路 300 へ供給される。これにより、図 9 に示すデータ側駆動回路 300 において、シフトレジスタ 310 は、クロック HCK に同期して、水平スタートパルス HST をシフトするシフト動作を行うとともに、176 ビットのパラレルのサンプリングパルス SP1 ~ SP176 を出力する。これと略同時に、図 8 に示す制御回路 200 のデータ処理回路 210 は、外部から供給される画像データである各 6 ビットの赤データ Rdata、緑データ Gdata、青データ Bdata を、各 6 ビットの階調データ RD, GD, BD に変換してデータ側駆動回路 300 へ供給する。これにより、図 9 に示すデータ側駆動回路 300 において、階調データ RD, GD, BD は、シフトレジスタ 310 から供給されるサンプリングパルス SP1 ~ SP176 に同期して順次、階調データ RD₁, GD₁, BD₁ ~ RD₁₇₆, GD₁₇₆, BD₁₇₆ としてデータレジスタ 320 に取り込まれた後、ストロブ信号 STB の立ち上がり同期して一斉にデータラッチ回路 330 に取り込まれ、1 水平期間の間、保持される。

【0018】

次に、図 9 に示すデータ側駆動回路 300 において、データラッチ回路 330 から階調データが出力され、出力回路 360 から階調電圧が各データ線に供給されるまでの動作について、図 11 のタイミングチャートを参照して説明する。図 8 に示す制御回路 200 の制御信号生成回路 220 から、図 11 に示すタイミングで、スイッチ制御信号 RS1, GS1, BS1 と、出力制御信号 AS とがデータ側駆動回路 300 へ供給されるとともに、スイッチ制御信号 RS2, GS2, BS2 が液晶パネル 100 上の切替スイッチ 107₁ ~ 107₁₇₆ へ供給される。スイッチ制御信号 RS1, GS1, BS1 は、1 水平期間内の時刻 t10 ~ t40 を、t10 ~ t20, t20 ~ t30, t30 ~ t40 の 3 つに等間隔で時分割されたパルス幅の信号である。スイッチ制御信号 RS2, GS2, BS2 は、スイッチ制御信号 RS1, GS1, BS1 の立ち上がりよりクロック HCK のパルス数個分遅延した時刻 t11, t21, t31 に立ち上がり、スイッチ制御信号 RS1, GS1, BS1 の立ち下がりよりクロック HCK のパルス数個分早い時刻 t13, t23, t33 に立ち下がる信号である。出力制御信号 AS は、各時刻 t10, t20, t30 で立ち上がり、時刻 t11 ~ t13, t21 ~ t23, t31 ~ t33 内の時刻 t12, t22, t32 に立ち下がる信号である。出力制御信号 AS の時刻 t11 ~ t12, t21 ~ t22, t31 ~ t32 の "H" レベルの長さ、すなわち、増幅器 361₁ ~ 361₁₇₆

6の各時分割出力の動作時間は、時分割出力の切り替わり前後での階調電圧出力の最大変化を考慮した同一所定時間に設定されている。

【0019】

時刻 t_{10} において、スイッチ制御信号 RS_1 が"H"レベルに立ち上がると、スイッチ回路340の各切替スイッチ $341_1 \sim 341_{176}$ は入力端子aが出力端子に接続される。その結果、データラッチ回路330に保持されている階調データ $RD_1 \sim RD_{176}$ がスイッチ回路340を介してD/Aコンバータ350へ供給され、D/Aコンバータ350でアナログの階調電圧 $RV_1 \sim RV_{176}$ に変換されて出力回路360に供給される。出力回路360に供給された階調電圧 $RV_1 \sim RV_{176}$ は、増幅器 $361_1 \sim 361_{176}$ で増幅された後、スイッチ制御信号 RS_1 と同時に"H"レベルに立ち上がる出力制御信号 AS によってオンされたスイッチ $362_1 \sim 362_{176}$ を経て出力端子 $S_1 \sim S_{176}$ に供給される。 10

【0020】

時刻 t_{11} において、スイッチ制御信号 RS_2 が"H"レベルに立ち上がると、液晶パネル100上の切替スイッチ $107_1 \sim 107_{176}$ は入力端子が出力端子aに接続される。その結果、出力端子 $S_1 \sim S_{176}$ からの階調電圧 $RV_1 \sim RV_{176}$ が切替スイッチ $107_1 \sim 107_{176}$ を介して176本のデータ線101aに供給される。

【0021】

時刻 t_{12} において、出力端子 $S_1 \sim S_{176}$ の電位は、時刻 $t_{10} \sim t_{12}$ の増幅器 $361_1 \sim 361_{176}$ の動作により、階調電圧 $RV_1 \sim RV_{176}$ の目標値に達する。時刻 t_{12} に出力制御信号 AS が"L"レベルに立ち下がると、出力回路360に供給された階調電圧 $RV_1 \sim RV_{176}$ は、そのまま、オンされたスイッチ $363_1 \sim 363_{176}$ を経て出力端子 $S_1 \sim S_{176}$ に供給される。このとき、増幅器 $361_1 \sim 361_{176}$ は非動作状態となり、増幅器での消費電力を低減するようにしている。時刻 $t_{12} \sim t_{20}$ において、増幅器 $361_1 \sim 361_{176}$ は非動作状態となるが、階調電圧 $RV_1 \sim RV_{176}$ は、そのまま、スイッチ $363_1 \sim 363_{176}$ を介して出力端子 $S_1 \sim S_{176}$ に供給されるため、出力端子 $S_1 \sim S_{176}$ の電位は、階調電圧 $RV_1 \sim RV_{176}$ の目標値を保持する。 20

【0022】

時刻 t_{13} において、スイッチ制御信号 RS_2 が"L"レベルに立ち下がると、液晶パネル100上の切替スイッチ $107_1 \sim 107_{176}$ は入力端子が出力端子aから非接続される。その結果、出力端子 $S_1 \sim S_{176}$ からの階調電圧 $RV_1 \sim RV_{176}$ は176本のデータ線101aに供給されなくなる。 30

【0023】

時刻 t_{20} において、スイッチ制御信号 RS_1 が"L"レベルに立ち下がり、スイッチ回路340の各切替スイッチ $341_1 \sim 341_{176}$ は入力端子aが出力端子に非接続される。そして、時刻 $t_{20} \sim t_{30}$ において、上述の時刻 $t_{10} \sim t_{20}$ の動作と同様に、スイッチ制御信号 GS_1 と、出力制御信号 AS と、スイッチ制御信号 GS_2 とにより、出力端子 $S_1 \sim S_{176}$ からの階調電圧 $GV_1 \sim GV_{176}$ が176本のデータ線101bに供給される。 40

【0024】

また、時刻 $t_{30} \sim t_{40}$ においても、上述の時刻 $t_{10} \sim t_{20}$ の動作と同様に、スイッチ制御信号 BS_1 と、出力制御信号 AS と、スイッチ制御信号 BS_2 とにより、出力端子 $S_1 \sim S_{176}$ からの階調電圧 $BV_1 \sim BV_{176}$ が176本のデータ線101cに供給される。

【0025】

以上に説明した液晶表示用駆動回路は、1水平期間内に時分割で階調電圧を出力することにより、1出力で液晶パネルの1画素=3個の赤(R)、緑(G)、青(B)のドット画素を制御することを可能としている。

【発明の開示】

【発明が解決しようとする課題】

【0026】

ところで、上述の液晶表示用駆動回路において、更に消費電力を低減したいという要求がある。上述の液晶表示用駆動回路は、図10に示す増幅器361₁～361₁₇₆の各時分割出力の動作時間が、時分割出力の切り替わり前後での階調電圧出力の最大変化を考慮した同一所定時間に設定されている。時分割出力の切り替わり前後での階調電圧出力の変化が小さい場合、後の出力による出力端子の電位は、早く階調電圧の目標値に達する。このとき、増幅器361₁～361₁₇₆は、後の出力による出力端子の電位が目標値に到達した後も上記所定時間まで動作状態であり無駄な電力を消費することになる。

【課題を解決するための手段】

【0027】

本発明の液晶表示用駆動回路は、1走査線ごとに複数の単位画素が赤、緑、青の3つのドット画素でそれぞれ構成され、走査線の線順次に各ドット画素がデータ線を介して駆動される液晶パネルのデータ線に、各ドット画素に対応する階調データがD/A変換された階調電圧を、少なくとも単位画素ごとに単位増幅器から時分割出力する液晶表示用駆動回路において、前記階調データを単位画素ごとに比較し、その比較結果により前記単位増幅器の動作時間を制御することを特徴とする。

【発明の効果】

【0028】

本発明によれば、時分割出力順が隣接する少なくとも2つの階調電圧に対応する階調データが1走査線ごとに単位画素の全画素で一致する場合、データ側駆動回路の出力回路を構成する増幅器の駆動期間を、その時分割出力順の先頭のものより後のものを短く制御することができ、消費電力を低減することができる。

【発明を実施するための最良の形態】

【0029】

以下、図面を参照しながら、本発明の実施の形態について説明する。図1は、本発明の一実施形態を示すものであり、図7の従来例と同一の構成要素には同一の番号、記号を付してその説明は省略する。本実施形態では、図7の制御回路200の代わりに制御回路500が用いられ、制御回路500以外は図7の従来例と同一の構成要素を有している。尚、本実施形態は、ライン反転駆動およびフレーム反転駆動方式の駆動回路に適用できるが、ドット反転駆動方式の駆動回路には適用できない。図2は、制御回路500の構成を示すブロック図であるが、図8の従来例と同一の構成要素には同一の番号、記号を付してその説明は省略する。制御回路500では、図7の従来例と同一のデータ処理回路210を有し、さらにデータ一致検出回路530を有している。また、図8の制御信号生成回路220の代わりに制御信号生成回路520が用いられている。

【0030】

データ一致検出回路530は、データ比較回路531と、不一致保持回路532と、最終判定回路533とを有している。データ比較回路531は、1水平期間ごとに、データ処理回路210から供給される走査線102の1ライン分の階調データRD、GD、BDを比較し、1画素単位で発生した不一致／一致の結果を示す不一致信号を出力する。不一致保持回路532は、データ比較回路531からの不一致信号と、制御信号生成回路520からのリセット信号RESとに対応してセット、リセットされ、1画素単位で発生した不一致信号をリセット信号RESの入力まで保持し、保持信号として出力する。保持信号は、階調データRD、GD、BDがすべて一致する間は"L"レベルであるが、階調データRD、GD、BDが一旦、不一致となるとリセット信号RESの入力まで"H"レベルを保持する。最終判定回路533は、不一致保持回路532から保持信号を入力し、次の1水平期間の水平同期信号Hsync入力後のドットクロックDclkの立ち上がり同期して保持信号のレベルを読み込み、検出信号として出力する。

【0031】

制御信号生成回路520が図8の制御信号生成回路220と異なる点は、スイッチ制御

10

20

30

40

50

信号RS1, GS1, BS1と出力制御信号ASとが検出信号に基づいてタイミング制御される点と、リセット信号RESが出力される点である。

【0032】

制御回路500の動作について、図3および図4を参照して説明する。尚、ストロープ信号STB、クロックHCK、水平スタートパルスHST、垂直スタートパルスVST、スイッチ制御信号RS2, GS2, BS2を生成する動作については、図8に示す制御回路200と同一であり、その説明を省略する。

【0033】

まず、図3を参照して、データ一致検出回路530の動作について説明する。1水平期間ごとに、水平同期信号HsyncよりドットクロックDclkのパルス数個分遅延されたりセット信号RESが制御信号生成回路520から不一致保持回路532に供給され、不一致保持回路532が初期化される。1水平期間ごとに、不一致保持回路532が初期化された後、外部から供給される走査線102の1ライン分の画像データRdata, Gdata, BdataがドットクロックDclkの立ち上がりに同期してデータ処理回路210に取り込まれ、データ処理回路210から階調データRD, GD, BDとして出力される。1水平期間ごとに、データ処理回路210からデータ比較回路531に階調データRD, GD, BDが供給され、データ比較回路531によりクロックDclkの立ち下がりに同期して1画素単位で比較される。その比較結果は不一致信号として不一致保持回路532に供給される。

【0034】

図3の例では、1～4番目の画素単位の階調データRD, GD, BDは、それぞれ3データとも"5（便宜上十進法で表す）"でデータ一致であり、データ比較回路531から不一致保持回路532に画素単位ごとに"L"レベルの不一致信号が供給される。これにより不一致保持回路532で"L"レベルが保持され、不一致保持回路532からは"L"レベルの保持信号が出力される。5番目の画素単位の階調データRD, GD, BDは、"5, 1, 1"でデータ不一致であり、データ比較回路531から不一致保持回路532に"H"レベルの不一致信号が供給される。これにより不一致保持回路532で"H"レベルが保持され、不一致保持回路532からは"H"レベルの保持信号が出力される。5番目の画素単位の階調データRD, GD, BDにより不一致保持回路532に、一旦、"H"レベルの不一致信号が供給されると、6番目以降の画素単位の階調データRD, GD, BDのデータ一致、不一致にかかわらず不一致保持回路532からは、リセット信号RESの入力まで"H"レベルの保持信号が出力される。そして、次の1水平期間の水平同期信号Hsync入力後のドットクロックDclkの立ち上がりに同期して最終判定回路533で"H"レベルの保持信号が読み込まれ、最終判定回路533から検出信号として制御信号生成回路520に出力される。

【0035】

次に、図4を参照して、制御信号生成回路520においてスイッチ制御信号RS1, GS1, BS1と出力制御信号ASとが検出信号に基づいてタイミング制御される動作について説明する。

(a) 検出信号が"H"レベル（データ不一致）のとき：図4の(a)に示すように、図11に示した従来の液晶表示用駆動回路の制御信号生成回路220からのスイッチ制御信号RS1, GS1, BS1および出力制御信号ASと同一タイミングの信号が生成される。

(b) 検出信号が"L"レベル（データ一致）のとき：図4の(b)に示すように、スイッチ制御信号RS1, GS1, BS1は、時刻t10～t40の期間、スイッチ制御信号RS1のみが"H"レベルとなり、スイッチ制御信号GS1, BS1が"L"レベルのままとなるように生成される。出力制御信号ASは、時刻t10～t20において、(a)の場合と同じタイミングとなる。時刻t20～t40においては、時刻t20～t22', t30～t32'のパルス幅は、液晶パネル100上の切替スイッチ107によるR, G, Bデータ線101a, 101b, 101cの切り替え時のパネル容量付加による出力電圧の低下を補える範囲内の短い期間で増幅器をオンさせることができればよく、(a)の場合より短いパルス幅のタイミングとなるように生成される。尚、時刻t20～t22',

10

20

30

40

50

$t_{30} \sim t_{32'}$ のパルス幅は、パネル負荷により変えられるように設定により可変とすることができる。

【0036】

次に、上記構成の液晶表示用駆動回路の動作のうち、制御回路500及びデータ側駆動回路300の動作について説明する。まず、図9に示すデータ側駆動回路300のデータラッチ回路330に階調データが取り込まれるまでの動作については、図7に示した従来の液晶表示用駆動回路の動作と同様であり、その説明を省略する。

【0037】

次に、図9に示すデータ側駆動回路300において、データラッチ回路330から階調データが出力され、出力回路360から階調電圧が各データ線に供給されるまでの動作について説明する。検出信号が"H"レベル（データ不一致）のとき：図2に示す制御回路500において、データ処理回路210から走査線102の1ライン分の階調データRD, GD, BDが出力され、データ一致検出回路530に入力される。次の1水平期間の水平同期信号Hsync入力後のドットクロックDclkの立ち上がりにより同期してデータ一致検出回路530から"H"レベルの検出信号が制御信号生成回路520に出力される。これにより、制御信号生成回路520から図4の(a)に示したタイミング（図7に示した従来の液晶表示用駆動回路と同一タイミング）のスイッチ制御信号RS1, GS1, BS1および出力制御信号ASが出力される。以降の動作については、図7に示した従来の液晶表示用駆動回路の動作と同様であり、その説明を省略する。

【0038】

検出信号が"L"レベル（データ一致）のとき：図2に示す制御回路500において、データ処理回路210から走査線102の1ライン分の階調データRD, GD, BDが出力され、データ一致検出回路530に入力される。次の1水平期間の水平同期信号Hsync入力後のドットクロックDclkの立ち上がりにより同期してデータ一致検出回路530から"L"レベルの検出信号が制御信号生成回路520に出力される。これにより、図5のタイミングチャートに示すように、制御信号生成回路520から図4の(b)に示したタイミングと同一タイミングのスイッチ制御信号RS1, GS1, BS1および出力制御信号ASが出力される。以降の動作については、図7に示した従来の液晶表示用駆動回路の動作と異なる点のみを説明する。

【0039】

時刻 $t_{20} \sim t_{40}$ において、スイッチ制御信号RS1は"H"レベル、GS1およびBS1は"L"レベルのままであり、図9に示すデータ側駆動回路300において、スイッチ回路340の各切替スイッチ $341_1 \sim 341_{176}$ は入力端子aが出力端子に接続されたままとなる。従って、時刻 $t_{20} \sim t_{40}$ の間においても、時刻 $t_{10} \sim t_{20}$ の間と同様に、図9に示すデータ側駆動回路300において、データラッチ回路330に保持されている階調データ $RD_1 \sim RD_{176}$ に基づいて、時分割出力の階調電圧が出力端子 $S_1 \sim S_{176}$ に供給される。

【0040】

時刻 $t_{20} \sim t_{40}$ において、出力回路360は、出力制御信号ASが時刻 $t_{10} \sim t_{20}$ におけるパルス期間 $t_{10} \sim t_{12}$ より短いパルス期間 $t_{20} \sim t_{22'}$, $t_{30} \sim t_{32'}$ で制御される。従って、時刻 $t_{20} \sim t_{40}$ において、出力回路360の増幅器 $361_1 \sim 361_{176}$ は、図7に示した従来の液晶表示用駆動回路より早く非動作状態となり、増幅器での消費電力を従来より低減することができる。

【0041】

以上に説明したように、R, G, Bの階調データが画素単位で1走査線ごとに全画素で一致する場合、時分割出力の1出力目は、従来通り前の水平期間における出力からの切り替わり前後での階調電圧出力の最大変化を考慮した動作時間で増幅器をオンさせる。これに対して、2出力目、3出力目はR, G, Bの各データ線の切り替え時のパネル容量付加による出力電圧の低下を補える範囲内の短い期間で増幅器をオンさせることにより、増幅器の駆動期間を最適化し、ICの消費電力を低減する事が可能となる。

【0042】

尚、上記実施の形態では、階調電圧をR、G、Bの1画素単位に単位増幅器から時分割出力する例で説明したが、少なくとも単位画素ごとであればよく、例えば、2画素単位、すなわち6本のデータ線単位に時分割出力することもできる。また、上記実施の形態では、階調データRD、GD、BDが1画素単位で3データとも同じ場合について説明したが、出力順が隣り合った2出力の2データが同一の場合、例えば、1画素単位で階調データRD、GDの2データが同一の場合、図6に示すように、出力制御信号ASが時刻 t_{10} ～ t_{20} におけるパルス期間 t_{10} ～ t_{12} より短いパルス期間 t_{20} ～ t_{22}' で制御される。

【図面の簡単な説明】

10

【0043】

【図1】本発明の一実施形態の液晶表示用駆動回路の構成図。

【図2】図1に示す液晶表示用駆動回路に用いられる制御回路の構成を示すブロック図。

【図3】図2に示す制御回路に用いられるデータ一致検出回路の動作を説明する図。

【図4】図2に示す制御回路に用いられる制御信号生成回路の動作を説明する図。

【図5】図1の液晶表示用駆動回路の動作を説明する図。

【図6】図1の液晶表示用駆動回路の他例の動作を説明する図。

【図7】従来の一例の液晶表示用駆動回路の構成図。

【図8】図7に示す液晶表示用駆動回路に用いられる制御回路の構成を示すブロック図。

【図9】図1および図7の液晶表示用駆動回路に用いられるデータ側駆動回路の構成を示すブロック図。 20

【図10】図9のデータ側駆動回路に用いられる出力回路の構成を示す回路図。

【図11】図8の液晶表示用駆動回路の動作を説明する図。

【符号の説明】

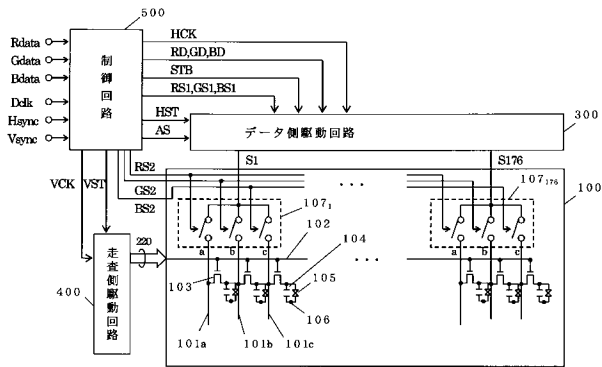
【0044】

- 100 液晶パネル
- 101 データ線
- 107 切替スイッチ
- 210 データ処理回路
- 300 データ側駆動回路
- 310 シフトレジスタ
- 320 データレジスタ
- 330 データラッチ回路
- 340 スイッチ回路
- 350 D/Aコンバータ
- 360 出力回路
- 400 走査側駆動回路
- 500 制御回路
- 520 制御信号生成回路
- 530 データ一致検出回路
- 531 データ比較回路
- 532 不一致保持回路
- 533 最終判定回路

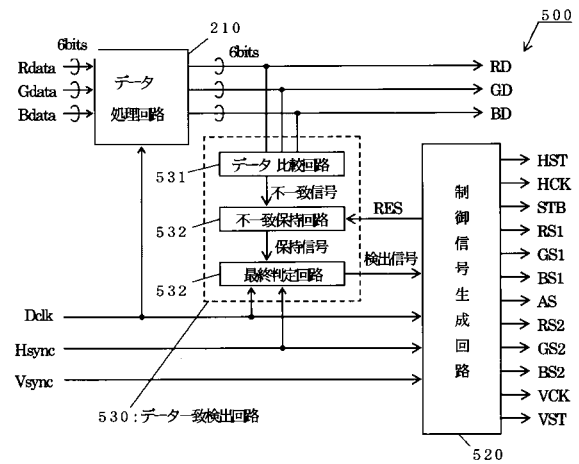
30

40

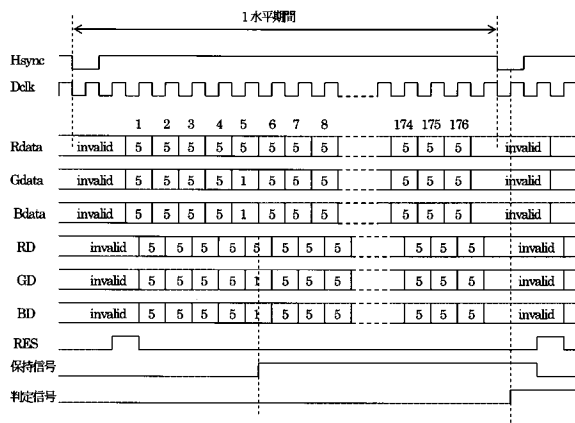
【図 1】



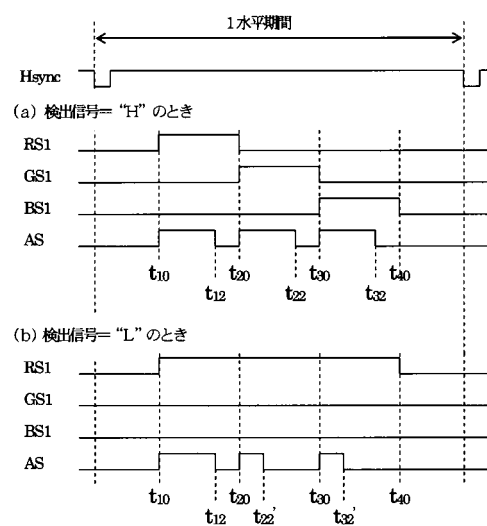
【図 2】



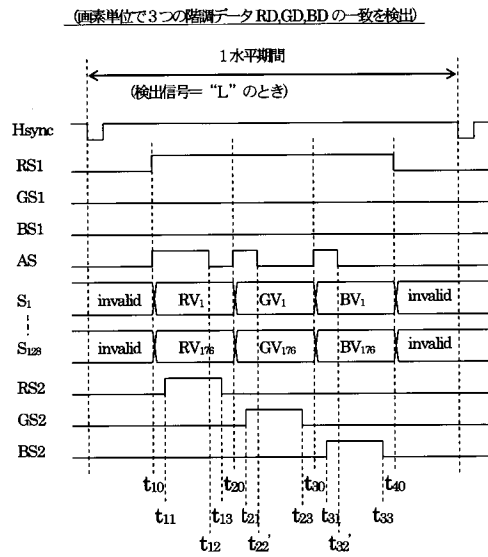
【図 3】



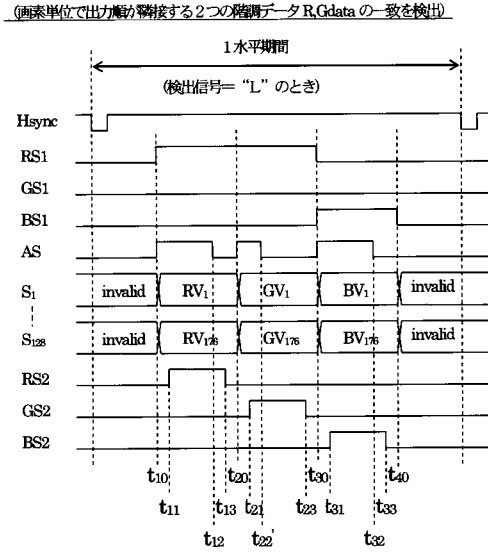
【図 4】



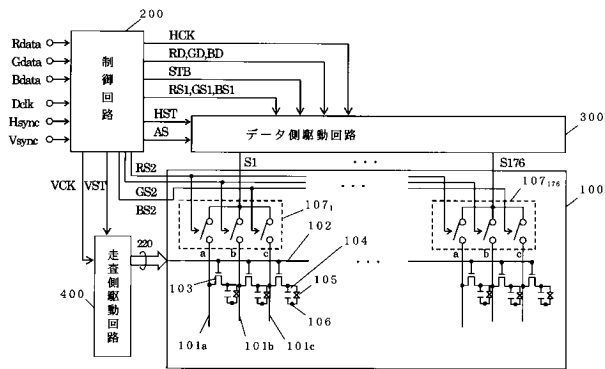
【図 5】



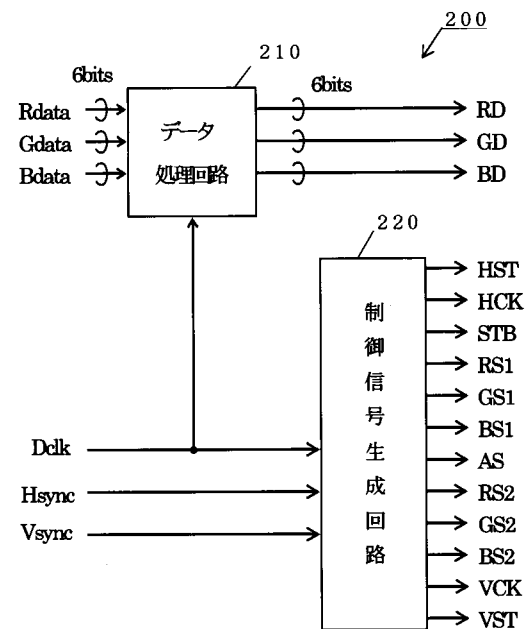
【図 6】



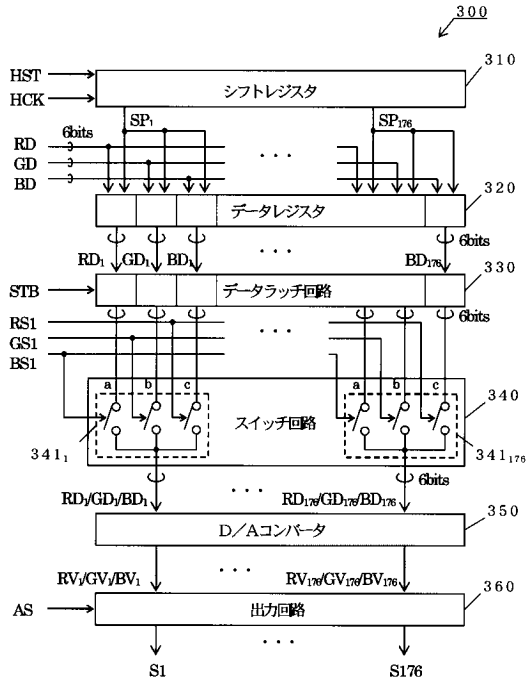
【図 7】



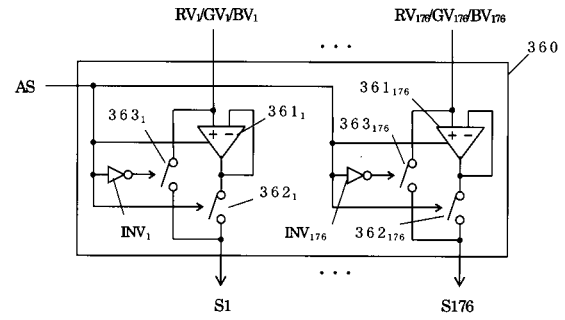
【図 8】



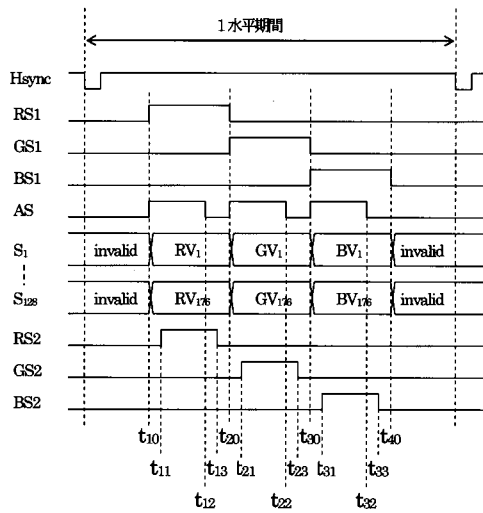
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 2 1 A

G 0 2 F 1/133 5 0 5

专利名称(译)	液晶表示用驱动回路		
公开(公告)号	JP2007121703A	公开(公告)日	2007-05-17
申请号	JP2005314210	申请日	2005-10-28
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	田中義之		
发明人	田中 義之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3648 G09G2300/0452 G09G2310/0235 G09G2310/027		
FI分类号	G09G3/36 G09G3/20.642.J G09G3/20.623.F G09G3/20.623.B G09G3/20.612.U G09G3/20.611.A G09G3/20.621.A G02F1/133.505		
F-TERM分类号	2H093/NA51 2H093/NB07 2H093/NC11 2H093/NC13 2H093/NC14 2H093/NC16 2H093/ND39 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF53 5C006/AF69 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF25 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 2H193/ZD21		
代理人(译)	塔萨·托库马		
其他公开文献	JP4824387B2		
外部链接	Espacenet		

摘要(译)

为了减少液晶显示器驱动电路中的功耗。 解决方案：对于由红色（R），绿色（G）和蓝色（B）的三个点像素组成的每个单位像素，从构成输出电路的放大器输出灰度电压的顺序为R→G→B输出。 当被分割并输出时，数据一致性检测电路530比较与每个单位像素的R，G和B点像素相对应的灰度数据，并且如果每个扫描线的所有像素都一致，则控制信号生成电路520 输出控制信号AS控制放大器的驱动时间，以使G输出和B输出短于前置R输出。 [选择图]图2

