

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-259725

(P2006-259725A)

(43) 公開日 平成18年9月28日(2006.9.28)

(51) Int. Cl.	F I	テーマコード (参考)
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343	2H091
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H092
<b>GO2F 1/1335 (2006.01)</b>	GO2F 1/1335 500	

審査請求 有 請求項の数 16 O L (全 12 頁)

(21) 出願番号	特願2006-68462 (P2006-68462)	(71) 出願人	501426046 エルジー・フィリップス エルシーデー カンパニー、リミテッド
(22) 出願日	平成18年3月14日 (2006.3.14)		大韓民国 ソウル, ヨンドゥンポーク, ヨ イドードン 20
(31) 優先権主張番号	2005-021134	(74) 代理人	100064447 弁理士 岡部 正夫
(32) 優先日	平成17年3月14日 (2005.3.14)	(74) 代理人	100085176 弁理士 加藤 伸晃
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094112 弁理士 岡部 譲
		(74) 代理人	100096943 弁理士 白井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫

最終頁に続く

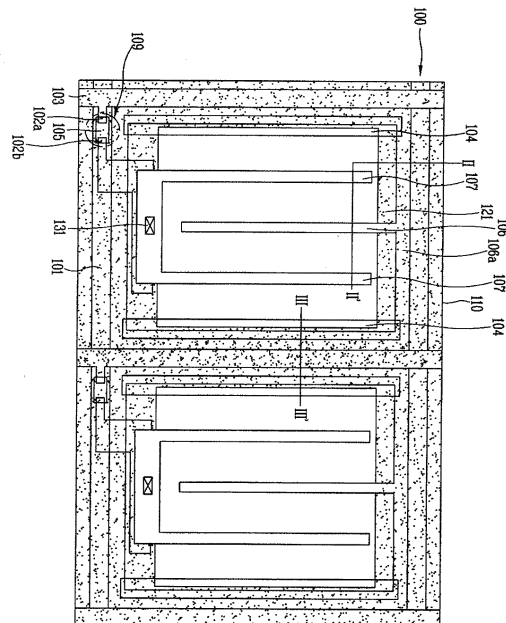
(54) 【発明の名称】 横電界方式の液晶表示素子及びその製造方法

(57) 【要約】

【課題】 開口率の向上を図り、光漏れを効果的に防止できるようにした横電界方式の液晶表示素子及びその製造方法を提供する。

【解決手段】 横電界方式の液晶表示素子は、第1基板及び第2基板と、第1基板に縦横に配列されて画素領域を定義するゲートライン及びデータラインと、ゲートラインとデータラインとの交差部に形成されたスイッチング素子と、第1基板のゲートライン、データライン、スイッチング素子に対応する領域に形成され、ゲートラインに対応する領域の一部が画素領域に延長されて形成されたブラックマトリクスと、第1基板の画素領域に形成されたカラーフィルタと、カラーフィルタ上に形成され、画素領域内に横電界を発生させる少なくとも1対の共通電極及び画素電極と、第1基板と第2基板との間に形成された液晶層とを含む。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 基板及び第 2 基板と、

前記第 1 基板に縦横に配列されて画素領域を定義するゲートライン及びデータラインと

、  
前記ゲートラインと前記データラインとの交差部に形成されたスイッチング素子と、  
前記第 1 基板のゲートライン、データライン、スイッチング素子に対応する領域に形成され、前記ゲートラインに対応する領域の一部が前記画素領域に延長されて形成されたブラックマトリクスと、

前記第 1 基板の画素領域に形成されたカラーフィルタと、

前記カラーフィルタ上に形成され、前記画素領域内に横電界を発生させる少なくとも 1 対の共通電極及び画素電極と、

前記第 1 基板と前記第 2 基板との間に形成された液晶層と、

を含むことを特徴とする横電界方式の液晶表示素子。

10

## 【請求項 2】

前記共通電極及び前記画素電極が、透明な伝導性物質で形成されることを特徴とする請求項 1 に記載の横電界方式の液晶表示素子。

## 【請求項 3】

前記透明な伝導性物質が、ITO 又はIZOのいずれか一方からなることを特徴とする請求項 1 に記載の横電界方式の液晶表示素子。

20

## 【請求項 4】

前記データラインを含む前記第 1 基板の全面に形成された保護膜をさらに含むことを特徴とする請求項 1 に記載の横電界方式の液晶表示素子。

## 【請求項 5】

前記ブラックマトリクス及び前記カラーフィルタが、前記保護膜上に形成されることを特徴とする請求項 4 に記載の横電界方式の液晶表示素子。

## 【請求項 6】

前記ブラックマトリクス及び前記カラーフィルタを含む前記第 1 基板の全面に形成された平坦化膜をさらに含むことを特徴とする請求項 1 に記載の横電界方式の液晶表示素子。

## 【請求項 7】

前記共通電極及び前記画素電極が、前記平坦化膜の上部に形成されることを特徴とする請求項 6 に記載の横電界方式の液晶表示素子。

30

## 【請求項 8】

前記共通電極が、前記ゲートライン及び前記データラインの上部に形成されることを特徴とする請求項 1 に記載の横電界方式の液晶表示素子。

## 【請求項 9】

前記データラインの上部に形成された共通電極と、該共通電極に隣接する画素電極との間の離隔距離が、7 ~ 9  $\mu\text{m}$ であることを特徴とする請求項 8 に記載の横電界方式の液晶表示素子。

## 【請求項 10】

前記画素領域の内部に延長されたブラックマトリクスの形成範囲が、前記データラインの上部に形成された共通電極と該共通電極に隣接する画素電極との間の離隔領域に相当することを特徴とする請求項 8 に記載の横電界方式の液晶表示素子。

40

## 【請求項 11】

前記データラインに隣接する領域に形成されたデータ信号遮断ラインをさらに含むことを特徴とする請求項 1 に記載の横電界方式の液晶表示素子。

## 【請求項 12】

前記データラインに対応する位置に形成されたブラックマトリクスが、前記データ信号遮断ラインの一部と重なることを特徴とする請求項 11 に記載の横電界方式の液晶表示素子。

50

## 【請求項 13】

前記データ信号遮断ラインが、前記共通電極と電氣的に接続されることを特徴とする請求項 11 に記載の横電界方式の液晶表示素子。

## 【請求項 14】

第 1 基板及び第 2 基板を準備する段階と、

前記第 1 基板上に第 1 方向に配列された複数のゲートラインを形成する段階と、

前記複数のゲートラインの各々と直交して複数の画素領域を定義する複数のデータラインを形成する段階と、

前記第 1 基板のゲートライン及びデータラインに対応する領域にブラックマトリクスを形成し、前記ゲートラインの上部に形成されたブラックマトリクスの一部を前記画素領域まで延長させるように形成する段階と、

10

前記第 1 基板の画素領域にカラーフィルタを形成する段階と、

前記画素領域内に横電界を発生させ、前記ゲートライン及び前記データラインの上部をカバーする共通電極及び画素電極を形成する段階と、

を含むことを特徴とする横電界方式の液晶表示素子の製造方法。

## 【請求項 15】

前記データラインの隣接領域にデータ信号遮断ラインを形成する段階をさらに含むことを特徴とする請求項 14 に記載の横電界方式の液晶表示素子の製造方法。

## 【請求項 16】

前記画素領域の内部に延長されるブラックマトリクスは、前記ゲートラインの上部に形成された共通電極と該共通電極に隣接する画素電極との間の離隔領域内に形成することを特徴とする請求項 14 に記載の横電界方式の液晶表示素子の製造方法。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶表示素子に関し、特に、開口率の向上を図り、光漏れを効果的に防止できるようにした横電界 (IPS ; In Plane Switching) 方式の液晶表示素子及びその製造方法に関する。

## 【背景技術】

## 【0002】

30

近年、高画質、低電力のフラットパネルディスプレイデバイスとして主に使用されている TN (Twisted Nematic) 方式の液晶表示素子は、視野角が狭いという欠点がある。これは液晶分子の屈折率異方性に起因するもので、基板と水平に配向している液晶分子が、液晶パネルに電圧が印加されることによって基板とほぼ垂直方向に配向するためである。

## 【0003】

従って、近年、液晶分子を基板とほぼ水平方向に配向して視野角の問題を解決する横電界方式の液晶表示素子が活発に研究されている。

## 【0004】

図 5 は一般的な横電界方式の液晶表示素子の単位画素を概略的に示す平面図であり、図 6 は図 5 の I - I 線に沿って切断した断面図である。

40

## 【0005】

図 5 及び図 6 に示すように、透明な第 1 基板 10 上にゲートライン 1 とデータライン 3 とが縦横に配列されて画素領域を定義する。実際の液晶表示素子においては、n 個のゲートライン 1 と m 個のデータライン 3 とが交差して n x m 個の画素が存在するが、説明の便宜のために図には 1 つの画素のみを示す。

## 【0006】

上記画素領域内において、ゲートライン 1 とデータライン 3 との交差点には、ゲート電極 1 a、半導体層 5、及びソース/ドレイン電極 2 a、2 b から構成された薄膜トランジスタ 9 が配置されており、ゲート電極 1 a 及びソース/ドレイン電極 2 a、2 b は、それぞれゲートライン 1 及びデータライン 3 に接続される。また、ゲート絶縁膜 8 は、基板全

50

体にわたって積層されている。

【0007】

上記画素領域内には、ゲートライン1と平行に共通ライン4が配列され、液晶分子をスイッチングする少なくとも1対の電極、すなわち、共通電極6と画素電極7とが平行に配列されている。共通電極6は、ゲート電極1aの形成時に共に形成された共通ライン4に接続され、画素電極7は、薄膜トランジスタ9のソース/ドレイン電極2a、2bの形成時に共に形成されてドレイン電極2bに接続される。また、ソース/ドレイン電極2a、2bを含む基板全体にわたって、保護膜11及び第1配向膜12aが塗布されている。また、共通電極6は、上記画素領域の外郭に形成された画素電極7とデータライン3との間に発生する横電界を遮蔽するために、上記画素領域の外郭に形成される。また、共通ライン4と画素電極ライン14とは、ゲート絶縁膜8を介して重なって蓄積容量Cstを形成する。

10

【0008】

第2基板20には、画素間の光漏れを防止するために、薄膜トランジスタ9、ゲートライン1、データライン3に対応する領域にブラックマトリクス21が形成されている。ブラックマトリクス21上には、それぞれの画素に対応するカラーフィルタ23及びオーバーコート膜25が形成されており、オーバーコート膜25上には、第2配向膜12bが塗布されている。また、第1基板10と第2基板20の間には液晶層13が形成される。

【0009】

このような構造を有する横電界方式の液晶表示素子においては、電圧が印加されないと、液晶層13内の液晶分子が第1配向膜12a及び第2配向膜12bの配向方向に配向し、共通電極6と画素電極7との間に電圧が印加されると、基板と平行にスイッチングされて共通電極6及びデータライン3の延長方向と垂直方向に配向する。前述のように、液晶層13内の液晶分子が常に同一平面上でスイッチングされるため、上下方向と左右方向の視野角方向において階調表示の反転が発生しない。

20

【発明の開示】

【発明が解決しようとする課題】

【0010】

このような従来の横電界方式の液晶表示素子は、画素領域内に不透明金属からなる共通電極6及び画素電極7が形成されるため、開口率が減少するという問題があった。

30

【0011】

さらに、従来の横電界方式の液晶表示素子は、ブラックマトリクス21が第1基板10の薄膜トランジスタ9、ゲートライン1、データライン3に対応する位置に配置されるように第1基板10及び第2基板20を構成しなければならない。しかし、第1基板10と第2基板20とを貼り合わせる工程で、これらの整列ミスにより光漏れが発生する。従って、これらの整列マージンを考慮して、ブラックマトリクス21の形成面積を実際の薄膜トランジスタ9、ゲートライン1、データライン3に対応する領域より大きく設計しなければならない。このように、整列ミスによる光漏れを防止するためにブラックマトリクスの形成面積を増加させることによって、開口率が減少するという問題があった。

【0012】

本発明は、このような従来技術の問題を解決するためになされたもので、第1基板と第2基板との整列ミスによる開口率の減少を防止できる横電界方式の液晶表示素子を提供することを目的とする。

40

【0013】

また、本発明の他の目的は、ブラックマトリクスの一部を画素領域の光漏れ領域に延長して形成することにより、光漏れを防止し、画質をより向上できるようにした横電界方式の液晶表示素子及びその製造方法を提供することにある。

【課題を解決するための手段】

【0014】

このような目的を達成するために、本発明による横電界方式の液晶表示素子は、第1基

50

板及び第2基板と、前記第1基板に縦横に配列されて画素領域を定義するゲートライン及びデータラインと、前記ゲートラインと前記データラインとの交差部に形成されたスイッチング素子と、前記第1基板のゲートライン、データライン、スイッチング素子に対応する領域に形成され、前記ゲートラインに対応する領域の一部が前記画素領域に延長されて形成されたブラックマトリクスと、前記第1基板の画素領域に形成されたカラーフィルタと、前記カラーフィルタ上に形成され、前記画素領域内に横電界を発生させる少なくとも1対の共通電極及び画素電極と、前記第1基板と前記第2基板との間に形成された液晶層とを含むことを特徴とする。

**【0015】**

ここで、前記共通電極及び前記画素電極は、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide) などの透明な伝導性物質で形成される。また、前記データラインを含む前記第1基板の全面に形成された保護膜をさらに含み、前記ブラックマトリクス及び前記カラーフィルタは、前記保護膜上に形成される。

**【0016】**

また、前記ブラックマトリクス及び前記カラーフィルタを含む前記第1基板の全面に形成された平坦化膜をさらに含み、前記共通電極及び前記画素電極は、前記平坦化膜の上部に形成される。

**【0017】**

尚、前記共通電極は、前記画素領域の他にも、前記ゲートライン及び前記データラインの上部にかけて形成されており、前記データラインの上部に形成された共通電極と前記共通電極に隣接する画素電極間の離隔距離は、7~9 $\mu$ mの範囲にある。また、前記画素領域の内部に延長されたブラックマトリクスは、前記データラインの上部に形成された共通電極と前記共通電極に隣接する画素電極間の離隔領域内に形成される。

**【0018】**

また、前記データラインに隣接する領域に形成されたデータ信号遮断ラインをさらに含み、前記データ信号遮断ラインは、前記共通電極と電気的に接続されて形成される。また、前記データラインに対応する位置に形成されたブラックマトリクスは、前記データ信号遮断ラインの一部と重なる。

**【0019】**

さらに、本発明による横電界方式の液晶表示素子の製造方法は、第1基板及び第2基板を準備する段階と、前記第1基板上に第1方向に配列された複数のゲートラインを形成する段階と、前記各ゲートラインと直交して複数の画素領域を定義する複数のデータラインを形成する段階と、前記第1基板のゲートライン及びデータラインに対応する領域にブラックマトリクスを形成するが、前記ゲートラインの上部に形成されたブラックマトリクスの一部は前記画素領域まで延長されるように形成する段階と、前記第1基板の画素領域にカラーフィルタを形成する段階と、前記画素領域内に横電界を発生させ、前記ゲートライン及び前記データラインの上部をカバーする共通電極及び画素電極を形成する段階とを含むことを特徴とする。

**【0020】**

ここで、前記データラインの隣接領域にデータ信号遮断ラインを形成する段階をさらに含み、前記画素領域の内部に延長されるブラックマトリクスは、前記ゲートラインの上部に形成された共通電極と前記共通電極に隣接する画素電極間の離隔領域内に形成する。

**【0021】**

前述のように、本発明においては、共通電極及び画素電極を透明電極で形成し、カラーフィルタ及びブラックマトリクスを下部基板(第1基板)、すなわち、薄膜トランジスタアレイ基板に共に形成することにより、開口率をより向上させる。ブラックマトリクスを下部基板に形成する場合、2つの基板(上部基板と下部基板)の貼り合わせ工程で整列マージンを考慮せずにブラックマトリクスを形成できる。従来は、整列ミス防止のために、ブラックマトリクスの形成面積を増加させていたが、本発明においては、下部基板の必要な領域にのみブラックマトリクスを形成するため、従来に比べてブラックマトリクス

の形成面積を減少でき、開口率が向上する。

【0022】

また、本発明においては、ブラックマトリクスの一部を画素領域まで延長して形成することにより、ゲートラインと画素電極との間に発生する光漏れを効果的に防止する。一般に、ゲートラインにはオフ時にも約 - 5 V の電圧が印加されるが、前記ゲートラインに印加されるオフ電圧により画素電極とゲートラインとの間に電界が形成される。従って、この領域に分布した液晶分子が前記ゲートラインと前記画素電極との間に発生した電界により駆動し、前記液晶分子の駆動により光漏れが発生するが、本発明においては、前記ゲートラインと前記画素電極との間にもブラックマトリクスを形成することにより、この領域で発生する光漏れを効果的に防止する。

10

【発明の効果】

【0023】

本発明は、ブラックマトリクス及びカラーフィルタが、薄膜トランジスタアレイ基板上に形成された横電界方式の液晶表示素子及びその製造方法を提供する。特に、本発明においては、ゲートライン及びデータラインの上部にも共通電極を形成し、ブラックマトリクスがゲートラインの上部にカバーされている共通電極と画素電極との間に位置するように形成することにより、上部基板と下部基板との整列ミスを防止して開口率をより向上させることができる。

【0024】

また、本発明においては、ゲートラインと画素電極との間にもブラックマトリクスを形成することにより、この領域における光漏れを効果的に防止して画質をより向上させることができる。

20

【発明を実施するための最良の形態】

【0025】

以下、添付した図面を参照して、本発明による横電界方式の液晶表示素子及びその製造方法について詳細に説明する。

【0026】

図1は、本発明による液晶表示素子を示すもので、特に隣接する2つの単位画素を示す平面図である。

【0027】

図1に示すように、本発明による横電界方式の液晶表示素子においては、透明な基板110上に第1方向を有するゲートライン101が配置されており、ゲートライン101と直交して画素領域を定義するデータライン103が配置されている。

30

【0028】

また、ゲートライン101とデータライン103との交差部には、各画素をスイッチングするスイッチング素子109が配置されており、スイッチング素子109は、ゲートライン101の一部からなるゲート電極と、このゲート電極上に形成された半導体層105と、半導体層105上に形成されたソース/ドレイン電極102a、102bとから構成される。

【0029】

上記画素領域には、横電界を発生させる共通電極106及び画素電極107が形成されており、画素電極107は、ドレインコンタクトホール131を介してドレイン電極102bと電気的に接続される。また、共通電極106は、ゲートライン101及びデータライン103の上部にも形成されている。ここで、共通電極106及び画素電極107は、ITO、IZOなどの透明な伝導性物質からなり、ジグザグ状に形成することもできる。

40

【0030】

また、データライン103に隣接する画素領域の外郭には、データ信号遮断ライン104が形成されており、データ信号遮断ライン104は、データ信号により共通電極106と画素電極107との間の信号が歪むことにより発生する液晶駆動不良を防止するために形成されたものである。

50

## 【0031】

尚、図1には示していないが、上記画素領域にはカラーフィルタが形成されている。また、ゲートライン101及びデータライン103に対応する領域にブラックマトリクス121が形成されている。

## 【0032】

このように構成された本発明は、カラーフィルタ及びブラックマトリクスが薄膜トランジスタアレイ基板(下部基板)に共に形成されているため、従来に比べてブラックマトリクスの形成面積を減少できるという利点がある。すなわち、従来は、カラーフィルタ及びブラックマトリクスが上部基板に形成されるため、ブラックマトリクスが形成された上部基板とゲートライン及びデータラインが形成された下部基板との正確な整列を行わなければならず、整列ミスを検討して、整列マージンによるブラックマトリクスの形成面積を実際に必要な領域より大きく形成しなければならなかった。しかし、本発明においては、カラーフィルタとブラックマトリクスの両方がゲートライン及びデータラインと同一の基板に形成されるため、ブラックマトリクスを必要な領域にのみ形成することができ、これにより、開口率の向上を図ることができる。

10

## 【0033】

また、ゲートライン101とゲートライン101に隣接する画素電極107との間の離隔領域に光漏れが発生するが、本発明は、特に、このような問題を解決するために、ゲートライン101と画素電極107間の離隔領域にもブラックマトリクス121を延長して形成する。

20

## 【0034】

具体的には、ゲートライン101が駆動されない状態でも約-5Vのオフ電圧が印加され、ゲートライン101のオフ電圧により、ゲートライン101とゲートライン101に隣接する画素電極107との間の離隔領域に電圧差が発生して電界が形成される。ここで、ゲートライン101と画素電極107との間に形成された電界は、ブラックモードでこの領域の液晶分子を駆動させて光漏れを発生させる要因となる。従って、本発明においては、ゲートライン101の上部をカバーするブラックマトリクス121を、画素電極107に隣接する領域まで延長して形成することにより、ゲートライン101のオフ電圧による光漏れを防止する。

## 【0035】

また、ゲートライン101の上部に形成された共通電極106aは、ゲートライン101を全てカバーするように形成されるが、画素領域の内部に延長された共通電極106aと画素電極107との間の離隔距離は約7~9 $\mu\text{m}$ である。ここで、上記画素領域の内部に延長されたブラックマトリクス121は、共通電極106aと画素電極107との間の離隔領域に形成され、画素電極107とは重ならない。

30

## 【0036】

ゲートライン101のオフ電圧の影響を遮断して光漏れの発生を防止する方法として、ゲートライン101と重なる共通電極106aの幅を広くしたり、ゲートライン101と画素電極107との間の離隔距離を増加させる方法があるが、このような方法は、開口率の低下を招くため、本発明においては、ゲートライン101と画素電極107との間の離隔距離を増加させず、ブラックマトリクス121の延長により開口率の減少を防止する。

40

## 【0037】

また、ブラックマトリクス121は、データライン103とデータ信号遮断ライン104との間の光漏れを効果的に防止するために、データライン103の上部に形成されたブラックマトリクス121の一部がデータ信号遮断ライン104と重なって形成される。

## 【0038】

また、ブラックマトリクス121は、データライン103と共通電極106との間に介在して形成されるが、その具体的な断面構成については図2及び図3を参照して詳細に説明する。

## 【0039】

50

図 2 は図 1 の II - II 線に沿って切断した断面図であり、図 3 は図 1 の III - III 線に沿って切断した断面図である。

【 0 0 4 0 】

図 2 及び図 3 に示すように、透明な第 1 基板 1 1 0 上にゲートライン 1 0 1 及びデータ信号遮断ライン 1 0 4 が形成され、その上部にはゲート絶縁膜 1 0 8 が形成されている。また、ゲート絶縁膜 1 0 8 上にはデータライン 1 0 3 が形成されており、データライン 1 0 3 を含む基板の全面には保護膜 1 1 1 が形成されている。

【 0 0 4 1 】

また、保護膜 1 1 1 の上部には、ブラックマトリクス 1 2 1 及びカラーフィルタ 1 2 3 が形成されており、ブラックマトリクス 1 2 1 及びカラーフィルタ 1 2 3 の上部には、平坦化のための平坦化膜 1 1 3 が形成されている。さらに、平坦化膜 1 1 3 の上部には、共通電極 1 0 6 及び画素電極 1 0 7 が形成されるが、共通電極 1 0 6 は、ゲートライン 1 0 1 とデータライン 1 0 3 の上部及び画素領域の内部にそれぞれ形成されている。

10

【 0 0 4 2 】

一方、第 1 基板 1 1 0 と対向する第 2 基板（図示せず）が設けられ、第 1 基板 1 1 0 と第 2 基板との間には液晶層（図示せず）が形成されている。また、各対向面には、液晶の初期配向方向を決定する配向膜（図示せず）が塗布されており、液晶層は、共通電極 1 0 6 及び画素電極 1 0 7 に印加される電圧によって光の透過率を調節する。

【 0 0 4 3 】

このように、本発明においては、共通電極 1 0 6 及び画素電極 1 0 7 が同一平面（平坦化膜 1 1 3）上に形成されている。共通電極 1 0 6 及び画素電極 1 0 7 が同一平面上に形成されるということは、これら 2 つの電極間に電圧が印加されると基板の表面に対して完全に平行な横電界が発生することを意味する。従って、視野角がより向上する。さらに、従来と比較してみると、上記 2 つの電極間の電界が保護膜を経ずに直接液晶層に印加されてより強い電界が生成される。このような強い電界により、液晶層内の液晶分子がより速い速度でスイッチングされるため、動画像の実現が可能になる。

20

【 0 0 4 4 】

図 4 A ~ 図 4 C は、本発明による横電界方式の液晶表示素子の製造方法を概略的に示す工程平面図である。

【 0 0 4 5 】

まず、図 4 A に示すように、透明な第 1 基板 2 1 0 を準備した後、その上にゲートライン 2 0 1 及びデータ信号遮断ライン 2 0 4 をそれぞれ形成し、その上部にゲート絶縁膜（図示せず）を形成する。次に、ゲートライン 2 0 1 上に半導体層 2 0 5 を形成した後、ゲート絶縁膜（図示せず）の上部にゲートライン 2 0 1 と直交して画素領域を定義するデータライン 2 0 3、半導体層 2 0 5 上に所定距離離隔するソース/ドレイン電極 2 0 2 a、2 0 2 b をそれぞれ形成して、スイッチング素子 2 0 9 を完成する。ここで、ゲートライン 2 0 1 から引き出されたゲート電極を別途に形成することができ、チャンネル構造は I 字又は U 字状に形成することもできる。

30

【 0 0 4 6 】

その後、データライン 2 0 3 及びスイッチング素子 2 0 9 の上部に保護膜（図示せず）を形成した後、図 4 B に示すように、画素領域に対応する領域にカラーフィルタ（図示せず）を形成し、ゲートライン 2 0 1 及びデータライン 2 0 3 に対応する保護膜の上部にはブラックマトリクス 2 2 1 を形成する。ここで、ブラックマトリクス 2 2 1 は、画素領域の内部に延長されて形成される。

40

【 0 0 4 7 】

次に、カラーフィルタ及びブラックマトリクス 2 2 1 の平坦化のために、その上部に平坦化膜（図示せず）を形成した後、図 4 C に示すように、平坦化膜上に、画素領域内で横電界を発生させる共通電極 2 0 6 及び画素電極 2 0 7 を形成する。ここで、共通電極 2 0 6 及び画素電極 2 0 7 は、ITO、IZO などの透明な伝導性物質で形成する。また、マルチドメインを実現するために、共通電極 2 0 6 及び画素電極 2 0 7 は、ジグザグ状に形

50

成することもでき、データライン 203 も、共通電極 206 及び画素電極 207 の構造と同様にジグザグ状に形成することができる。

【0048】

また、共通電極 206 は、ゲートライン 201 及びデータライン 203 の上部を全てカバーするように形成するが、ゲートライン 201 上に形成される共通電極 206 の一部が画素領域に延長され、かつ、ブラックマトリクス 221 が画素領域に延長される領域よりは狭くなるように形成する。特に、共通電極 206 及び画素電極 207 は同一平面上に形成されるため、これらの間のショート不良を防止できる程度の離隔距離を確保しなければならない。従って、本発明においては、ゲートライン 201 の上部に形成された共通電極 206 と画素電極 207 との間の離隔距離を約 7 ~ 9  $\mu\text{m}$  確保し、画素領域に延長されるブラックマトリクス 221 の端部は、共通電極 206 と画素電極 207 との間の離隔領域内に位置するように形成する。

10

【図面の簡単な説明】

【0049】

【図 1】本発明による横電界方式の液晶表示素子を概略的に示す平面図である。

【図 2】図 1 の II - II 線に沿って切断した断面図である。

【図 3】図 1 の III - III 線に沿って切断した断面図である。

【図 4 A】本発明による横電界方式の液晶表示素子の製造方法を概略的に示す平面図である。

【図 4 B】本発明による横電界方式の液晶表示素子の製造方法を概略的に示す平面図である。

20

【図 4 C】本発明による横電界方式の液晶表示素子の製造方法を概略的に示す平面図である。

【図 5】一般的な横電界方式の液晶表示素子の単位画素を概略的に示す平面図である。

【図 6】図 5 の I - I 線に沿って切断した断面図である。

【符号の説明】

【0050】

101、201 ゲートライン

102 a、102 b、202 a、202 b ソース/ドレイン電極

103、203 データライン

104、204 データ信号遮断ライン

105、205 半導体層

106、106 a、206、206 a 共通電極

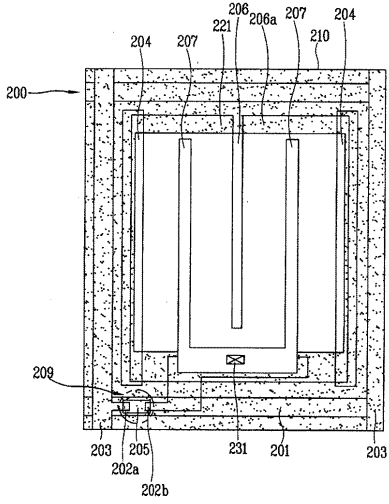
107、207 画素電極

121、221 ブラックマトリクス

30

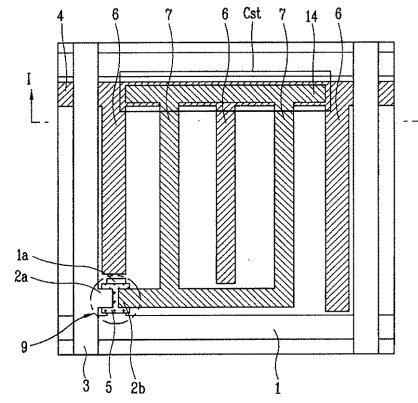


【 図 4 C 】



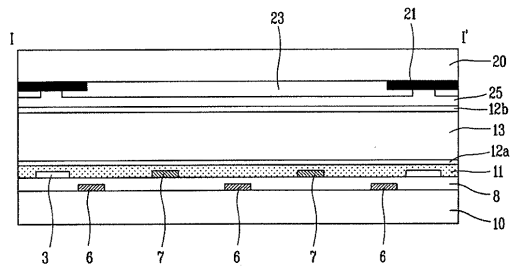
【 図 5 】

(従来技術)



【 図 6 】

(従来技術)



---

フロントページの続き

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 金 東 國

大韓民国 京畿道 儀旺市 五全洞 慕洛山現代 アパート 104-904

Fターム(参考) 2H091 FA04Y FA35Y FD04 GA03 GA07 GA13 GA16 HA06 JA10 LA17

2H092 GA14 HA04 JA26 JB05 JB52 JB54 JB57 JB58 NA07 PA08

PA09 QA06

专利名称(译)	横向电场型液晶显示元件及其制造方法		
公开(公告)号	<a href="#">JP2006259725A</a>	公开(公告)日	2006-09-28
申请号	JP2006068462	申请日	2006-03-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	金東國		
发明人	金東國		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335		
CPC分类号	G02F1/136209 G02F1/134363 G02F2001/136222 G02F2201/40		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1335.500		
F-TERM分类号	2H091/FA04Y 2H091/FA35Y 2H091/FD04 2H091/GA03 2H091/GA07 2H091/GA13 2H091/GA16 2H091/HA06 2H091/JA10 2H091/LA17 2H092/GA14 2H092/HA04 2H092/JA26 2H092/JB05 2H092/JB52 2H092/JB54 2H092/JB57 2H092/JB58 2H092/NA07 2H092/PA08 2H092/PA09 2H092/QA06 2H092/KB26 2H191/FA06Y 2H191/FA14Y 2H191/FD04 2H191/FD25 2H191/GA05 2H191/GA10 2H191/GA19 2H191/GA22 2H191/HA05 2H191/JA10 2H191/LA22 2H192/AA24 2H192/BB03 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC04 2H192/EA02 2H192/EA13 2H192/EA17 2H192/EA42 2H192/EA67 2H192/GA02 2H291/FA06Y 2H291/FA14Y 2H291/FD04 2H291/FD25 2H291/GA05 2H291/GA10 2H291/GA19 2H291/GA22 2H291/HA05 2H291/JA10 2H291/LA22		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020050021134 2005-03-14 KR		
其他公开文献	JP4589256B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种能够提高开口率并有效防止漏光的横向电场型液晶显示装置及其制造方法。水平电场型液晶显示装置包括第一基板和第二基板，在第一基板上垂直和水平布置以限定像素区域的栅极线和数据线，以及栅极线和数据线。在交叉点处形成的开关元件和形成在第一基板上的栅极线，数据线和开关元件，以及通过将栅极线对应的区域的一部分延伸到像素区域而形成的黑色。矩阵，形成在第一基板的像素区域中的滤色器，形成在滤色器上并在像素区域，第一基板和第二基板中产生横向电场的至少一对公共电极和像素电极在基板和基板之间形成液晶层。[选型图]图1

