

【特許請求の範囲】

【請求項 1】

複数のステージが従属接続されており、第 1 ステージには開始信号が入力端子に供給され、各ステージの出力信号を順次に出力するシフトレジスタにおいて、

各ステージには、複数のクロックのうち少なくとも 1 つと、前記複数のクロック中の少なくとも 1 つの出力を遮断する少なくとも 1 つの制御信号が提供され、

前記各ステージは、

出力端子に前記複数のクロックのうち少なくとも 1 つのクロックを提供するプルアップ部と、

前記出力端子に第 1 電源電圧を提供するプルダウン部と、

10

前段ステージのうちの 1 つのステージの出力信号の前縁に応答して前記プルアップ部をターンオンさせ、前記少なくとも 1 つの制御信号の前縁に応答して前記プルアップ部をターンオフさせるプルアップ駆動部と、

前記プルアップ部のターンオンに応答して第 3 制御信号を出力する第 1 プルダウン駆動部と、

入力信号の前縁に応答して前記プルダウン部をターンオフさせ、前記第 3 制御信号に応答して前記プルダウン部をターンオンさせる第 2 プルダウン駆動部とを含むことを特徴とするシフトレジスタ。

【請求項 2】

請求項 1 記載のシフトレジスタにおいて、奇数番目のステージには、第 1 クロック及び該第 1 クロックの出力を遮断する第 1 制御信号が提供され、偶数番目のステージには前記第 1 クロックと逆相の第 2 クロック及び該第 2 クロックの出力を遮断する第 2 制御信号が提供されることを特徴とするシフトレジスタ。

20

【請求項 3】

請求項 1 記載のシフトレジスタにおいて、前記プルアップ駆動部は、前記プルアップの入力ノードに接続されていることを特徴とするシフトレジスタ。

【請求項 4】

請求項 1 記載のシフトレジスタにおいて、前記プルアップ駆動部は、

前記プルアップの入力ノードと前記出力端子との間に接続されたキャパシタと、

第 1 電流電極及び制御電極が共に前記入力端子に接続され、第 2 電流電極が前記プルアップ部の入力ノードに接続された第 1 トランジスタと、

30

第 1 電流電極が前記プルアップ部の入力ノードに接続され、制御電極が前記プルダウン部の入力ノードに接続され、第 2 電源電極が第 1 電源電圧の提供を受ける第 2 トランジスタと、

第 1 電流電極が前記プルアップ部の入力ノードに接続され、制御電極が次段ステージのうちの 1 つの出力端子に接続され、第 2 電流電極が前記第 1 電源電圧の提供を受ける第 3 トランジスタと

を含むことを特徴とするシフトレジスタ。

【請求項 5】

請求項 1 記載のシフトレジスタにおいて、前記第 1 プルダウン駆動部は、前記第 1 プルアップ部の入力ノードに接続されたことを特徴とするシフトレジスタ。

40

【請求項 6】

請求項 1 記載のシフトレジスタにおいて、前記第 1 プルダウン駆動部は、

第 1 電流電極と制御電極が共に第 2 電源電圧の提供を受ける第 4 トランジスタと、

第 1 電流電極が前記トランジスタの第 2 電流電極に接続され、制御電極が前記入力信号に結合され、第 2 電流電極が前記第 1 電圧電圧の提供を受ける第 5 トランジスタと

を含むことを特徴とするシフトレジスタ。

【請求項 7】

請求項 6 記載のシフトレジスタにおいて、前記第 4 トランジスタと第 5 トランジスタとのチャンネルの幅の比率は 1 : 1 であり、チャンネルの長さの比率は 1 : 2 以上であることを

50

特徴とするシフトレジスタ。

【請求項 8】

請求項 1 記載のシフトレジスタにおいて、前記第 2 プルダウン駆動部は、前記プルダウン部の入力ノードに接続されていることを特徴とするシフトレジスタ。

【請求項 9】

請求項 1 記載のシフトレジスタにおいて、前記第 2 プルダウン駆動部は、

第 1 電流電極が第 2 電流電圧の提供を受け、制御電極が次段ステージのうちの 1 つのステージの出力信号に結合され、第 2 電流電極が前記プルダウン部の入力ノードに結合された第 6 トランジスタと、

第 1 電流電極が前記プルダウン部の入力ノードに接続され、制御電極が前記入力信号に結合され、第 2 電流電極が第 1 電流電圧の提供を受ける第 7 トランジスタとを含むことを特徴とするシフトレジスタ。 10

【請求項 10】

背急行 9 記載のシフトレジスタにおいて、前記第 6 トランジスタと第 7 トランジスタとのチャンネルの幅は約 1 : 1 であることを特徴とするシフトレジスタ。

【請求項 11】

複数のステージが従属接続され、1 番目のステージには開始信号が入力端子に提供され、各ステージの出力信号を順次出力するスキャン駆動回路において、

各ステージは、複数のクロックのうち少なくとも 1 つと、該複数のクロック中の少なくとも 1 つの出力を遮断する少なくとも 1 つの制御信号が提供され、 20

前記各ステージは、

出力端子に前記複数のクロックのうち少なくとも 1 つのクロックを提供するプルアップ部と、

前記出力端子に第 1 電流電圧を提供するプルダウン部と、

前段ステージのうちの 1 つのステージの出力信号の前縁に応答して前記プルアップ部をターンオンさせて、前記制御信号の前縁に応答して前記プルアップ部をターンオフさせるプルアップ駆動部と、

前記プルアップ部のターンオンに応答して第 3 制御信号を出力する第 1 プルダウン駆動部と、

入力信号の前縁に応答して前記プルダウン部をターンオフさせて、前記第 3 制御信号に 30 応答して前記プルダウン部をターンオンさせる第 2 プルダウン駆動部とを含むことを特徴とするスキャン駆動回路。

【請求項 12】

請求項 11 記載のスキャン駆動回路において、奇数番目のステージでは第 1 クロック及び該第 1 クロックの出力を遮断する第 1 制御信号が提供され、偶数番目のステージでは前記第 1 クロックと逆相の第 2 クロック及び該第 2 クロックの出力を遮断する第 2 制御信号が提供されることを特徴とするスキャン駆動回路。

【請求項 13】

請求項 11 記載の駆動回路において、前記プルアップ駆動部は、

前記プルアップ部の入力ノードと前記出力端子の間に接続されたキャパシタと、 40

第 1 電流電極及び制御電極が共に前記入力端子に接続され、第 2 電流電極が前記プルアップ部の入力ノードに接続された第 1 トランジスタと

第 1 電流電極が前記プルアップ部の入力ノードに接続され、制御電極が前記プルダウン部の入力ノードに接続され、第 2 電流電極が第 1 電源電圧の提供を受ける第 2 トランジスタと、

第 1 電流電極が前記プルアップ部の入力ノードに接続され、制御電極が前記制御端子に接続され、第 2 電流電極が前記第 1 電源電圧の提供を受ける第 3 トランジスタとを含むことを特徴とするスキャン駆動回路。

【請求項 14】

請求項 11 記載のスキャン駆動回路において、前記第 1 プルダウン駆動部は、 50

第 1 電流電極と制御電極が共に第 2 電源電圧の提供を受ける第 4 トランジスタと、

第 1 電流電極が前記第 4 トランジスタの第 2 電流電極に接続され、制御電極が前記入力信号に結合され、第 2 電流電極が前記第 1 電源電圧の提供を受ける第 5 トランジスタを含むことを特徴とするスキャン駆動回路。

【請求項 15】

請求項 14 記載のスキャン駆動回路において、前記第 4 トランジスタと第 5 トランジスタとのチャンネルの幅の比率は約 1 : 1 であり、チャンネルの長さの比率は、約 1 : 2 以上であることを特徴とするスキャン駆動回路。

【請求項 16】

請求項 11 記載のスキャン駆動回路において、前記第 2 プルダウン駆動部は、

10

第 1 電流電極が電源電圧の提供を受け、制御電極が次段ステージのうちの 1 つの出力信号に結合され、第 2 電流電極が前記プルダウン部の入力ノードに結合された第 6 トランジスタと、

第 1 電流電極が前記プルダウン部の入力ノードに接続され、制御電極が前記入力信号に結合され、第 2 電流電極が第 1 電源電圧の提供を受ける第 7 トランジスタを含むことを特徴とするスキャン駆動回路。

【請求項 17】

請求項 16 記載のスキャン駆動回路において、前記第 6 トランジスタと第 7 トランジスタとのチャンネルの幅は約 1 : 1 であることを特徴とするスキャン駆動回路。

【請求項 18】

20

基板上に形成された表示セルアレイ回路及びスキャン駆動回路を含み、前記表示セルアレイ回路は複数のデータラインと複数のスキャンラインを含み、各表示セル回路は対応するデータライン及びスキャンライン対に接続された表示装置において、

前記スキャン駆動回路は、複数のステージが従属接続され、1 番目のステージには開始信号が入力端子に結合され、各ステージの出力信号により前記複数のスキャンラインを順次を選択するシフトレジスタで構成され、複数のクロックのうち少なくとも 1 つと該複数のクロック中の少なくとも 1 つの出力を遮断する少なくとも 1 つの制御信号が各ステージに提供され、

前記各ステージは、

出力端子に前記複数のクロックのうちの少なくとも 1 つのクロックを提供するプルアップ部と、

30

前記出力端子に第 1 電源電圧を提供するプルダウン部と、

前段ステージのうちの 1 つのステージの出力信号の前縁に応答して前記プルアップ部をターンオンさせて、前記制御信号前縁に応答して前記プルアップ部をターンオフさせるプルアップ駆動部と、

前記プルアップ部のターンオンに応答して第 3 制御信号を出力する第 1 プルダウン駆動部と、

入力信号の前縁に応答して前記プルダウン部をターンオフさせ、前記第 3 制御信号に応答して前記プルダウン部をターンオンさせる第 2 プルダウン駆動部と

を含むことを特徴とする表示装置。

40

【請求項 19】

請求項 18 記載の表示装置において、奇数番目ステージには第 1 クロック及び該第 1 クロックの出力を遮断する第 1 制御信号が提供され、偶数番目ステージでは前記第 1 クロックに逆相の第 2 クロック及び前記第 2 クロックの出力を遮断する第 2 制御信号が提供されることを特徴とする表示装置。

【請求項 20】

請求項 18 記載の表示装置において、前記第 1 プルダウン駆動部は前記プルアップ部の入力ノードに接続され、前記第 2 プルダウン駆動部は前記プルダウン部の入力ノードに接続されたことを特徴とする表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、シフトレジスタ及び該シフトレジスタを備えた液晶表示装置に関するものであり、より詳細には、信頼性及び寿命を向上するためのシフトレジスタ及び該シフトレジスタを備えた液晶表示装置に関するものである。

【背景技術】

【0002】

近年、情報処理機器は、多様な形態、多様な機能、より高速の情報処理速度を有するように急速に発展している。このような情報処理装置で処理される情報は、電気信号の形態を有する。使用者が情報処理装置で処理された情報を目で確認するためには、インターフェース機能を有するディスプレイ装置を必要とする。 10

【0003】

また、CRT方式のディスプレイ装置に比べて、軽量、小型でありながら、フルカラー、高解像度化などの機能を有する液晶表示装置の開発が進んでいる。その結果、液晶表示装置は、代表的な情報処理装置であるコンピュータのモニタ、家庭用壁掛けテレビ、それ以外の情報処理装置のディスプレイ装置として、広く使用されることになった。

【0004】

液晶表示装置は、液晶の特定の分子配列に電圧を印加して異なる分子配列へ変換させ、このような分子配列により発光する液晶セルの複屈折性、旋光性、2色性及び光散乱特性などの光学的性質の変化を視覚変化へ変換することで、液晶セルによる光の変調を利用したディスプレイである。 20

液晶表示装置は、大きくTN(Twisted Nematic)方式とSTN(Super-Twisted Nematic)方式に分かれ、駆動方式の差異でスイッチング素子及びTN液晶を利用したアクティブマトリックス(Active matrix)表示方式とSTN液晶を利用したパッシブマトリックス(Passive matrix)表示方式がある。

【0005】

これらの2つ方式の大きな差異は、アクティブマトリックス表示方式は、TFT(薄膜トランジスタ)をスイッチとして利用して液晶表示装置を駆動するTFT-LCDに使用される表示方式であるに対し、パッシブマトリックス表示方式は、トランジスタを使用しないのでこれと関連した複雑な回路を必要としない表示方式であるという点である。 30

TFT-LCDは、a-Si(アモルファス-シリコン) TFT-LCDと、poly-Si(ポリ-シリコン) TFT-LCDに区分される。poly-Si TFT-LCDは、消費電力が小さく価格が安い、a-Si TFT-LCDと比較して、TFT製造工程が複雑であるという短所がある。このため、poly-Si TFT-LCDは、IMT-2000フォンのディスプレイのような小型ディスプレイ装置に主に用いられる。

a-Si TFT-LCDは、大面積化が容易であり、収率が高くて主にノートブックPC、LCDモニタ、HDTVなどの大画面ディスプレイ装置に適用される。

【0006】

図1は、poly-Si TFT-LCDのTFT基板の構成を示す概略図であり、図2は、従来のa-Si TFT-LCDのTFT基板の構成を示した概略図である。

図1に示すように、poly-Si TFT-LCDは、ピクセルアレイが形成されたガラス基板10上にデータ駆動回路12及びゲート駆動回路14を形成し、端子部16と統合化印刷回路基板20とをフィルムケーブル18で接続する。このような構造は、製造原価を節減し、駆動回路の一体化により電力損失を最少化することができ、薄い表示装置を提供することができるという長所を有する。

【発明の開示】

【発明が解決しようとする課題】

【0007】

10

20

30

40

50

一方、図2に示すように、a-Si TFT-LCDは、可撓性印刷回路基板32上にCOF(Chip on Film)方式でデータ駆動チップ34を形成し、可撓性印刷回路基板32を通じて、データ印刷回路基板36とピクセルアレイのデータライン端子部を接続する。また、可撓性印刷回路基板38上にCOF方式でゲート駆動チップ40を形成し、可撓性印刷回路基板38を通じてゲート印刷回路基板42とピクセルアレイのゲートライン端子部を接続する。

即ち、a-Si TFT-LCDは、a-Si工程により高い生産性を有するという長所を備えている一方で、費用及び薄い構造の観点では、poly-Si TFT-LCDに比べて不利である。

【0008】

10

本発明の目的は、a-Si TFT液晶表示装置の信頼性及び寿命を向上させることができるシフトレジスタを提供することにある。

本発明の他の目的は、上記したシフトレジスタを備えた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0009】

上述した目的を達成するための本発明によるシフトレジスタは、互いに縦属接続された複数のステージを有する。複数のステージには、開始信号が入力端子に結合され、シフトレジスタは各ステージの出力信号を順次に出力する。複数のステージは、第1クロックと、前記第1クロックの出力を制御するための第1制御信号が提供される奇数番目ステージと、前記第1クロックに位相反転された第2クロックと、前記第2クロックの出力を除去するための第2制御信号が提供される偶数番目ステージからなる。

20

【0010】

前記各ステージは、出力端子に前記第1及び第2クロックのうちの対応するクロックを提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前記プルアップ部の入力ノードに接続され、前段ステージのうちの1つのステージの出力信号の前縁にตอบสนองして前記プルアップ部をターンオンさせ、前記第1制御信号または第2制御信号の前縁にตอบสนองして前記プルアップ部をターンオフさせるプルアップ駆動部と、前記プルアップ部の入力ノードに接続され、前記プルアップ部のターンオンにตอบสนองして第3制御信号を出力する第1プルダウン駆動部と、前記プルダウン部の入力ノードに接続され、入力信号の前縁にตอบสนองして前記プルダウン部をターンオフさせ、前記第3制御信号にตอบสนองして前記プルダウン部をターンオンさせる第2プルダウン駆動部とを含む。

30

【0011】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ回路、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイ回路は複数のデータラインと複数のゲートラインを含み、各表示セルアレイ回路は対応するデータライン及びゲートライン対に接続される。

前記ゲート駆動回路は互いに縦属接続された複数のステージを有するシフトレジスタを備える。複数のステージにおいて、第1ステージにはスキャン開始信号が入力端子に供給され、各ステージの出力信号を順次に出力するようシフトレジスタが構成され、前記シフトレジスタの奇数番目ステージには、第1クロックと、前記第1クロックの出力を排除するための第1制御信号が提供される奇数番目ステージと、前記第1クロックに位相反転された第2クロックと、前記第2クロックの出力を排除するための第2制御信号が提供される偶数番目ステージからなる。

40

【0012】

前記各ステージは、出力端子に前記第1及び第2クロックのうちの対応されるクロックを提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前記プルアップ部の入力ノードに接続され、前段ステージのうちの1つのステージの出力信号の前縁にตอบสนองして前記プルアップ部をターンオンさせ、前記第1制御信号または第2制御信号の前縁にตอบสนองして前記プルアップ部をターンオフさせるプルアップ駆動部と、前記

50

プルアップ部の入力ノードに接続され、前記プルアップ部のターンオンにตอบสนองして第3制御信号を出力する第1プルダウン駆動部と、前記プルダウン部の入力ノードに接続され、入力信号の前縁にตอบสนองして前記プルダウン部をターンオフさせ、前記第3制御信号にตอบสนองして前記プルダウン部をターンオンさせる第2プルダウン駆動部とを含む。

【発明の効果】

【0013】

本発明は、上記した構成を備えているので、プルダウン駆動部に適用されるトランジスタ間のチャネル幅の差異を最少化することができる。これにより、高温動作時に、プルダウン駆動部を構成している、常にターンオン状態のトランジスタに過電流が流れる現象を防止することができるので、トランジスタの劣化を防止することができる。

10

【発明を実施するための最良の形態】

【0014】

以下、図面を参照して本発明の望ましい一実施形態をより詳細に説明する。

図3は本発明によるa-Si TFT液晶表示装置の分解斜視図を示す。

図3に示すように、液晶表示装置100は、大別すると、液晶表示パネルアセンブリ110、バックライトアセンブリ120、シャーシ130及びカバー140で構成されている。

【0015】

液晶表示パネルアセンブリ110は、液晶表示パネル112、可撓性印刷回路基板116、統合化制御及びデータ駆動チップ118を含む。液晶表示パネル112は、TFT基板112aとカラーフィルタ基板112bとを含む。TFT基板112aには、a-Si TFT工程により、表示セルアレイ回路、データ駆動回路、ゲート駆動回路及び外部接続端子が形成される。カラーフィルタ基板112bには、カラーフィルタ及び透明共通電極が形成される。TFT基板112aとカラーフィルタ基板112bとは互いに対向され、これら間に液晶が注入された後に、封入される。

20

【0016】

可撓性印刷回路基板116に設けられた統合化制御及びデータ駆動チップ118とTFT基板112aの回路は、可撓性印刷回路基板116により電氣的に接続される。可撓性印刷回路基板116は、データ信号、データタイミング信号、ゲートタイミング信号及びゲート駆動電圧を、TFT基板112aのデータ駆動回路及びゲート駆動回路に提供する。

30

バックライトアセンブリ120は、ランプアセンブリ122、導光板124、光学シート126、反射板128及びモールドフレーム129を含む。

【0017】

図4は、本発明によるa-Si TFT-LCDのTFT基板の回路構成を示す図である。

図4に示すように、本発明のTFT基板112a上には、表示セルアレイ回路150、データ駆動回路160、ゲート駆動回路（又はスキャン駆動回路）170、データ駆動回路用外部接続端子162、163、ゲート駆動回路用外部接続端子部169が、TFT工程時に共に形成される。

40

表示セルアレイ回路150は、コラム方向に延びたm個のデータラインDL1～DLnとロー方向に延びたn個のゲートラインGL1～GLを含む。

【0018】

本発明の一実施形態では、2インチ液晶表示パネルでデータラインおよびゲートラインの数は525(=175×3)×192解像度を有する。

データラインとゲートラインの各交差点には、スイッチングトランジスタSTが形成される。各スイッチングトランジスタSTiのドレインはデータラインDLiに接続され、ゲートはゲートラインGLiに接続される。スイッチングトランジスタSTiのソースは透明画素電極PEに接続される。透明画素電極PEとカラーフィルタ基板112bに形成された透明共通電極CEの間に液晶LCが位置することになる。

50

透明画素電極 P E と透明共通電極 C E との間に印加された電圧により液晶配列が制御され、通過される光量を制御して、各ピクセルのグレー表示をすることになる。

【 0 0 1 9 】

データ駆動回路 1 6 0 は、シフトレジスタ 1 6 4 と 5 2 8 個のスイッチングトランジスタ S W T を含む。5 2 8 個のスイッチングトランジスタ S W T は 6 6 個ずつ 8 個のデータラインブロック B L 1 ~ B L 8 を形成する。

各データラインブロック B L i は、6 6 個のデータ入力端子により構成された外部入力端子 1 6 3 に 6 6 個の入力端子が共通に接続され、対応する 6 6 個のデータラインに 6 6 個の出力端子が接続される。また、シフトレジスタ 1 6 4 の 8 個の出力端子中の対応する 1 つの出力端子に、ブロック選択端子が接続される。

10

【 0 0 2 0 】

5 2 8 個のスイッチングトランジスタ S W T の各々は、対応するデータラインにソースが接続され、6 6 個のデータ入力端子のうちの対応する入力端子にドレインが接続され、ゲートにブロック選択端子に接続された a - S i T F T M O S トランジスタにより構成される。

従って、5 2 8 個のデータラインは、6 6 個ずつ 8 個のブロックにより分割され、シフトレジスタ 1 6 4 の 8 個のブロック選択信号により、順次に各ブロックが選択される。

シフトレジスタ 1 6 4 は、3 端子の外部接続端子 1 6 2 を通じて第 1 クロック C K H 、第 2 クロック C K H B 、ブロック選択開始信号 S T H が提供される。シフトレジスタ 1 6 4 の出力端子は、各々対応するラインブロックのブロック選択端子に接続される。

20

【 0 0 2 1 】

図 5 は、図 4 に示したデータ駆動回路のシフトレジスタのブロック図である。

図 5 に示すように、本発明によるシフトレジスタ 1 6 4 は、9 個のステージ S R H 1 ~ S R H 9 により構成される。即ち、各ステージの出力端子 O U T が次段ステージの入力端子 I N に接続される。ステージの数は、データラインブロックに対応する 8 個のステージ S R H 1 ~ S R H 8 と 1 つのダミーステージ S R H 9 により構成される。各ステージは入力端子 I N 、出力端子 O U T 、制御端子 C T 、クロック入力端子 C K 、第 1 電源電圧端子 V S S 、第 2 電源電圧端子 V D D を有する。8 個のステージ S R H 1 ~ S R H 8 は、各データラインブロック B L 1 ~ B L 8 のブロック選択端子にブロック選択開始信号 D E 1 ~ D E 8 を各々提供する。ブロック選択開始信号は、各ラインブロックのイネーブル信号である。

30

【 0 0 2 2 】

奇数番目ステージ S R H 1 、 S R H 3 、 S R H 5 、 S R H 7 、 S R H 9 には第 1 クロック C K H が提供され、偶数番目ステージ S R H 2 、 S R H 4 、 S R H 6 、 S R H 8 には第 2 クロック C K H B が提供される。第 1 クロック C K H と第 2 クロック C K H B は、相補的な位相を有する。第 1 クロック C K H 、第 2 クロック C K H B のデューティサイクルは 1 / 6 6 m s 以下に設定される。

【 0 0 2 3 】

各ステージの制御端子 C T には、次段ステージの出力信号が制御信号として制御端子 C T に入力される。即ち、制御端子 C T に入力される制御信号は、自己の出力信号のデューティサイクル分遅延された信号になる。

40

従って、各ステージの出力信号が順次にアクティブ区間（即ち、ハイ状態）を有して発生されるので、各出力信号のアクティブ区間で対応されるデータラインブロックが選択されイネーブル状態となる。

ダミーステージ S R H 9 は、その前段ステージ S R H 8 の制御端子 C T に制御信号を提供するためである。

【 0 0 2 4 】

図 6 は、図 4 のゲート駆動回路に用いられるシフトレジスタを説明するためのブロック図である。

図 6 に示すように、図 4 のゲート駆動回路 1 7 0 は 1 つのシフトレジスタにより構成さ

50

れ、該シフトレジスタは、複数のステージ $SRC1 \sim SRC193$ の従属接続により構成される。即ち、各ステージの出力端子 OUT が次段ステージの入力端子 IN に接続される。これらステージは、ゲートラインに対応する 192 個のステージ $SRC1 \sim SRC192$ と1つのダミーステージ $SRH193$ とにより構成される。各ステージは、入力端子 IN 、出力端子 OUT 、制御端子 CT 、クロック入力端子 CK 、第1電源電圧端子 VSS 、第2電源電圧端子 VDD を有する。

第1ステージ $SRC1$ の入力端子 (IN) には、スキャン開始信号 STV が入力される。ここで、スキャン開始信号 STV は、垂直同期信号 $Vsync$ に同期したパルスである。

【0025】

10

各ステージの出力信号 $GOUT1 \sim GOUT192$ は、対応する各ゲートラインに接続される。奇数番目ステージ $SRC1$ 、 $SRC3$ 、... には第1クロック CKV が供給され、偶数番目ステージ $SRC2$ 、 $SRC4$ 、... には第2クロック $CKVB$ が供給される。第1クロック CKV と第2クロック $CKVB$ とは、相補的位相を有する。また、第1クロック CKV と第2クロック $CKVB$ のデューティサイクルは、 $16.6 / 192 ms$ になる。

【0026】

各ステージ $SRC1$ 、 $SRC2$ 、 $SRC3$ 、... の制御端子 CT には次段ステージ $SRC2$ 、 $SRC3$ 、 $SRC4$ 、... の出力信号 $GOUT2$ 、 $GOUT3$ 、 $GOUT4$ が制御信号として入力される。即ち、制御端子 CT に入力される制御信号は自己の出力信号がデューティサイクル分遅延された信号になる。

20

従って、各ステージの出力信号が順次にアクティブ区間 (ハイ状態) となるように発生されるので、各出力信号のアクティブ区間で対応される水平ラインが選択される。

【0027】

図7は、本発明の一実施形態によるシフトレジスタの各ステージの構成を説明するための図であり、特に、図6に示したシフトレジスタの各ステージの具体的な回路構成を示すものである。図8は図7による出力波形図である。

図7に示すように、本発明の一実施形態によるシフトレジスタ170の各ステージは、プルアップ部171、プルダウン部172、プルアップ駆動部173及びプルダウン駆動部174を含む。

30

【0028】

プルアップ部171は、パワークロック入力端子 CKV にドレインが接続され、第3ノード $N3$ にゲートが接続され、出力端子 $GOUT[N]$ にソースが接続された第1 $NMOS$ トランジスタ $M1$ により構成される。

プルダウン部172は、出力端子 $GOUT[N]$ にドレインが接続され、第4ノード $N4$ にゲートが接続され、第1電源電圧 $VOFF$ にソースが接続された第2 $NMOS$ トランジスタ $M2$ により構成される。

【0029】

プルアップ駆動部173は、キャパシタ C 、第3～第5 $NMOS$ トランジスタ $M3 \sim M5$ により構成される。キャパシタ C は、第3ノード $N3$ と出力端子 $GOUT[N]$ との間に接続される。第3 $NMOS$ トランジスタ $M3$ は、ドレインが第2電源電圧 VON に接続され、ゲートに入力信号 $GOUT[N-1]$ 、即ち、前段ステージの出力信号 $GOUT[N-1]$ が供給され、ソースが第3ノード $N3$ に接続される。第4 $NMOS$ トランジスタ $M4$ は、ドレインが第3ノード $N3$ に接続され、ゲートが第4ノード $N4$ に接続され、ソースが第1電源電圧 $VOFF$ に接続される。第5 $NMOS$ トランジスタ $M5$ は、ドレインが第3ノード $N3$ に接続され、ゲートが第4ノード $N4$ に接続され、ソースが第1電源電圧 $VOFF$ に接続される。ここで、第3 $NMOS$ トランジスタ $M3$ のサイズは、第5 $NMOS$ トランジスタ $M5$ のサイズより2倍程度大きく形成される。

40

【0030】

プルダウン駆動部174は、第6及び第7 $NMOS$ トランジスタ $M6$ 、 $M7$ により構成

50

される。第6 NMOSトランジスタM6は、ドレインとゲートが共通されて第2電源電圧VONに接続され、ソースが第4ノードN4に接続される。第7 NMOSトランジスタM7は、ドレインが第4ノードN4に接続され、ゲートが第3ノードN3に接続され、ソースが第1電源電圧VOFFに接続される。ここで、第6 NMOSトランジスタM6のサイズは、第7 NMOSトランジスタM7のサイズより16倍程度大きく形成される。

【0031】

図8に示したように、第1及び第2パワークロック入力信号CKV、CKVBとスキャン開始信号STがシフトレジスタに供給されると、第1ステージSRC1ではスキャン開始信号STの前縁に応答して第1パワークロックCKVのハイレベル区間を所定時間Tdr1遅延させて、出力端子OUTに出力信号GOUT1を発生する。

10

以上で説明したように、アレイ基板が配置されるガラス上のシフトレジスタには、スキャン開始信号STVと共に第1及び第2パワークロック入力端子CKV、CKVBが供給され、ゲート駆動回路として動作を行う。

【0032】

図9は、図6の回路における駆動波形を説明するための波形図である。

図9に示すように、シフトレジスタは、第1パワークロックCKV又は第1パワークロックCKVと位相が反転する第2パワークロックCKVBのいずれかが印加されて、複数のゲート信号GOUT1、GOUT2、GOUT3、...をTFT-LCDゲートラインに順次出力する。第1及び第2パワークロックCKV、CKVBは、a-Si TFTを駆動するために、タイミングコントローラ(図示せず)の出力である0~3V振幅の信号を、例えば、-8~24V振幅の信号に増幅した信号である。

20

【0033】

しかし、シフトレジスタをゲート駆動回路に利用する場合には、525(=175×3)×192解像度を有する液晶表示パネルについて説明したように、小型又は中小型画面には適しているが、高解像度を有する大画面には適していない。

その理由は、大画面に当該するゲートラインを駆動するためには、プルアップ及びプルダウン機能を行うトランジスタM1及びM2の大きさを増加させなければならないため、シフトレジスタを一定空間に集積して設計する必要がある場合には、負担になってしまうからである。

従って、ゲートラインを十分に駆動するには適していないプルアップ及びプルダウントランジスタM1及びM2の大きさとアモルファス特性上、温度及び工程的にTFTの臨界電圧(Vth)の変化が多結晶シリコン(poly-Si)または単結晶シリコン素子に比べて相対的に大きく、信頼性及び収率に問題になる。

30

【0034】

図7を参照して、a-SiタイプTFTを利用して液晶表示装置のゲートドライバ用シフトレジスタを具現する時に発生する信頼性の問題について、以下に説明する。

図7に示すように、常にターンオン状態の第6 NMOSトランジスタM6とCT1電圧に反応してオン/オフ動作を行う第7 NMOSトランジスタM7により構成されるインバータ174は、第7 NMOSトランジスタM7がターンオフであると、CT2電圧は、以下の式(1)によって表される。

40

$$CT2_{high} = V_{ON} - V_{th(M6)} \quad (1)$$

一方、第7 NMOSトランジスタM7がターンオンであると、CT2電圧は以下の式(2)に示すように、インバータ機能を有する第6及び第7 NMOSトランジスタM6、M7のターンオン時の抵抗比により決定される。

$$CT2_{low} = \frac{\{V_{ON} - V_{th(M6)} - V_{OFF}\} * R_{on(M7)}}{\{R_{on(M7)} + R_{on(M6)}\} + V_{OFF}} \quad (2)$$

【0035】

前記のCT2電圧は、図7に示すように、第2 NMOSトランジスタM2及び第4 NM

50

OSトランジスタM4をコントローラする電圧であるので、CT2_{low}の電位が十分になければ、2つのトランジスタM2、M4のターンオフ動作に問題を発生させ、シフトレジスタの回路全体に誤動作を発生させることになる。

従って、式(2)において、 $R_{on}(M7)/R_{on}(M6)$ の比は十分に小さい必要があり、第2トランジスタM2及び第4トランジスタM4をターンオフさせる各トランジスタのゲート電圧であるCT2_{low}電圧と、ソース電圧である第1電源電圧V_{OFF}との電圧差が以下の式(3)に示すように、トランジスタのスレッシュホールド電圧より低くなければならない。また、これを整理すると以下の式(4)によって表すことができる。

$$\begin{aligned} & CT2_{low} - V_{OFF} \\ & V_{th} \\ & = V_{th(M6)} \\ & = V_{th(M1)} \\ & = V_{th(M7)} \end{aligned} \quad (3)$$

$$\begin{aligned} & CT2_{low} - V_{OFF} \\ & = (V_{ON} - V_{th} - V_{OFF}) * R_{on(M7)} / \{ R_{on(M7)} + R_{on(M6)} \} \\ & V_{th} \end{aligned} \quad (4)$$

【0036】

式(4)から、第7トランジスタM7と第6トランジスタM6のターンオン時の抵抗比($R_{on}(M7)/R_{on}(M6)$)は、次の式(5)により表される。

$$\begin{aligned} & R_{on(M7)} / R_{on(M6)} \\ & V_{th} / \{ (V_{ON} - 2 * V_{th} - V_{OFF}) \} \end{aligned} \quad (5)$$

例えば、a-SiTFT-LCDで主に使用するV_{ON} = 22V、V_{OFF} = -7V、またTFTのスレッシュホールド電圧(V_{th})を1.7Vとすると、第7トランジスタM7と第6トランジスタM6のターンオン時の抵抗比($R_{on}(M7)/R_{on}(M6)$)は、式(6)のとおりである。

$$\begin{aligned} & R_{on(M7)} / R_{on(M6)} \\ & 1.7 / \{ 22 - 2 * 1.7 - (-7) \} \\ & 1 / 15 \end{aligned} \quad (6)$$

【0037】

式(6)に示すように、インバータ機能を実施するプルダウン駆動部174に備えられる第7トランジスタM7と第6トランジスタM6とのターンオン時の抵抗比($R_{on}(M7)/R_{on}(M6)$)が大略1:15より小さいトランジスタの組み合わせにより構成されなければならない。

また、式(6)において、第7トランジスタM7のターンオン時にゲート・ソース間電圧(V_{og7})がV_{ON} - V_{OFF}である時、CT2_{low}がV_{th} + V_{OFF}になり、第6NMOSTランジスタM6のゲート・ソース間電圧(V_{og(M6)})はV_{ON} - (V_{th} + V_{OFF})であるので、十分に大きいV_{ON} - V_{OFF}値に対してスレッシュホールド電圧を無視することができるので、V_{gs(M7)} = V_{gs(M6)}を得ることができる。

【0038】

このような場合に、プルダウン駆動部174に備えられるトランジスタのチャネル長さ(L)が同一であるとする時、第7トランジスタM7のチャネル幅W(M7)と第6トランジスタM6のチャネル幅W(M6)の比が15:1以上であると、式(6)の条件を満足させることができる。

一方、実際的なTFT-LCDモジュールでは、TFTのサイズや第1電源電圧V_{OFF}及び第2電源電圧V_{ON}はハードウェア的に固定である。このような状況で、図7に示したa-SiTFT液晶表示装置に用いられるゲートドライバ用シフトレジスタのインバータには信頼性低下の問題が発生する。

即ち、図7に示したゲートドライバ用シフトレジスタは、動作時に温度環境と印加電圧に敏感であるという問題点があり、寿命が短いという問題点がある。通常、温度とTFT

10

20

30

40

50

のスレッシュホールド電圧は反比例の関係にある。

【 0 0 3 9 】

図 10 は、図 7 のプルダウン駆動部、即ちインバータに備えられるトランジスタの比率とスレッシュホールド電圧との関係を説明するための図である。特に、式 (6) により設計された $a - Si$ T F T により作られるゲートドライバ用シフトレジスタのインバータにおいて、スレッシュホールド電圧に関連して必要とされる第 7 トランジスタ M 7 と第 6 N M O S トランジスタ M 6 のターンオン時の抵抗比 ($R_{on}(M7) / R_{on}(M6)$) を計算した結果を示している。

【 0 0 4 0 】

図 10 に示すように、 $R_{on}(M7) / R_{on}(M6) = 1 / 15 (0.067)$ より小さい比率が要求されるスレッシュホールド電圧条件では、第 2 N M O S トランジスタ M 2 と第 4 N M O S トランジスタ M 4 を十分にターンオンさせないために、図 7 に示したシフトレジスタは誤動作する可能性がある。

また、第 1 電源電圧 V_{OFF} 及び第 2 電源電圧 V_{ON} が若干変更されると、回路構造上、第 1 電源電圧 V_{OFF} 及び第 2 電源電圧 V_{ON} が温度及び電圧環境に相当に敏感であるために、シフトレジスタ 170 が誤動作する恐れがある。

【 0 0 4 1 】

図 11 は、第 2 電源電圧 V_{ON} が増加する時に必要とされる抵抗比を示す図である。REQUEST Max Ratio 1 及び REQUEST Max Ratio 2 の波形はそれぞれ、第 2 電源電圧 V_{ON} が 22 [V] 及び 24 [V] のときの必要とされる抵抗比を示している。

図 11 に示すように、REQUEST Max Ratio 2 波形は、REQUEST Max Ratio 1 波形よりも下方にシフトされたカーブを示しており、したがって、同一のスレッシュホールド電圧の条件下であっても、印加電圧により誤動作が発生する可能性があることを示している。即ち、図 7 に示した回路のシフトレジスタは、温度及び電圧環境によって誤動作を生じる恐れがある。

【 0 0 4 2 】

また、図 7 に示した本発明の一実施形態により具現されるシフトレジスタの他の問題は、寿命問題である。即ち、第 7 N M O S トランジスタ M 7 と第 6 N M O S トランジスタ M 6 のターンオン時の抵抗比 ($R_{on}(M7) / R_{on}(M6)$) が一定比、即ち、1 / 15 以下に設計されなければならないインバータにおいて、常にターンオン状態にある第 6 N M O S トランジスタ M 6 に比べて、オン / オフ動作を行う第 7 N M O S トランジスタ M 7 が 15 倍以上大きくなければならない、という回路構造に基づいて発生される現象である。

【 0 0 4 3 】

このような現象は、図 7 の回路構造上、常にターンオン状態にある第 6 N M O S トランジスタ M 6 の負荷として第 7 N M O S トランジスタ M 7 により電流量が決定されるためである。従って、第 6 N M O S トランジスタ M 6 は、第 7 N M O S トランジスタ M 7 のターンオフ時に漏洩電流が流れる。

即ち、16.7 msec の 1 フレーム中、XGA 場合に 50 μ s 程度の短時間だけ電流が流れる場合には、寿命問題が殆ど発生しない。しかし、常に電流が流れる場合は、T F T の劣化が生じるが、2 つのトランジスタのサイズの差が大きくなければならないという図 7 の回路構造では、当然にトランジスタの寿命低下状況が発生される。

【 0 0 4 4 】

次の表 1 は、同一な電圧条件で第 7 N M O S トランジスタ M 7 と第 6 N M O S トランジスタ M 6 のチャネル幅が $W(M7) : W(M6) = 15 : 1$ の比率を有する場合、第 7 N M O S トランジスタ M 7 と第 6 N M O S トランジスタ M 6 の単位チャネル幅 (1 μ m) 当り流れる電流を温度条件別に比較したものである。

【表 1】

表 1

	M 7	M 6
チャンネル比率	1 5	1
2 5℃	0 . 0 8 n A	5 . 7 8 n A
6 0℃	1 . 0 2 n A	3 3 n A

【 0 0 4 5 】

10

図 7 に示したシフトレジスタ 1 7 0 において、第 1 ~ 第 5 トランジスタ M 1、M 2、M 3、M 4 及び M 5 は、第 7 N M O S トランジスタ M 7 に類似する電流値を示し、第 6 N M O S トランジスタ M 6 は、第 7 N M O S トランジスタ M 7 に比べて常温動作時 6 0 倍、高温動作時 3 0 倍以上の大きい電流値を示す。インバータ機能を呈するプルダウン駆動部 1 7 4 の動作マージンを向上させるために、第 7 N M O S トランジスタ M 7 大きさを大きくすると、第 6 及び第 7 N M O S トランジスタ M 6 及び M 7 の電流値の差異は、さらに大きくなる。

特に、高温動作時のトランジスタの単位チャンネル幅当り流れる電流は、一般のピクセルサイズである 3 0 μ m 幅に換算すると 0 . 9 9 μ A であり、したがって、トランジスタはほぼターンオン状態である。

20

【 0 0 4 6 】

このように、T F T に常にターンオン状態の電流が流れることになると、アモルファス薄膜特性が劣化して電流駆動能力が大きく低下してしまい、これにより、スレッシュOLD 電圧が高くなる。このような状況は、式 (1) によって表されるように、C T 2 h i g h 電圧が低くなる結果を発生させ、結局には第 2 N M O S トランジスタ M 2 と第 4 N M O S トランジスタ M 4 をターンオンさせるに不十分な電圧になり、図 7 に示した回路によって具現される、a - S i T F T に作られるゲートドライバ用シフトレジスタは、誤動作を起こすことになる。

【 0 0 4 7 】

図 1 2 は、第 6 N M O S トランジスタ M 6 が正常である時の出力波形を説明するためのシミュレーション波形図であり、図 1 3 は、第 6 N M O S トランジスタ M 6 が劣化した時の出力波形を説明するためのシミュレーション波形図である。

30

図 1 2 に示すように、第 6 N M O S トランジスタ M 6 が正常である時には、インバータ機能を実施するプルダウン駆動部 1 7 4 の出力電圧 V C T 2 はプルダウン部 1 7 2 の第 2 N M O S トランジスタ M 2 やプルアップ駆動部 1 7 3 の第 4 N M O S トランジスタ M 4 をターンオンさせるに十分であるので、シフトレジスタから出力される波形は正常である。

【 0 0 4 8 】

しかし、図 1 3 に示すように、第 6 N M O S トランジスタ M 6 に劣化が生じると、第 6 N M O S トランジスタ M 6 のスレッシュOLD 電圧が上昇し、これによりプルダウン駆動部 1 7 4 の出力電圧 V C T 2 は誤動作を起こして、シフトレジスタから出力される波形が異常となることが確認できる。

40

即ち、プルダウン駆動部 1 7 4 の出力電圧 V C T 2 はプルダウン部 1 7 2 の第 2 N M O S トランジスタ M 2 やプルアップ駆動部 1 7 3 の第 4 N M O S トランジスタ M 4 をターンオンさせるには不十分な電圧になるので、前縁キャリを受け入れずに、ゲートオフ電圧である第 1 電源電圧 V O F F を液晶表示パネルのゲートラインに正常的に印加しない状況が発生する。

このような、正常ではない波形は、結局、液晶表示パネルに備えられるスイッチング素子を正常にターンオンさせることができず、画像を正常に表示できない要因となる。

【 0 0 4 9 】

上述したように、本発明の一実施形態により具現される図 7 に示したゲートドライバ用

50

シフトレジスタは、信頼性低下の問題により原価や構造的な長所にもかかわらず、実際には適用が困難である場合がある。

本発明の他の実施形態では、 $a-Si$ TFTに作られるゲートドライバ用シフトレジスタの信頼性問題と寿命問題を解決することができる。

【0050】

図14は本発明の他の実施形態によるシフトレジスタの各ステージの構成を説明するための図であって、特に、図6に示したシフトレジスタの各ステージの具体的な回路構成を示すものである。

図14に示すように、本発明の他の実施形態によるシフトレジスタ170の各ステージは、プルアップ部171、プルダウン部172、プルアップ駆動部173、第1プルダウン駆動部174及び第2プルダウン駆動部175を含む。図7の回路と同一の構成要素に対しては同一な符号を付し、その詳細な説明は省略する。

【0051】

第1プルダウン駆動部174は、第1インバータとして、第6及び第7NMOSトランジスタM6、M7により構成され、プルアップ部171の入力ノードに接続され、プルアップ部171のターンオンに応答して第3制御信号CT3を第2プルダウン駆動部175に出力する。

第6NMOSトランジスタM6は、ドレインが第2電源電圧VONに接続され、ソースが第4ノードN4に接続される。また、第7NMOSトランジスタM7は、ドレインが第4ノードN4に接続され、ゲートが第3ノードN3に接続され、ソースが第1電源電圧VOFFに接続される。第6NMOSトランジスタM6のサイズは、第7NMOSトランジスタM7のサイズと同一であるように形成される。即ち、第6NMOSトランジスタM6のチャネル幅Wと第7NMOSトランジスタM7のチャネル幅Wは1:1であることが望ましい。

【0052】

第2プルダウン駆動部175は、第1インバータの動作を制御する第2インバータとして、第8及び第9NMOSトランジスタM8、M9により構成され、プルダウン部172の入力ノードに接続され、入力信号の前縁に応答してプルダウン部172をターンオフさせ、第3制御信号CT3に応答してプルダウン部172をターンオンさせる。

第8トランジスタM8は、ドレインとゲートが共に第2電源電圧VONに接続され、ソースが第6NMOSトランジスタM6のゲートに接続される。また、第9トランジスタM9は、ドレインが第8トランジスタM8のソースに接続され、ゲートが第3ノードN3に接続され、ソースが第1電源電圧VOFFに接続される。第9トランジスタM9のサイズは、第8トランジスタM8のサイズより2倍程度大きいように形成される。即ち、第8トランジスタM8と第9トランジスタM9のチャネル幅Wを1:1にする時、チャネル長さ(L)は1:2であることが望ましい。

【0053】

以上で説明したように、NMOSトランジスタにより具現される $a-Si$ TFTのインバータ回路において、図7に示したダイオード構造の第6NMOSトランジスタM6をスイッチング構造に変更し、第6NMOSトランジスタM6を制御する別のインバータを構成することにより、 $a-Si$ TFTに作られるゲートドライバ用シフトレジスタを構成することができる。

以下に、図14によるシフトレジスタについて、種々の数式を利用して詳細に説明する。

【0054】

まず、第6NMOSトランジスタM6と第7NMOSトランジスタM7により構成される第1プルダウン駆動部174を第1インバータとし、第8トランジスタM8と第9トランジスタM9により構成される第2プルダウン駆動部175を第2インバータとし、第2インバータの出力電圧をCT3とすると、第2インバータのハイレベル出力電圧(CT3 high)及びローレベル出力電圧(CT3 low)と第1インバータのハイレベル出力

電圧 (C T 2 h i g h) 及びローレベル出力電圧 (C T 2 l o w) との関係は、次の式 (7) ~ 式 (10) によって示される。

$$C T 3_{high} = V_{ON} - V_{th(M8)} \quad (7)$$

$$C T 3_{high} = [V_{ON} - V_{th(M8)} - V_{OFF}] * R_{on(M9)} / [R_{on(M9)} + R_{on(M8)}] + V_{OFF} \quad (8)$$

$$C T 2_{high} = V_{ON} - V_{th(M8)} - V_{th(M6)} \quad (9)$$

$$C T 2_{low} = (C T 3_{low} - V_{th(M6)} - V_{OFF}) * R_{on(M7)} / [R_{on(M7)} + R_{on(M6)}] + V_{OFF} \quad (10)$$

10

【 0 0 5 5 】

一方、同一工程下で製造される a - S i T F T であるので、全て T F T のスレッシュヨ
ルド電圧が同一であることができる。したがって、第 2 N M O S トランジスタ M 2 と
第 4 N M O S トランジスタ M 4 をターンオフさせる各トランジスタのゲート電圧である第
1 インバータのローレベル出力電圧 (C T 2 l o w) とソース電圧である V O F F 間の電
圧差は、以下の式 (11) に示すように、トランジスタのスレッシュヨルド (V t h) より
低くしなければならない。

$$C T 2_{low} - V_{OFF} < V_{th} \quad (11)$$

20

【 0 0 5 6 】

式 (11) から式 (12) が得られ、該式 (12) から式 (13) が得られる。

$$C T 2_{low} - V_{OFF} = (C T 3_{low} - V_{th} - V_{OFF}) * [R_{on(M7)} / R_{on(M7)} + R_{on(M6)}] + V_{th} \quad (12)$$

$$R_{on(M7)} / R_{on(M6)} = V_{th} / (C T 3_{low} - 2 * V_{th} - V_{OFF}) \quad (13)$$

【 0 0 5 7 】

図 7 に対応する式 (5) と式 (13) と比較すると、V O N が C T 3 l o w に変更され
ることが分かる。ここで、第 8 トランジスタ M 8 と第 9 トランジスタ M 9 のチャネル幅 W
の比が 1 : 1 であり、第 8 トランジスタ M 8 と第 9 トランジスタ M 9 のチャネル長さ L の
比を 3 : 1 とすると、式 (14) が得られる。

30

$$C T 3_{low} = (V_{ON} - V_{th} + V_{OFF}) / 4 \quad (14)$$

式 (14) の結果を式 (13) に代入すると、式 (15) が得られる。

$$R_{on(M7)} / R_{on(M6)} = 4 * V_{th} / (V_{ON} - 9 * V_{th} - 3 * V_{OFF}) \quad (15)$$

【 0 0 5 8 】

また、本発明の実施形態による第 6 N M O S トランジスタ M 6 と第 5 N M O S トランジ
スタ M 5 のターンオン時の抵抗比は a - S i T F T - L C D で多く使用される V O N =
2.2 V、V O F F = 7 V、また T F T のスレッシュヨルド電圧を V t h = 1.7 V とすると
、式 (16) が得られる。

40

$$R_{on(M7)} / R_{on(M6)} = 4 * 1.7 / [2.2 - 9 * 1.7 - 3 * (- 7)] * 1 / 4 \quad (16)$$

式 (16) に示すように、図 7 に示す場合と相違して、a - S i T F T に作られるゲ
ートドライバ用シフトレジスタのインバータにおいては、必要とされるターンオン時の抵
抗比を大きくすることができる。

【 0 0 5 9 】

図 15 は、図 7 のインバータに備えられるトランジスタの比率とスレッシュヨルド電圧と
の第 1 関係と、図 14 のインバータに備えられるトランジスタの比率とスレッシュヨルド電

50

圧との第2関係を説明するための図面である。図中、REQUEST Max Ratio 1は、図7のインバータに備えられるトランジスタの比率とスレッシュホールド電圧との第1関係によるカーブであり、REQUEST Max Ratio 2は、本発明によりインバータに備えられるトランジスタの比率とスレッシュホールド電圧との第2関係によるカーブである。

図15に示すように、本発明によれば、スレッシュホールド電圧マージンが増大して、同一のTF Tサイズ比で正常動作をすることができるという結果を確認することができる。

【0060】

なお、本発明の効果は、第6 NMOS トランジスタ M6 のターンオン時の V_{gs6} 電圧が図7に示した技術の場合のように V_{gs7} 電圧 (= $V_{ON} - V_{OFF}$) と殆ど同一であるとする場合であるので、実質的に第6 NMOS トランジスタ M6 に印加されるゲート電圧は $CT3_{low}$ であり、したがって式 (17) が成り立つ。

$$\begin{aligned} V_{gs}(M6) &= CT3_{low} - V_{OFF} \\ &= (V_{ON} - V_{th} + V_{OFF}) / 2 - V_{OFF} \\ &= (V_{ON} - V_{OFF}) / 2 \end{aligned} \quad (17)$$

ここで、スレッシュホールド電圧は $V_{ON} - V_{OFF}$ に比べて相対的に小さいので無視する。

【0061】

また、CT1が $V_{ON} - V_{OFF}$ 振幅のパワー-clockにより昇圧され、 $V_{ON} + (V_{ON} - V_{OFF})$ であるので、 V_{gs7} 電圧は式 (18) によって表される。

$$\begin{aligned} V_{gs}(M7) &= CT1 - V_{OFF} \\ &= 2 * (V_{ON} - V_{OFF}) \end{aligned} \quad (18)$$

即ち、本発明の他の実施形態による回路構造においては、 $V_{gs6} : V_{gs7} = 1 : 4$ 程度である。

【0062】

これを次の式 (19) のTF T飽和領域での電流式を利用して、第6 NMOS トランジスタ M6 と第7 NMOS トランジスタ M7 が同時にターンオンされる時の電流値を比較すると、式 (20) の通りである (即ち、 $V_{gs} = V_{th}$ と仮定する)。

$$\begin{aligned} I_{ds} &= [W * \mu * (V_{gs} - V_{th})^2] / (2 * L) \\ I_{ds}(M7) / I_{ds}(M6) &= 8 * W_{(M7)} / W_{(M6)} \end{aligned} \quad (19) \quad (20)$$

即ち、第6 NMOS トランジスタ M6 の幅と第7 NMOS トランジスタ M7 のチャネル幅を同一にしても、相対的な電流駆動能力比が8倍である。即ち、2つトランジスタが同時にターンオンされる時、等価的に抵抗比 = 8であるという意味である。

【0063】

その結果、第6 NMOS トランジスタ M6 の幅と第7 NMOS トランジスタ M7 の幅を同一にしても、式 (16) で所望である $R_{on}(M7) / R_{on}(M6)$ 比率以下に合わせることができる。これを整理すると、式 (21) に示すことができる。

$$\begin{aligned} R_{on}(M7) / R_{on}(M6) &= 1 / 8 \\ &= 1 / 6 \end{aligned} \quad (21)$$

このように、本発明の他の実施形態による回路構造では、インバータを構成する第6 NMOS トランジスタ M6、第7 NMOS トランジスタ M7 のチャネル幅 W 差異を最少化することができる。また、高温動作時に第6 NMOS トランジスタ M6 に過電流が流れる現象を防止することにより、トランジスタの劣化を低減することができる。

【0064】

以下の表2及び図16は、第1インバータに備えられる第6 NMOS トランジスタ M6

及び第7 NMOS トランジスタ M7 と、第2 インバータに備えられる第7 トランジスタ M8 及び第9 トランジスタ M9 のチャネル幅 W を同一にしたときの単位幅 [1 μm] 当り流れる電流をシミュレーションした結果を示している。

【表 2】

表 2

	図 7 の回路での結果		本発明による結果			
TFT	M6	M7	M6	M7	M8	M9
W Ratio	$W_{(M7)}/W_{(M6)}=15$		$W_{(M7)}/W_{(M6)}=1$		$W_{(M9)}/W_{(M8)}=1$	
L Ratio	$L_{(M7)}/L_{(M6)}=1$		$L_{(M7)}/L_{(M6)}=1$		$L_{(M9)}/L_{(M8)}=1$	
25℃	5.78 nA	0.08 nA	0.12 nA	0.07 nA	0.017 nA	0.016 nA
60℃	33 nA	1.02 nA	1.16 nA	1.11 nA	1.26 nA	1.25 nA

表 2 及び図 16 に示すように、高温動作でも全てトランジスタの漏洩電流値を 1 [nA] 程度に低くすることができるので、図 7 の回路において 33 [nA] 以上流れることにより発生したトランジスタの劣化問題を克服することができる。

【0065】

以上で説明したように、図 7 の回路によって具現される a - Si TFT に作られるゲートドライバ用シフトレジスタの信頼性問題、即ち、温度環境と印加電圧に敏感であり、寿命が短いという問題点を、図 14 に示した本発明の他の実施形態として克服することができるが確認できる。

【0066】

以上、本発明の実施例に基づいて詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できるであろう。

【図面の簡単な説明】

【0067】

【図 1】poly - Si TFT - LCD の TFT 基板の構成を示す概略図である。

【図 2】従来の a - Si TFT - LCD の TFT 基板の構成を示す概略図である。

【図 3】本発明による a - Si TFT 液晶表示装置の分解斜視図である。

【図 4】本発明による a - Si TFT - LCD の TFT 基板の構成を示す図である。

【図 5】図 4 のデータ駆動回路のシフトレジスタのブロック図である。

【図 6】図 4 のゲート駆動回路に用いられるシフトレジスタを説明するためのブロック図である。

【図 7】本発明の一実施形態によるシフトレジスタの各ステージの構成を説明するための図である。

【図 8】図 7 の回路における出力波形図である。

【図 9】図 6 のシフトレジスタによる駆動波形を説明するための波形図である。

【図 10】図 7 のプルダウン駆動部に備えられるトランジスタの比率とスレッシュホールド電圧との関係を説明するためのグラフである。

【図 11】VON 電圧が増加する時に必要とされる抵抗比を示すグラフである。

【図 12】第 6 トランジスタが正常または劣化である時の出力波形を各々説明するためのシミュレーション波形図である。

【図 13】第 6 トランジスタが正常または劣化である時の出力波形を各々説明するためのシミュレーション波形図である。

【図 14】本発明の他の実施形態によるシフトレジスタの各ステージの構成を説明するための図である。

【図 15】図 7 及び図 14 のインバータに備えられるトランジスタの比率とスレッシュホールド電圧との関係を各々説明するためのグラフである。

10

20

30

40

50

【図 1 6】図 7 及び図 1 4 によりインバータに各々備えられるトランジスタのチャネル幅を同一にした時の電流量を説明するためのグラフである。

【符号の説明】

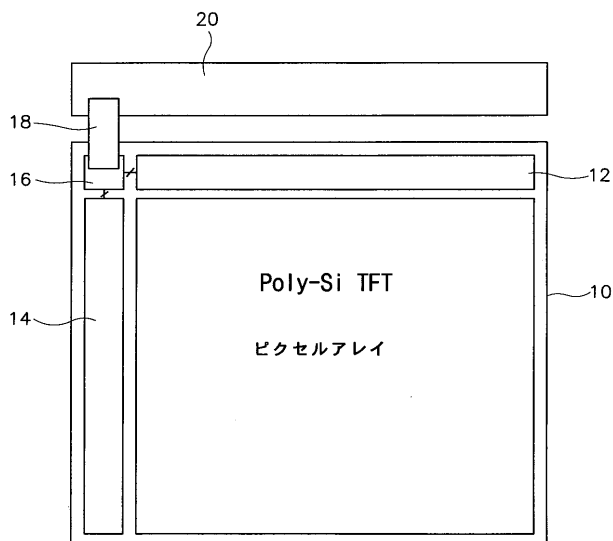
【 0 0 6 8 】

- 1 0 0 液晶表示装置
- 1 1 0 液晶表示パネルアセンブリ
- 1 1 2 液晶表示パネル
- 1 1 6 可撓性印刷回路基板
- 1 1 8 統合化制御及びデータ駆動チップ
- 1 2 0 バックライトアセンブリ
- 1 2 2 ランプアセンブリ
- 1 2 4 導光板
- 1 2 6 光学シート
- 1 2 9 モールドフレーム
- 1 3 0 シャーシ
- 1 4 0 カバー
- 1 5 0 表示セルアレイ回路
- 1 7 0 シフトレジスタ
- 1 7 1 ブルアップ部
- 1 7 2 ブルダウン部
- 1 7 3 ブルアップ駆動部
- 1 7 4 第 1 ブルダウン駆動部

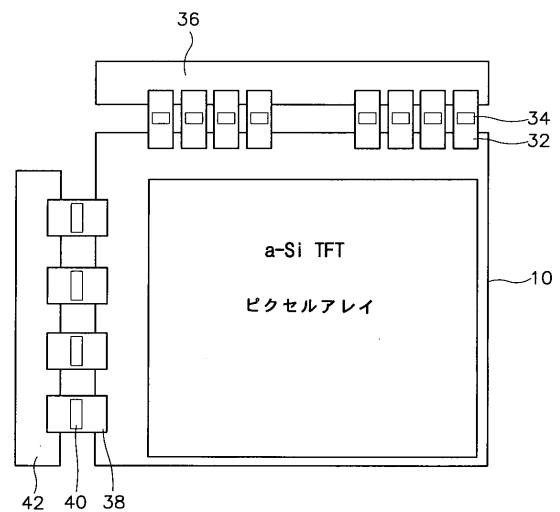
10

20

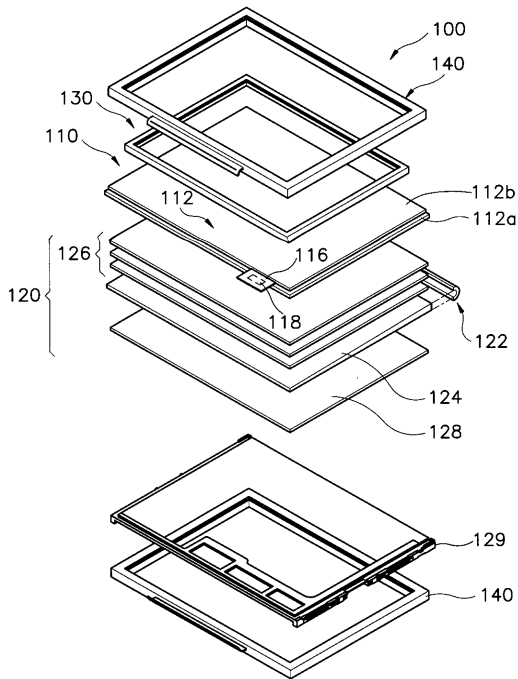
【 図 1 】



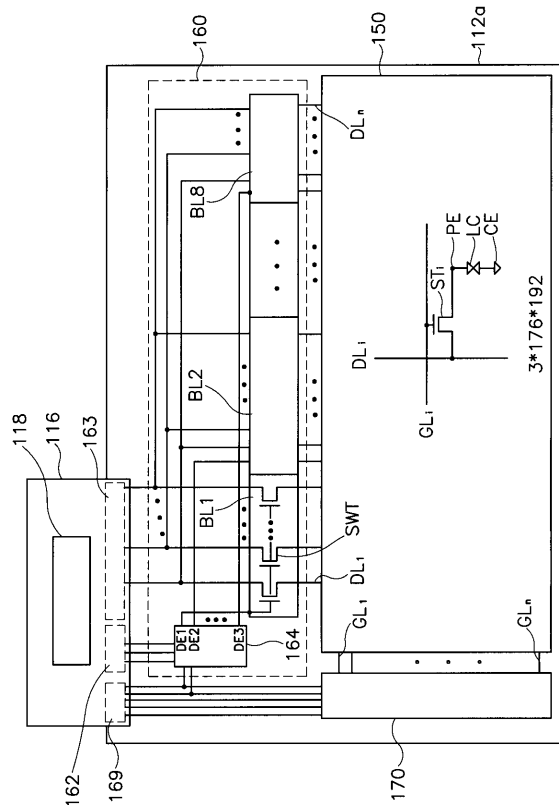
【 図 2 】



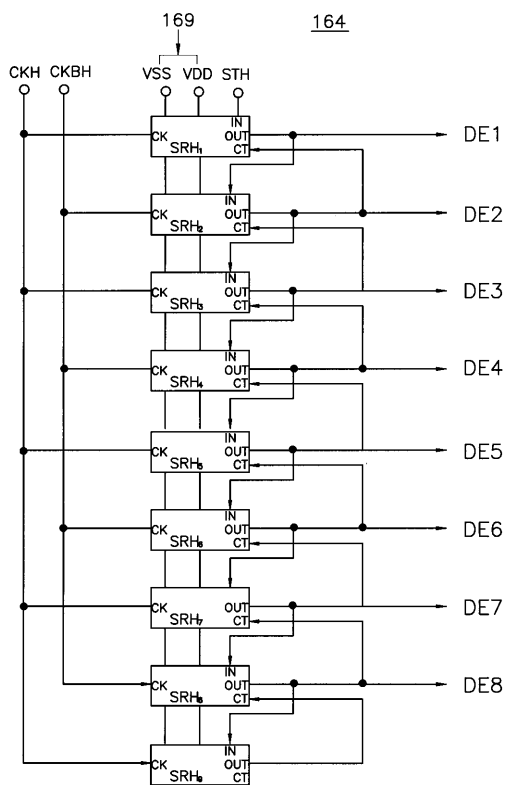
【 図 3 】



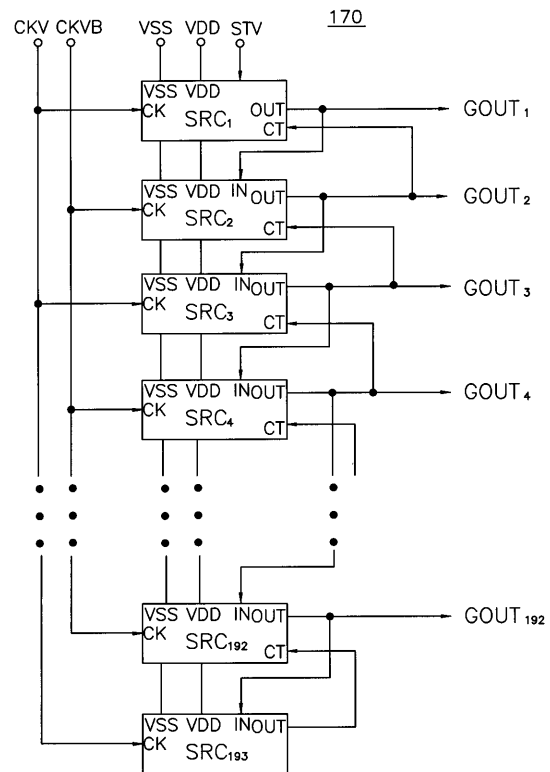
【 図 4 】



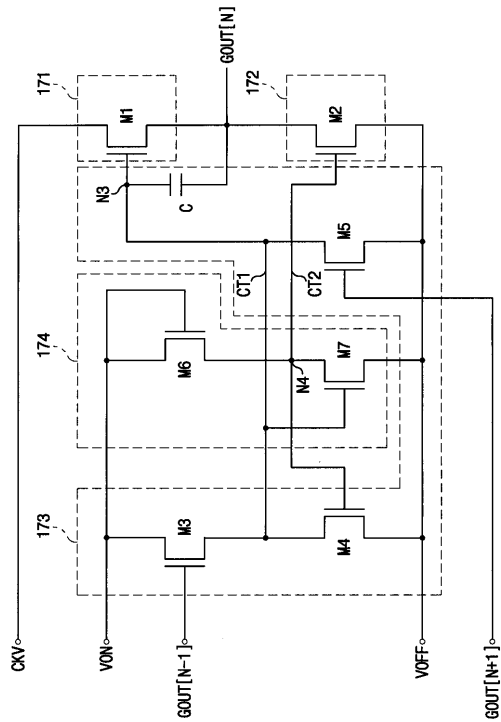
【 図 5 】



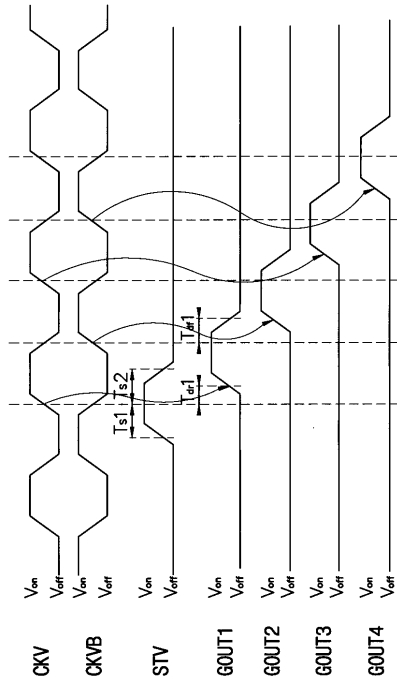
【 図 6 】



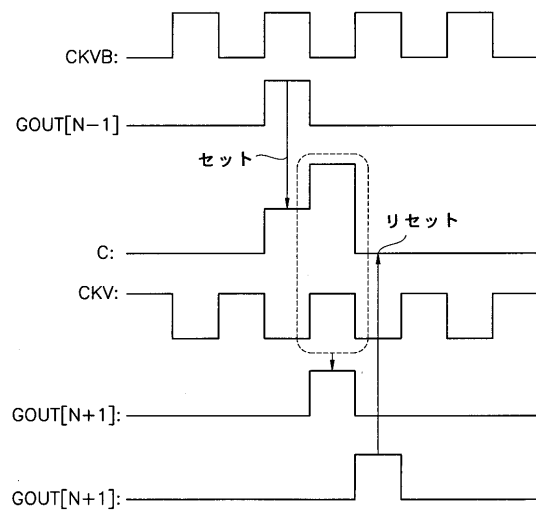
【図 7】



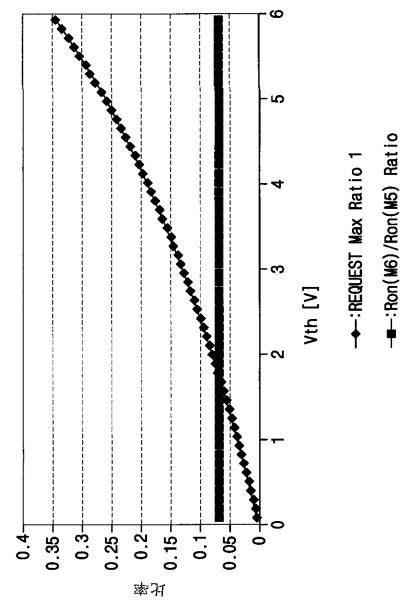
【図 8】



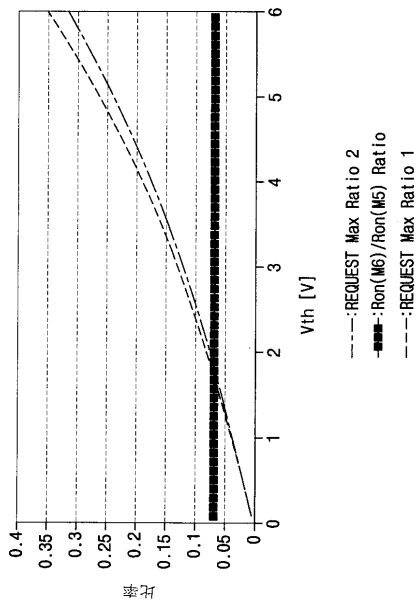
【図 9】



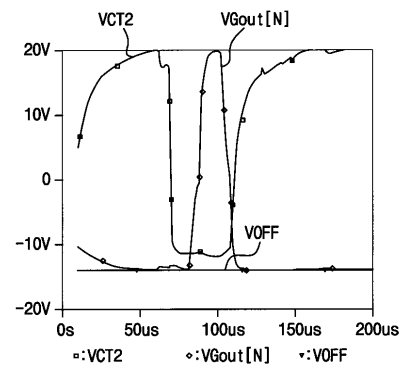
【図 10】



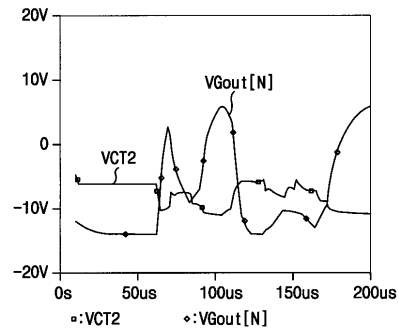
【図 1 1】



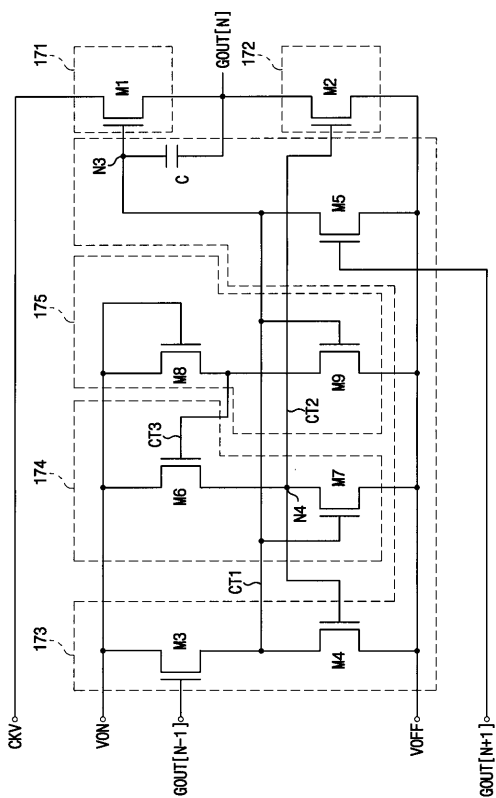
【図 1 2】



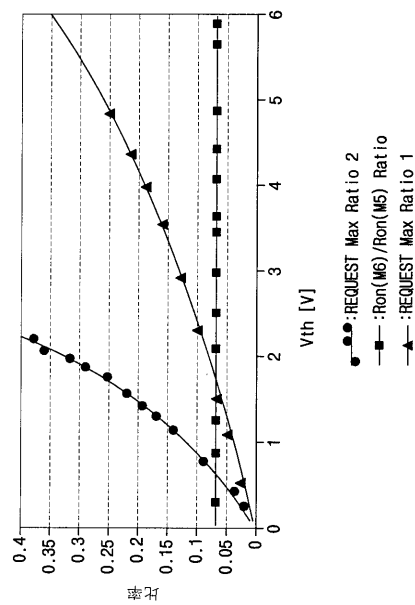
【図 1 3】



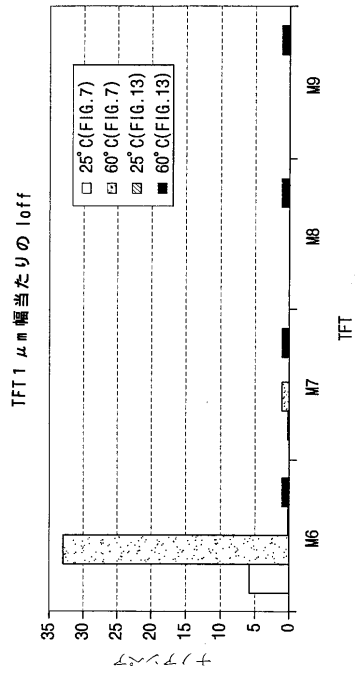
【図 1 4】



【図 1 5】



【図 16】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/20	6 7 0 M
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100096068

弁理士 大塚 住江

(72)発明者 文 勝 煥

大韓民国京畿道龍仁市水枝邑上弦里 現代 I - パーク 6 次アパート 2 0 5 棟 1 5 0 4 号

F ターム(参考) 2H093 NA16 NC01 NC09 NC11 NC22 NC34 ND60 NE01 NE03 NE06

5C006 BC03 BC11 BC20 BF03 EB04 EB05 FA33 FA36

5C080 AA10 BB05 DD19 DD20 DD28 DD29 JJ02 JJ03 JJ04 JJ05

专利名称(译)	移位寄存器和具有移位寄存器的液晶显示器件		
公开(公告)号	JP2004103226A	公开(公告)日	2004-04-02
申请号	JP2003314201	申请日	2003-09-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	文勝煥		
发明人	文 勝 煥		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C19/00 G11C19/28		
CPC分类号	G09G3/3677 G09G3/3688 G11C19/28		
FI分类号	G11C19/00.K G11C19/00.J G02F1/133.550 G09G3/20.621.M G09G3/20.622.E G09G3/20.623.H G09G3/20.670.J G09G3/20.670.M G09G3/20.680.G G09G3/36 G11C19/00 G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NC01 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC34 2H093/ND60 2H093/NE01 2H093/NE03 2H093/NE06 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/EB04 5C006/EB05 5C006/FA33 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD19 5C080/DD20 5C080/DD28 5C080/DD29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZF01 2H193/ZP01 2H193/ZP03 5B074/AA10 5B074/CA01 5B074/DA03		
代理人(译)	小林 泰 千叶昭夫		
优先权	1020020053634 2002-09-05 KR		
其他公开文献	JP4650823B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高TFT液晶显示器件的可靠性和寿命。

ŽSOLUTION：用于驱动液晶显示装置的TFT栅极的移位寄存器具有多个从属连接的级，并且向奇数和偶数级提供互补时钟。每级设置有用于向输出端子提供时钟CKV的上拉部分171，用于向输出端子提供电源VOFF的下拉部分172，用于接通上拉的上拉驱动部分173部分响应于前一级的输出信号，并且响应于后级的输出信号而关闭上拉部分，下拉驱动部分174用于在接通时输出控制信号。上拉部分和下拉驱动部分175，用于响应于前一级的输出信号关闭下拉部分，并且响应于后一级的输出信号接通下拉部分。。Ž

