

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4553

(P2004-4553A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int.Cl.⁷

G02F 1/1345

G02F 1/133

G09F 9/30

G09F 9/35

G09G 3/20

F I

G02F 1/1345

G02F 1/133 550

G09F 9/30 338

G09F 9/35

G09G 3/20 624B

テーマコード (参考)

2H092

2H093

5C006

5C080

5C094

審査請求 有 請求項の数 3 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2003-32786 (P2003-32786)

(22) 出願日 平成15年2月10日 (2003.2.10)

(62) 分割の表示 特願平8-283025の分割

原出願日 平成8年10月4日 (1996.10.4)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅普

(74) 代理人 100107076

弁理士 藤綱 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 山崎 康二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

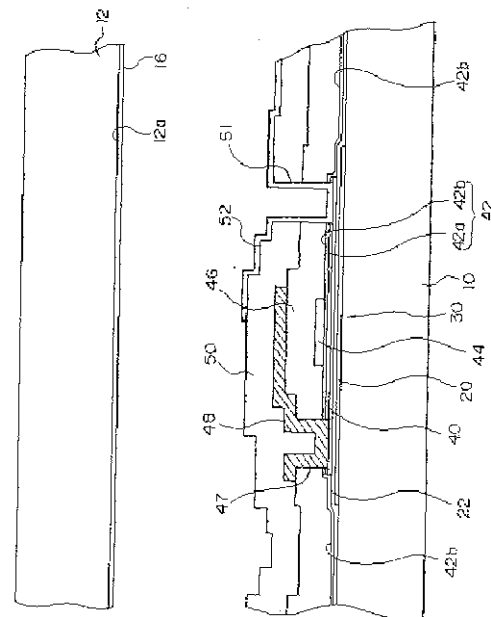
(54) 【発明の名称】 液晶表示パネル及びドライブ回路

(57) 【要約】 (修正有)

【課題】クロストークの発生を低減し、遮光層の持つ電荷によるスイッチング動作に悪影響を及ぼすことのない液晶表示パネル及びそれを用いた電子機器を提供する。

【解決手段】一方の基板10上に、複数の走査信号線となる第2ポリシリコン層44と、複数のデータ信号線となる金属配線層48と、各画素位置に液晶14と直列に接続される、ソース、ドレインとなる第1ポリシリコン層40と、ゲートとなる第2ポリシリコン層44を有するトップゲート型のTFT30から構成する。一方の基板10と各々のTFT30との間に、絶縁層22を介して遮光層20を設け、TFT30のゲート44に供給されるオフ電位が常時印加されている。この遮光層20により、TFT30内にフォトキャリアが形成されることを防止でき、リーク電流に起因したクロストークが防止される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板に、液晶ドライブ回路に用いる N 型及び P 型薄膜トランジスタが形成され、前記基板と前記 N 型及び P 型薄膜トランジスタとの間に、遮光層と、該遮光層及び前記 N 型及び P 型薄膜トランジスタ間を絶縁する絶縁層とを設け、前記 N 型薄膜トランジスタと対向する遮光層と前記 P 型薄膜トランジスタと対向する遮光層に、ゲートに印加されるオフ電位が印加され、前記オフ電位は N 型及び P 型毎に異なることを特徴とする液晶表示パネル。

【請求項 2】

基板に、ドライブ回路に用いる N 型及び P 型薄膜トランジスタが形成され、
前記基板と前記 N 型及び P 型薄膜トランジスタとの間に、遮光層と、該遮光層及び前記 N 型及び P 型薄膜トランジスタ間を絶縁する絶縁層とを設け、
前記 N 型薄膜トランジスタと対向する遮光層と前記 P 型薄膜トランジスタと対向する遮光層に、ゲートに印加されるオフ電位が印加され、前記オフ電位は N 型及び P 型毎に異なることを特徴とするドライブ回路。

【請求項 3】

一対の基板の間に液晶が封入され、かつ、一方の基板上に、走査信号に基づいて画像信号を画素電極に供給する薄膜トランジスタを有する液晶表示パネルにおいて、
前記薄膜トランジスタは N 型薄膜トランジスタであり、
前記一方の基板と前記 N 型薄膜トランジスタとの間に、遮光層と、該遮光層及び前記 N 型薄膜トランジスタ間を絶縁する絶縁層とを設け、
前記遮光層に印加されるオフ電位は、グランド電位又は負電位であることを特徴とする液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ (TFT) などをスイッチング素子として有するアクティブマトリクス型液晶表示パネル及びそれを用いたプロジェクタ等の電子機器に関する。

【0002】

【背景技術】

TFT をスイッチング素子とした用いたアクティブマトリクス型液晶表示パネルは、例えばプロジェクタのライドバルブとして利用されている。プロジェクタの光源光は、この液晶表示パネルを透過する際に、そのパネルを構成する基板にて、あるいはその後段の光学系にて反射され、それが TFT に向かって入射することがある。TFT を構成するポリシリコン層は、可視光に対して 20 ~ 30 % の透過率があり、TFT 内にフォトキャリアを生成し、リーク電流が流れる。このリーク電流により、TFT がオンし、非選択期間であった画素にも信号電位が供給されるクロストークが生ずる。

【0003】

これを防止するために、TFT の下層に遮光層を設ける技術が、特公平 3 - 52611 号、特開平 8 - 171101 号、特開平 3 - 125123 号などに開示されている。

【0004】

【発明が解決しようとする課題】

この遮光層は金属又は金属化合物にて形成されるため、TFT と絶縁する必要がある、遮光層と TFT との間に絶縁層が設けられる。ここで、例えばトップゲート型 TFT では、ソース、ドレインとなるポリシリコン層と遮光層とが絶縁層を介して対向し、コンデンサを形成する。このとき、遮光層はフローティング電位であり、ポリシリコン層の電荷の影響を受けて、遮光層の電荷が変動する。逆に、TFT も遮光層の電荷の影響を受けることになり、この遮光層が本来のゲートとは別のゲートとして機能するおそれがある。すなわち、遮光層の持つ電荷に起因して TFT にリーク電流が流れたり、あるいは、TFT のゲートに高い電圧を印加しなければ、TFT がオンしなくなる。このことは、TFT と遮光

層とを絶縁する絶縁層の膜厚が薄い程顕著であり、これを防止するには、遮光層の持つ電荷がTFTに影響しないほどのかなり厚い絶縁層を形成しなければならない。このような現象は、スイッチング素子として、バック　ツ　バック　ダイオードを用いた時も同様である。

【0005】

そこで、本発明の目的は、スイッチング素子への光の入射を遮光層により防止してクロストークの発生を低減しながら、遮光層の持つ電荷によってスイッチング素子のスイッチング動作に悪影響を及ぼすことのない液晶表示パネル及びそれを用いた電子機器を提供することにある。

【0006】

本発明の他の目的は、遮光層を保持容量の容量線として兼用し、かつ、絶縁層を薄くすることでその保持容量を増大できる液晶表示パネル及びそれを用いた電子機器を提供することにある。

【0007】

【課題を解決するための手段】

請求項1の発明は、一对の基板の間に液晶が封入され、かつ、一方の基板上に、複数の走査信号線と、複数のデータ信号線と、それらの交差によって形成される各画素位置にて前記液晶と直列に接続されるスイッチング素子と、を有する液晶表示パネルにおいて、前記一方の基板と各々の前記スイッチング素子との間に、遮光層と、該遮光層及び前記スイッチング素子間を絶縁する絶縁層とを設け、かつ、前記遮光層を、一定のDC電位に設定したことを特徴とする。

【0008】

請求項1の発明によれば、遮光層は所定の電位に設定されているので、絶縁層の厚さを薄くしても、遮光層の持つ電荷の影響は、スイッチング素子に対して一定となり、スイッチング素子のスイッチング動作に悪影響を及ぼすことを防止できる。

【0009】

請求項2の発明は、請求項1において、前記遮光層は、前記スイッチング素子をオフさせる電位に設定されていることを特徴とする。

【0010】

こうすると、スイッチング素子は、本来のオン信号のみによってオンされ、例えばスイッチング素子がTFTであれば、そのゲートへのオン電位のみによってスイッチング素子をオンさせることができる。

【0011】

請求項3の発明は、請求項2において、前記スイッチング素子は薄膜トランジスタ(TFT)であり、前記遮光層は、前記薄膜トランジスタのゲートに印加されるオフ電位と実質的に等しい電位に設定されていることを特徴とする。

【0012】

こうすると、遮光層が第2のゲートとして機能することがあっても、この第2のゲート電位は常にオフ電位であることから、本来のゲートへのオン電位によってのみTFTをオンさせることができる。

【0013】

請求項4の発明は、請求項1乃至3のいずれかにおいて、前記一方の基板には、液晶ドライバ用薄膜トランジスタが形成され、前記遮光層は、前記液晶駆動用薄膜トランジスタと対向する領域にも配置されていることを特徴とする。

【0014】

こうすると、液晶ドライバ用薄膜トランジスタの誤動作をも防止できる。

【0015】

請求項5の発明は、一对の基板の間に液晶が封入され、かつ、一方の基板上に、複数の走査信号線と、複数のデータ信号線と、それらの交差によって形成される各画素位置にて前記液晶と直列に接続されるスイッチング素子と、を有する液晶表示パネルにおいて、

10

20

30

40

50

前記一方の基板と各々の前記スイッチング素子との間に、遮光層と、該遮光層及び前記スイッチング素子間を絶縁する絶縁層とを設け、かつ、前記遮光層は、前記走査信号線の方
向に連続して前記走査信号線の数だけ複数設けられ、各々の前記遮光層に、対応する前記
走査信号線の信号を供給したことを特徴とする。

【0016】

請求項5の発明によれば、遮光層は走査信号線と対応して設けられ、走査信号線に供給さ
れる走査信号が、対応する遮光層にも供給されている。従って、走査信号線及び遮光層は
共に同時にオン電位又はオフ電位の同相の電位になり、遮光層の影響を無視できる。

【0017】

請求項6の発明は、請求項1乃至5のいずれかにおいて、前記絶縁層の膜厚を、0.05 10
～1.5 μm としたことを特徴とする。

【0018】

上述の通り、遮光層の電荷がスイッチング素子のスイッチング動作に悪影響を及ぼさない
ため、絶縁層は、スイッチング素子と遮光層と電気的に絶縁できる程度の上述の厚さで足
り、絶縁層の厚さを従来よりも薄くしてもよい。

【0019】

請求項7の発明は、請求項1乃至6のいずれかにおいて、前記遮光層は、前記液晶に並列
に接続される保持容量の容量線として兼用されることを特徴とする。

【0020】

上述の通り、絶縁層を薄くできるので、遮光層を用いて構成される保持容量の容量を大き
く確保でき、非選択期間での画素電圧の保持特性を改善できる。 20

【0021】

請求項8の発明は、請求項1乃至7のいずれかにおいて、
前記遮光層は、前記一方の基板に形成された前記データ信号線と直交する方向に配列され
、前記データ信号線と前記遮光層とでブラックマトリクスを構成することを特徴とする。

【0022】

こうすると、一方の基板側のみにブラックマトリクスを配置できるので、組立時に他方の
基板との厳密な位置合わせが不要となる。また、ブラックマトリクスラインの線幅のマー
ジンも少なくでき、液晶表示パネルの開口率が増大される。

【0023】

請求項9の発明は、請求項1乃至8のいずれかにおいて、前記一方の基板は石英基板であ
り、前記遮光層は、シリサイド系金属であることを特徴とする。 30

【0024】

シリサイド系金属は、一方の基板にスイッチング素子を形成する際の最高プロセス温度よ
り十分に高い融点を持ち、しかも、石英基板との熱膨張係率も他の金属又は金属化合物と
比較して近づけられるため、亀裂、割れの発生を低減できる。

【0025】

請求項10の発明に係る電子機器は、請求項1乃至9のいずれかに記載の液晶表示パネル
を有することを特徴とする。

【0026】

請求項10の発明によれば、クロストークが低減され、しかも走査信号線の信号電位に依
存させてスイッチング素子にて正確なスイッチング動作を正確に実行でき、電子機器の表
示画面の画質が向上する。 40

【0027】

【発明の実施の形態】

以下、本発明の実施の態様について、図面を参照して説明する。

【0028】

図1は、アクティブマトリクス型液晶表示パネルの断面を示している。図1において、こ
の液晶表示パネルは、透明基板な2枚の基板10, 12間に、液晶14を封入して構成され
ている。一方の基板10は石英等の絶縁基板であり、この石英基板10には後述すると 50

おり、各画素の液晶 14 に直列に接続されたスイッチング素子としてのトップゲート型薄膜トランジスタ (TFT) 30 がアレイ状に形成される。この石英基板 10 には、液晶ドライブ回路を構成する TFT も形成されている。他方の基板 12 は例えばガラス基板にて形成されている。このガラス基板 12 が石英基板 10 と対向する面 12a には、該対向面 12a を覆って ITO (インジウム・ティン・オキサイド) から成る透明電極 16 が形成され、共通電極として機能する。なお、対向基板 12 には、ブラックマトリクスのためのクロム層などは形成されてなく、このブラックマトリクスは、後述の通り、石英基板 10 側のみに配置されている。

【0029】

次に、石英基板 10 に形成される各層について、図 1 及び図 2 を参照して説明する。図 2 は、石英基板 10 上の各画素領域に形成される各層の透視図であり、デュアルゲート型の TFT 構造が示されている。この石英基板 10 上には、主として、上述の TFT 30 と、TFT 30 と石英基板 10 との間に形成された遮光層 20 と、この遮光層 20 と TFT 30 とを絶縁する絶縁層 22 とを有する。

【0030】

TFT 30 は、図 1 及び図 2 に示すように、トランジスタのソース、ドレインとなる第 1 ポリシリコン層 40 と、トランジスタのゲートとなる第 2 ポリシリコン層 44 を有する。両ポリシリコン層 40, 44 の間に、第 1 ポリシリコン層 40 を覆って形成された SiO_2 から成るゲート酸化膜 42 が設けられている。第 2 ポリシリコン層 44 は、図 2 及び図 3 (D) のとおり、液晶表示パネルの第 1 の方向 (図の横方向) と平行に複数本設けられ、液晶表示パネルの複数の走査信号線として用いられる。

【0031】

また、ゲート酸化膜 42 及び第 2 ポリシリコン層 44 を覆って第 1 層間絶縁層 46 が設けられている。その上に、トランジスタのソース線として機能する例えばアルミニウム (Al) にて形成された金属配線層 48 が設けられている。この金属配線層 48 は、第 1 層間絶縁層 46 に形成された第 1 コンタクトホール 47 を介して、第 1 ポリシリコン層 40 と接続されている。なお、この金属配線層 48 は、図 2 及び図 4 (B) のとおり、液晶表示パネルの前記第 1 の方向と直交する第 2 の方向 (図の縦方向) と平行に複数本設けられ、液晶表示パネルの複数のデータ信号線として用いられる。

【0032】

この金属配線層 48 及び第 1 層間絶縁層 46 を覆って第 2 層間絶縁層 50 が設けられ、その上に例えば ITO から成る透明電極 52 が各画素領域と対向する位置に形成されている。この透明電極 52 は、第 1, 第 2 層間絶縁層 46, 50 に形成された第 2 コンタクトホール 51 を介して、第 1 ポリシリコン層 40 に接続され、画素電極として機能する。

【0033】

この液晶表示パネルでは、ある行の走査信号線に対応する第 2 ポリシリコン層 44 に、TFT 30 の閾値以上のオン電圧を選択期間内に印加すると、その行に存在する全ての TFT がオンする。その際、各列のデータ信号線に対応する複数の金属配線層 48 を介して、各画素毎にデータ信号が供給され、オンされた各 TFT 30 を介して各透明電極 52 に信号電位が印加される。こうすると、対向基板 12 の透明電極 16 の共通電位と、石英基板 10 側の各画素毎の透明電極 52 の信号電位との差電圧が、液晶 14 に印加されることになる。非選択期間では、TFT 30 がオフされるので、選択期間に液晶 14 にチャージされた電圧により、次の選択期間まで表示状態が維持される。なお、この非選択期間での電圧の保持特性を改善するために、後述する保持容量が、液晶 14 と並列に接続されている。この動作を、各行毎に繰り返し実施することで、液晶表示パネルに所望の画像を表示することができる。

【0034】

次に、石英基板 10 上に形成される各層について、図 3 (A) ~ (D) 及び図 4 (A) ~ (C) に示す製造工程を参照しながら説明する。

【0035】

10

20

30

40

50

< アニール工程 >

製造段階での石英基板 10 は、8 インチウエハ形状である。まず、この石英基板 10 を、石英基板 10 の最高プロセス温度（今回はゲート酸化膜 42 のための熱酸化工程での 1000）以上の温度、例えば 1000 にて、不活性ガス例えば N_2 ガス雰囲気中でアニール処理した。この前処理により、後に実施される最高プロセス温度での熱処理時に石英基板 10 に生ずる歪みを予め除去している。

【0036】

< 遮光層 20 の形成工程 >

この遮光層 20 は、石英基板 10 の表面などでの反射光が、TFT30 に入射すること防止するものである。この遮光層 20 により、TFT30 内にフォトキャリアが形成されることを防止でき、リーク電流に起因したクロストークが防止される。 10

【0037】

このために、この遮光層 20 は、図 1 に示すように、第 1 ポリシリコン層 40 の幅より広い幅に亘って形成され、かつ、十分な遮光特性を有する材質にて形成される。この遮光層 20 の求められる遮光特性として、OD 値が 3 以上、換言すれば、透過率が 1 / 1000 以下である。

【0038】

この遮光層 20 の特性として、上記の遮光特性の他、この液晶表示パネルの最高プロセス温度に対する耐熱性を有することが必要となる。本実施例では、後述するとおり、ゲート酸化膜 42 の熱酸化工程が最高プロセス温度であり、例えば 1000 である。そこで、この遮光層 20 は、最高プロセス温度である 1000 以上の融点を有する材質として、金属又は金属化合物を用いている。この種の好適な材質として、タングステンシリサイド (WSi)、モリブデンシリサイド (MoSi) などのシリサイド系金属を挙げることができる。この種のシリサイド系金属は、石英基板 10 との相性が良く、熱膨張係数を石英基板 10 と近くできる点でも好ましい。これにより、石英基板 10 等に亀裂、割れが生ずることを防止できる。 20

【0039】

また、この遮光層 20 は、図 3 (A) に示すように、TFT30 と対向する領域 A と、横方向（走査信号線と平行な方向）に伸びる領域 B とで形成される。このように配置することで、この遮光層 20 と、これと交差する遮光性を有する金属配線層 48 とにより、各画素を囲むブラックマトリクスを、石英基板 10 側のみに構成することができる。これにより、対向基板に設けた遮光層例えばクロム層によりブラックマトリクスを構成する場合とは異なり、石英基板 10 と対向基板 12 との厳密な位置合わせは不要となる。また、従来では、2 つの基板の位置ずれを考慮してブラックマトリクスの形成層の線幅にマージンを比較的大きく確保する必要があったが、本実施例ではその必要はなくなる。従って、液晶表示パネルの開口率が増大し、明るい表示画面を確保できる。 30

【0040】

この遮光膜 20 はスパッタ法又は CVD（化学的気相成長）により形成し、図 3 (A) に示す領域 A, B のみ残存されるように、フォトリソグラフィ工程、エッチング工程が実施される。なお、図 3 (A) のようにブラックマトリクスとして遮光層 20 を使用する場合には、遮光層 20 が黒色となるのに十分な厚さを有することが必要である。このため、シリサイド系金属の場合には、0.1 μm 以上の膜厚とすればよい。 40

【0041】

< 絶縁層 22 の形成工程 >

この絶縁層 22 は、遮光層 20 を第 1 ポリシリコン層 40 から絶縁するためのものである。この絶縁層 22 は例えば SiO_2 にて形成され、例えば CVD により形成される。

【0042】

< 遮光層 20 の電位設定と絶縁層 22 の膜厚について >

遮光層 20 は、他の配線と接続されない場合には、フローティング電位となる。この場合には、絶縁層 22 の膜厚が薄いと、上述の通り、遮光層 20 の持つ電荷が、TFT30 の 50

スイッチングに悪影響を及ぼす。これを防止するには、絶縁層 22 の膜厚を厚く形成しなければならない。

【0043】

本実施例では、絶縁層 22 の膜厚に頼らずに、ゲート電位のみに依存した正規のスイッチング動作を T F T 30 にて実現するために、遮光層 20 に一定の D C 電位を印加している。

【0044】

本実施例では、T F T 30 のゲートに印加されるオフ電位を、遮光層 20 に常時印加している。画素毎に設けられた T F T 30 は N 型 T F T であり、遮光層にはゲートへのオフ電位として例えば - 1 V が常時印加される。こうすると、絶縁層 22 を介して遮光層 20 が持つ電荷が T F T 30 に影響があったとしても、この遮光層 20 の持つ電荷によって誤って T F T 30 がオンすることはない。このようにするには、遮光層 20 に印加する電位を、T F T 30 の閾値未満の電位とすればよい。N チャンネル型 T F T であれば、グランド電位又は負電位でよい。

【0045】

液晶ドライブ回路を形成する T F T と対向して設けられる遮光層にも、オフ電位が印加される。この際、液晶ドライブ回路に用いるトランジスタに N 型及び P 型 T F T が双方用いられる場合には、それらと対向する遮光層には、P, N 型 T F T 毎に異なるオフ電位が印加される。

【0046】

このようにすると、遮光層 20 が持つ電荷によって T F T 30 のスイッチング動作は影響を受けないため、絶縁層 22 の膜厚は、単に遮光層 20 と第 1 ポリシリコン層 40 とを電氣的に絶縁できるものであればよい。この場合の遮光層 20 の膜厚は、0.05 μ m 以上あれば良く、遮光層 20 がフローティング電位である場合に要求される絶縁層 22 の膜厚 (0.8 μ m 以上) よりも薄くてもよい。この絶縁層 22 の膜厚は、0.05 ~ 1.5 μ m の中から選ぶことができる。

【0047】

図 3 (A) の場合、遮光層 22 は、走査信号線である第 2 ポリシリコン層 44 と対応して、少なくとも走査信号線の本数分だけそれぞれ分離して設けられている。この場合には、各々の遮光層 22 に、対応する走査信号線への走査信号を供給しても良い。こうすると、走査信号線である第 2 ポリシリコン層 44 と遮光層 20 とは、T F T 30 をオンさせたい時には共にオン電位となり、オフさせたい時には共にオフ電位となり、T F T 30 のスイッチングに誤動作が生ずることはなくなる。

【0048】

< 遮光層 20 を保持容量の容量線として用いる場合について >

図 3 (A) に示す領域 A, B に加えて、図 5 に示す領域 C にも遮光層 20 を形成することができる。この領域 C は、図 3 (B) に示す第 1 ポリシリコン層 40 が同図の縦方向に伸びる領域と対向する領域である。こうすると、遮光層 20 と第 1 ポリシリコン層 40 とで保持容量 C 1 を構成することができる。

【0049】

また、第 1, 第 2 ポリシリコン層 40, 44 も保持容量 C 2 を構成している。この各保持容量 C 1, C 2、液晶 14 及び T F T 30 の電氣的な接続関係は図 6 の通り、液晶 14、保持容量 C 1, C 2 はそれぞれ並列に接続される。従って、この場合のトータル保持容量は C 1 + C 2 となり、保持容量を増大させることができる。

【0050】

ここで、この保持容量 C 1 は、絶縁層 22 の厚さに依存し、上述の絶縁層 22 の好適な範囲である 0.05 ~ 1.5 μ m の中から選択することで、所望の容量に設定できる。この保持容量 C 1 は、絶縁層 22 を薄くする程大きくなる。したがって、保持容量 C 1 を大きく確保したい場合には、上述した通り、遮光層 20 を一定の D C 電位に設定して、絶縁層 22 を薄くすることが好ましい。

10

20

30

40

50

【0051】

このトータル保持容量 $C1 + C2$ は、石英基板 10 上に形成される画素の密度に応じて下記の幅で設定すると良い。画素密度が $640 \sim 480$ ドットの VGA (Video Graphics Array) の場合には、 $20fF \sim 200fF$ であり、画素密度が $800 \sim 600$ ドットの SVGA (Super Video Graphics Array) の場合にも、 $20fF \sim 200fF$ である。

【0052】

< 第 1 ポリシリコン層 40 の形成工程 >

絶縁層 22 の形成後、石英基板 10 を約 500°C に加熱しながら、モノシラン (SiH_4) ガスを 500cc/min の流量で供給し、圧力 30Pa にて、石英基板 10 上にアモルファスシリコン (a-Si) のデポジション膜を形成した。この処理を約 2 時間実施することで、 $0.055\mu\text{m}$ の膜厚の a-Si 膜を形成した。 10

【0053】

この後、 N_2 雰囲気にて、 640°C にて約 6 時間アニール処理し、固相成長によりポリシリコン膜を形成した。ポリシリコン層を CVD にて形成する方法もあるが、これだとグレインの大きさが細かくなってしまふ。本実施例では、a-Si から鈍晶でグレインを固相成長させてポリシリコンとしているので、グレインサイズが大きく、形成されたポリシリコン層が単結晶の特性に近くなり、半導体としての特性を向上させている。

【0054】

この後、フォトリソグラフィ工程、エッチング工程等の実施により、図 3 (B) に示すパターンを有する第 1 ポリシリコン層 40 が形成される。 20

【0055】

この第 1 ポリシリコン層 40 の膜厚は、この後の熱酸化工程により目減りするが、その最終膜厚は、 $0.02 \sim 0.15\mu\text{m}$ とすると良い。この下限を下回ると、第 1 ポリシリコン層 40 の抵抗が大きくなり過ぎ、オン電流を確保できなくなる恐れがある。なお、このオン電流は、MOS 界面側の所定厚さ領域にて流れるため、それ以上の厚さとなるとリーク電流が増大するので、上記範囲の上限を越えないことが好ましい。

【0056】

< ゲート酸化膜 42 の形成工程 >

(1) 熱酸化膜の形成

まず、第 1 ポリシリコン層 40 を 1000°C 、ドライ酸素 100% の雰囲気中で、30 分熱酸化した。このとき、 $0.055\mu\text{m}$ の第 1 ポリシリコン層 40 は $0.04\mu\text{m}$ となり、 $0.03\mu\text{m}$ の熱酸化膜 (SiO_2) 42a がその第 1 ポリシリコン層 40 上に形成された。 30

【0057】

図 7 は熱酸化時間と熱酸化膜厚との関係を示し、図 8 は熱酸化膜厚と 8 インチ石英基板 10 に生ずる反りとの関係を示している。熱酸化温度は、図 8 に示すように、8 インチ石英基板 10 の反りを $100\mu\text{m}$ 以下となる 1050°C を上限とする。図 8 から明らかなように、熱酸化温度が 1050°C を越えた 1100°C 、 1150°C では、石英基板 10 の反りを $100\mu\text{m}$ 以下に押さえることはできない。 40

【0058】

また、 1050°C 以下で熱酸化しても、その熱酸化時間が長いと、換言すれば熱酸化膜 42a の膜厚が厚くなると、石英基板 10 の反りを $100\mu\text{m}$ 以下に押さえることはできない。図 8 によると、熱酸化温度が 1050°C 以下では、熱酸化膜厚がほぼ $0.1\mu\text{m}$ 以下で、石英基板 10 の反りを $100\mu\text{m}$ 以下に押さえることができる。しかし、以下に説明する他の要因から、熱酸化膜厚はさらに薄いことが好ましい。

【0059】

図 9 (A) ~ (F) は、熱酸化後の MOS 界面の電子顕微鏡写真を模式的に図示したものであり、熱酸化温度毎の MOS 界面の荒れ (凹凸) を示している。同図からわかるように、MOS 界面の荒れは熱酸化温度が高いほど少ない。この意味で、熱酸化温度は高いほど 50

よいが、石英基板 10 の反りを考慮すると、1050 以下とする必要がある。

【0060】

本発明者等によれば、上述の MOS 界面の荒れは、熱酸化時間が長い程、換言すれば、熱酸化膜厚が厚いほど顕著となることが判明した。そして、この MOS 界面の荒れは、その上の熱酸化膜 42a に膜密度が粗となる部分を生じさせ、ここに集中的に電流が流れて、熱酸化膜 42a の絶縁耐圧が低下してしまう。

【0061】

これらのことを考慮すると、熱酸化膜 42a の膜厚は、好ましくは 0.015 ~ 0.05 μm 、さらに好ましくは 0.02 ~ 0.035 μm である。熱酸化膜 42a の膜厚の下限は、それより薄いと界面自体の形成が困難となる点から決められている。その上限は、上述の基板の反りと温度との関係を鑑みて絶縁耐圧を確保する観点から決められている。 10

【0062】

(2) CVD 酸化膜の形成

上述の熱酸化膜 42a の形成により、比較的荒れの少ない MOS 界面を形成できるが、これだけだと十分な絶縁耐圧を確保できない。そこで、本実施例では、MOS 界面の荒れを反映して凹凸のある熱酸化膜 42a を、ステップカバレッジ能力の高い CVD により形成された SiO_2 膜 42b にて覆っている。この CVD 酸化膜 42b は、図 1 に示す通り、石英基板 10 の全面に形成される。これにより、パターンニングのためのフォトリソグラフィ工程、エッチング工程などが不要となる。さらに加えて、図 1 に示す熱酸化膜 42a 以外の位置にも CVD 酸化膜 42b を形成することで、石英基板 10 の最上層である第 2 層 20 間絶縁膜 50 及び透明電極 52 の表面に生ずる段差を少なくできる。このため、液晶配向のためのラビング処理が容易となり、基板 10、12 間のセルギャップを所望の寸法精度内に押さえることが容易となる。

【0063】

この CVD 酸化膜 42b は、シリコンを含むガス例えばモノシラン (SiH_4) と、酸素を含むガス例えば過酸化チッ素 (N_2O) とを、例えば流量比で 1 : 50 の酸素過剰の雰囲気、HTO 法により SiO_2 膜を気相成長させた。過剰シリコン雰囲気では、CVD 酸化膜 42b が電荷をもつため好ましくない。このときの圧力は 80 Pa とした。また、成膜温度は、熱酸化温度と同じ 1050 を上限とし、好ましくは 600 ~ 1000 である。上限は、石英基板 10 の反りを 100 μm 以下とするためであり、下限は CVD 膜 30 42b の膜質を確保する観点から決められる。この成膜温度は、より好ましくは 700 ~ 900、さらに好ましくは、図 10 に示すように、ステップカバレッジを 0.7 以上確保するために、750 ~ 850 とする。圧力は、好ましくは 300 Pa 以下であり、図 11 に示す通り、ステップカバレッジを 0.7 以上確保するには、200 Pa 以下とする。圧力の下限については特に制限はないが、図 11 に示すように、圧力 40 Pa にて高いステップカバレッジが得られることが確認できた。また、シリコンを含むガス例えばモノシラン (SiH_4) に対して、酸素を含むガス例えば過酸化チッ素 (N_2O) の流量比 ($\text{N}_2\text{O} / \text{SiH}_4$) は、図 12 に示す通り、石英基板 10 面内の均一性を 10 % 以下とする観点から 25 ~ 75 とし、面内均一性を 5 % 以下にするには、40 ~ 60 に設定すると良い。 40

【0064】

CVD 酸化膜 42b の膜厚は、0.02 μm 以上とすると良い。この数値は、ゲート耐圧を確保する観点から求められ、膜厚が厚いほどステップカバレッジは向上する。CVD 酸化膜 42b の厚さは、この CVD 酸化膜 42b と熱酸化膜 42a とから成るゲート酸化膜 42 のトータル膜厚を考慮して決定することができる。このゲート酸化膜 42 の膜厚は、第 1、2 ポリシリコン層 40、44 にて形成される保持容量 C2 の大きさにも影響する。ゲート酸化膜 42 の膜厚を薄くする程、保持容量 C2 を大きくできる。この保持容量 C2 を確保する観点から、ゲート酸化膜 42 の膜厚は、0.05 ~ 0.12 μm とするとよい。

【0065】

従って、このトータル膜厚を得るためには、上述の熱酸化膜 42a の厚さが $0.015 \sim 0.05 \mu\text{m}$ であることを考慮すると、CVD 酸化膜 42b の膜厚は $0.03 \sim 0.1 \mu\text{m}$ の範囲で十分である。熱酸化膜 42a の膜厚を上述の通り、 $0.02 \sim 0.035 \mu\text{m}$ とした場合には、CVD 酸化膜 42b の膜厚は、 $0.05 \sim 0.09 \mu\text{m}$ の範囲で十分である。

【0066】

この CVD 酸化膜 42b は、その後アニーリングされる。不活性ガス例えば N_2 雰囲気、 $600 \sim 1000$ の範囲例えば 950 で 30 分アニーリングを実施した。これにより、CVD 酸化膜 42b 中の欠陥を再配列させ、固定チャージを逃がすことができる。上記の温度範囲は、固定チャージを逃がすために必要となる。

10

【0067】

< 第 1 ポリシリコン層 40 へのキャパシタンスの形成工程 >

図 3 (C) の領域 D をマスクして、それ以外の第 1 ポリシリコン層 40 の容量を作るべき領域に、不純物例えばリンをドーズ量例えば $3 \times 10^{14} / \text{cm}^3$ でドーピングして、その部分の第 1 ポリシリコン層 40 を低抵抗化させた。このドーズ量としては、 $1.0 \times 10^{14} \sim 2.0 \times 10^{15} / \text{cm}^3$ とすることが好ましい。下限は、第 1 ポリシリコン層 40 にキャパシタンスを形成するために必要な導電性を確保する観点から求められ、より好ましくは $3.0 \times 10^{14} / \text{cm}^3$ 以上あれば十分に低抵抗化される。上限は、ゲート酸化膜 42 の劣化を押さえる観点から求められている。

【0068】

< 第 2 ポリシリコン層 44 の形成工程 >

次に、第 2 ポリシリコン層を全面に形成し、低抵抗化のために不純物例えばリンをドーピングする。その後、フォトリソグラフィ工程及びエッチング工程の実施により、図 3 (D) に示すようにパターンニングされた第 2 ポリシリコン層 44 によりゲート電極が形成される。ゲート電極 44 は、本実施例ではポリシリコン層 40 に対して 2 度交差しており、デュアルゲート構造となっている。デュアルゲート構造とすることで、オフ時のリーク電流を低減することができる。なお、デュアルゲートとせずに、ポリシリコン層 40 に対して 1 度交差するシングルゲートとしてもよい。

20

【0069】

< トランジスタ形成のための不純物の打ち込み工程 >

まず、N 型トランジスタを形成するために、ゲートとなる第 2 ポリシリコン層 44 をマスクとして、図 3 (D) の領域 D のソース、ドレイン領域に不純物リンを、 $2 \times 10^{13} / \text{cm}^3$ のドーズ量にてライトドーピングする。さらに、ゲート幅より広いマスクをゲート上に形成して、図 3 (D) のソース領域に、不純物ボロンを、 $2 \times 10^{15} / \text{cm}^3$ のドーズ量にて 2 回目の打ち込みを実施してハイドーピングする。これにより、マスクされた領域が、ライトドーピングドレインとなる。この 2 回目の打ち込み時のドーズ量は、好ましくは $1.0 \times 10^{12} \sim 1.0 \times 10^{14} / \text{cm}^3$ とすると良い。下限を下回ると、抵抗が大きくなりオン電流が減少する。上限を越えると、リーク電流が流れ易くなる。本実施例においては、ソース・ドレイン領域に低濃度領域と高濃度領域とを有する LDD 構造としているが、LDD 構造に限定されるものではなく、ゲート電極に対してソース・ドレイン領域が離れているオフセット構造であっても良い。あるいは、ゲート電極をマスクとしてソース・ドレイン領域を形成するセルフアライン構造であっても良い。LDD 構造あるいはオフセット構造とすることで、オフ時のリーク電流を低減することができる。従って、上述のデュアルゲート構造と併用することで、オフ時のリーク電流はさらに低減される。

30

40

【0070】

同様にして、石英基板 10 上には、液晶ドライバ回路として用いられる N 型トランジスタも形成される。液晶ドライバの P 型トランジスタに関しても同様に形成され、即ち、ゲート電極をマスクとしてボロンを $1.0 \times 10^{13} / \text{cm}^3$ のドーズ量にてライトドーピングする。その後、ゲート電極よりも広いマスクをゲート電極飢えに形成して、リンを $1.0 \times 10^{15} / \text{cm}^3$ のドーズ量にて打ち込んで、LDD 構造が形成される。

50

【 0 0 7 1 】

< 第 1 層間絶縁層 4 6 の形成工程 >

次に、第 1 層間絶縁層 4 6 を形成する。これは、T E O S (テトラ・エチル・オソル・シリケート) を 1 4 0 c c / m i n 、基板温度 6 8 0 、圧力 5 0 P a の条件下で、C V D により 0 . 0 8 μ m の膜厚で形成した。この後、9 5 0 にて 2 0 分アニールし、第 1 層間絶縁層 4 6 内の不純物を活性化して、その膜質を向上させた。この後、例えばアルゴンと水素から成るフォーミングガスを用い、5 0 0 にて 1 時間加熱した。これにより、第 1 ポリシリコン層 4 0 に水素を含有させ、シリコン未結合部分を結合させて、ギャップ内準位を減らし、T F T 3 0 の特性の向上を図った。

【 0 0 7 2 】

さらに、フォトリソグラフィ工程、エッチング工程の実施により、図 4 (A) に示す位置に、第 1 コンタクトホール 4 7 を形成した。エッチング工程として、ドライエッチングの実施の後にウェットエッチングを行い、第 1 ポリシリコン層 4 0 を露出させるためのライトエッチングを実施した。

【 0 0 7 3 】

< 金属配線層 4 8 の形成工程 >

アルミニウム (A l) をスパッタして、その後パターニングを実施することで、図 4 (B) に示すように、金属配線層 4 8 を形成した。このとき、この金属配線層 4 8 は、第 1 コンタクトホール 4 7 を介して、第 1 ポリシリコン層 4 0 と接続される。この金属配線層 4 8 は A l に限らず、C r 等の導電性を有する材質であればよい。

【 0 0 7 4 】

< 第 2 層間絶縁層 5 0 の形成工程 >

この第 2 層間絶縁層 5 0 として、ボロン及びリンを含む S i O ₂ (B P S G) を常圧 C V D 法にて形成した。プロセスガスは、T E O S 、T E B (テトラ・エチル・ボーレート) 、T M O P (テトラ・メチル・オキシ・フォスレート) を用いた。その後、図 4 (C) に示す位置に、第 2 コンタクトホール 5 1 を、第 1 コンタクトホール 4 7 と同様の工程の実施により形成した。なお、第 2 コンタクトホール 5 1 のアスペクト比が大きく、第 1 ポリシリコン層 4 0 の厚さの範囲でのエッチングストップ制御が困難である場合には、第 1 ポリシリコン層 4 0 の下層に、例えばポリシリコンシートなどを形成しておくともよい。

【 0 0 7 5 】

< 透明電極 5 2 の形成工程 >

第 2 層間絶縁層 5 0 上に、I T O (インジウム・ティン・オキサイド) をスパッタし、その後パターニングして、図 2 に示すように、透明電極 5 2 を形成した。

【 0 0 7 6 】

なお、上述の実施例では、スイッチング素子を T F T としたが、反射光によりフォトキャリアが生ずるバック ツー バック ダイオードなどをスイッチング素子とした液晶表示パネルにも同様に適用可能である。

【 0 0 7 7 】

< 液晶パネルの説明 >

図 1 3 は、上記実施例の液晶パネルのうちの T F T が形成される基板のシステム構成例を示す。互いに交差するように配設されたゲート線 1 0 2 と信号線 1 0 3 との交点に対応してそれぞれ配置された各画素 1 9 0 は、I T O 等から成る画素電極 1 1 4 と、T F T 1 9 1 とから成る。T F T 1 9 1 は、信号線 1 0 3 上の画素信号に応じた電圧を、画素電極 1 1 4 に印加するものである。同一行 (Y 方向) の T F T 1 9 1 は、そのゲートが同一のゲート線 1 0 2 に接続され、そのドレインが対応する画素電極 1 1 4 に接続されている。また、同一列 (X 方向) の T F T 1 9 1 は、そのソースが同一の信号線 1 0 3 に接続されている。この実施例においては、周辺回路 (X , Y シフトレジスタやサンプリング手段) 1 5 0 , 1 6 0 を構成するトランジスタが、画素を駆動する T F T と同様にポリシリコン層を動作層とするポリシリコン T F T で構成されており、周辺回路 1 5 0 , 1 6 0 を構成するトランジスタは、画素駆動用 T F T とともに同一のプロセスにより、同時に形成される

10

20

30

40

50

。

【 0 0 7 8 】

この実施例では、表示領域（画素マトリクス）120の一侧（図13では上側）に上記信号線103を順次選択するシフトレジスタ（以下、Xシフトレジスタと称する）151が配置され、画素マトリクスの他の一侧には、上記ゲート線102を順次選択するシフトレジスタ（以下、Yシフトレジスタと称する）161が設けられている。また、Yシフトレジスタ161の次段には、必要に応じてバッファ163が設けられる。上記信号線103の他端には、サンプリング用スイッチ（TFT）152が設けられており、これらのサンプリング用スイッチ152は、外部端子174, 175, 176に入力される画像信号VID1～VID3を伝送するビデオライン154, 155, 156と、信号線103とに

10 接続され、上記Xシフトレジスタ151から出力されるサンプリングパルスによって順次オン/オフされるようになっている。Xシフトレジスタ151は、端子172, 173を介して外部より入力されるクロックCLX1, CLX2に基づいて、1水平走査期間中に全ての信号線103を順番に1回ずつ選択するようなサンプリングパルスX1, X2, X3, ... Xnを形成してサンプリング用スイッチ152の制御端子に供給する。一方、Yシフトレジスタ161は、端子177, 178を介して外部から入力されるクロックCLY1, CLY2に同期して動作され、各ゲート線102を順次駆動する。

【 0 0 7 9 】

図14（A）,（B）には、上記液晶パネルを適用した液晶パネル130の断面及び平面レイアウト構成が示されている。図に示すように、液晶パネル用基板110の表面側には、共通電極電位が印加される透明膜電極（ITO）から成る対向電極133及びカラーフィルタ層113を有する入射側のガラス基板（対向基板）131が、適当な間隔をおいて配置され、周囲をシール材136で封止された間隙内にTN（Twisted Nematic）型液晶又はSH（Super Homeotropic）型液晶137などが充填されている液晶パネル130として構成されている。また、周辺回路150, 160の上方には、例えば対向基板131に設けられるブラックマトリクス等により遮光されるように構成される。なお、対向基板131には液晶注入口138が設けられる。

20

【 0 0 8 0 】

< 電子機器の説明 >

上述の実施例の液晶表示パネルを用いて構成される電子機器は、図15に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

30

40

【 0 0 8 1 】

このような構成の電子機器として、図16に示す液晶プロジェクタ、図17に示すマルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、図18に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテーブルコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【 0 0 8 2 】

図16に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。図16において

50

、プロジェクタ 1 1 0 0 では、白色光源のランプユニット 1 1 0 2 から射出された投写光がライトガイド 1 1 0 4 の内部で、複数のミラー 1 1 0 6 および 2 枚のダイクロイックミラー 1 1 0 8 によって R、G、B の 3 原色に分けられ、それぞれの色の画像を表示する 3 枚の液晶パネル 1 1 1 0 R、1 1 1 0 G および 1 1 1 0 B に導かれる。そして、それぞれの液晶パネル 1 1 1 0 R、1 1 1 0 G および 1 1 1 0 B によって変調された光は、ダイクロイックプリズム 1 1 1 2 に 3 方向から入射される。ダイクロイックプリズム 1 1 1 2 では、レッド R およびブルー B の光が 90° 曲げられ、グリーン G の光が直進するので各色の画像が合成され、投写レンズ 1 1 1 4 を通してスクリーンなどにカラー画像が投写される。

【0083】

10

図 17 に示すパーソナルコンピュータ 1 2 0 0 は、キーボード 1 2 0 2 を備えた本体部 1 2 0 4 と、液晶表示画面 1 2 0 6 とを有する。

【0084】

図 18 に示すページャ 1 3 0 0 は、金属製フレーム 1 3 0 2 内に、液晶表示パネル 1 3 0 4、バックライト 1 3 0 6 a を備えたライトガイド 1 3 0 6、回路基板 1 3 0 8、第 1、第 2 のシールド板 1 3 1 0、1 3 1 2、2 つの弾性導電体 1 3 1 4、1 3 1 6、及びフィルムキャリアテープ 1 3 1 8 を有する。2 つの弾性導電体 1 3 1 4、1 3 1 6 及びフィルムキャリアテープ 1 3 1 8 は、液晶表示パネル 1 3 0 4 と回路基板 1 3 0 8 とを接続するものである。

【0085】

20

ここで、液晶表示パネル 1 3 0 4 は、2 枚の透明基板 1 3 0 4 a、1 3 0 4 b の間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図 15 に示す駆動回路 1 0 0 4、あるいはこれに加えて表示情報処理回路 1 0 0 2 を形成することができる。液晶表示パネル 1 3 0 4 に搭載されない回路は外付け回路とされ、図 18 の場合には回路基板 1 3 0 8 に搭載できる。

【0086】

図 18 はページャの構成を示すものであるから、液晶表示パネル 1 3 0 4 以外に回路基板 1 3 0 8 が必要となるが、液晶表示パネル 1 3 0 4 を筐体としての金属フレーム 1 3 0 2 に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム 1 3 0 2 内に、液晶表示パネル 1 3 0 4 と、バックライト 1 3 0 6 a を備えたライトガイド 1 3 0 6 とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図 19 に示すように、液晶表示パネル 1 3 0 4 を構成する 2 枚の透明基板 1 3 0 4 a、1 3 0 4 b の一方に、金属の導電膜が形成されたポリイミドテープ 1 3 2 2 に IC チップ 1 3 2 4 を実装した T C P (T a p e C a r r i e r P a c k a g e) 1 3 2 0 を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

30

【図面の簡単な説明】

【図 1】本発明の液晶表示パネルの一部の断面図である。

【図 2】図 1 の液晶表示パネルの石英基板上に形成される各層の透視図である。

【図 3】図 3 (A) ~ 図 3 (D) は、石英基板上に形成される各層の製造プロセス順の工程図である。

40

【図 4】図 4 (A) ~ 図 4 (C) は、図 3 (D) に続いて石英基板上に形成される各層の製造プロセス順の工程図である。

【図 5】遮光層を、液晶に並列に接続される保持容量の容量線として用いる場合の、遮光層の形成パターンを示す平面図である。

【図 6】スイッチング素子と、液晶と、保持容量との電気的接続関係を示す回路図である。

【図 7】熱酸化時間と熱酸化膜厚との関係を示す特性図である。

【図 8】熱酸化膜厚と 8 インチ石英基板に生ずる反りとの関係を示す特性図である。

【図 9】図 9 (A) ~ 図 9 (F) は、M O S 界面の荒れの状態を示す電子顕微鏡写真を、

50

熱酸化膜温度毎に模式的に示す特性図である。

【図 1 0】ゲート酸化膜を構成する C V D 酸化膜のステップカバレッジの温度依存特性を示す特性図である。

【図 1 1】ゲート酸化膜を構成する C V D 酸化膜のステップカバレッジの圧力依存特性を示す特性図である。

【図 1 2】ゲート酸化膜を構成する C V D 酸化膜の基板面内均一性の流量比依存特性を示す特性図である。

【図 1 3】図 1 に示す石英基板側に形成される T F T 及び駆動回路を示す概略説明図である。

【図 1 4】(A) は図 1 に示す液晶パネル全体の断面図、(B) はその平面レイアウトを示す図である。 10

【図 1 5】本発明の電子機器のブロック図である。

【図 1 6】本発明が適用されるプロジェクタの概略説明図である。

【図 1 7】本発明が適用されるパーソナルコンピュータの外観図である。

【図 1 8】本発明が適用されるページの分解斜視図である。

【図 1 9】外付け回路を備えた液晶表示パネルの一例を示す概略説明図である。

【符号の説明】

1 0 石英基板

1 2 ガラス基板

1 4 液晶

20

1 6 共通電極 (I T O)

2 0 遮光層

2 2 絶縁層

3 0 薄膜トランジスタ

4 0 第 1 ポリシリコン層 (ソース、ドレイン)

4 2 ゲート酸化膜

4 2 a 熱酸化膜

4 2 b C V D 酸化膜

4 4 第 2 ポリシリコン層 (ゲート、走査信号線)

4 6 第 1 層間絶縁層

30

4 7 第 1 コンタクトホール

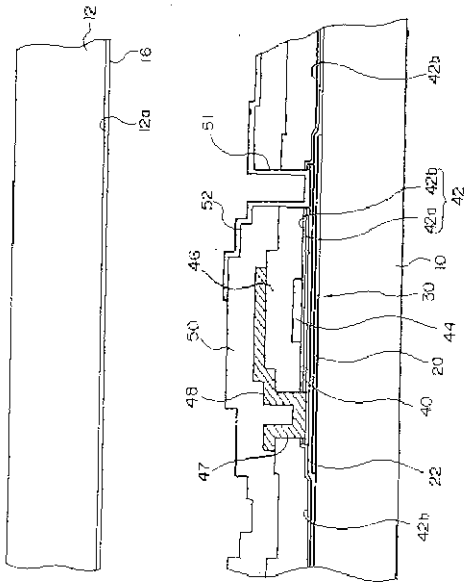
4 8 金属配線層 (データ信号線)

5 0 第 2 層間絶縁層

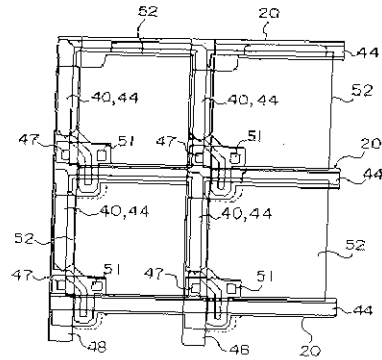
5 1 第 2 コンタクトホール

5 2 画素電極 (I T O)

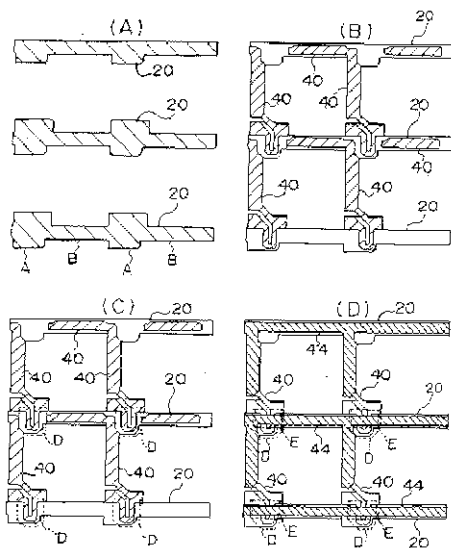
【図 1】



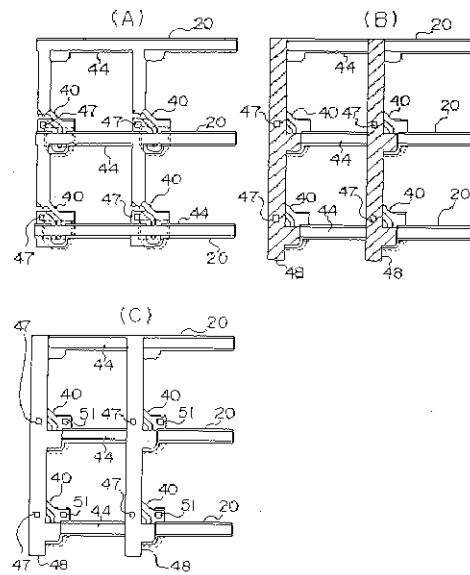
【図 2】



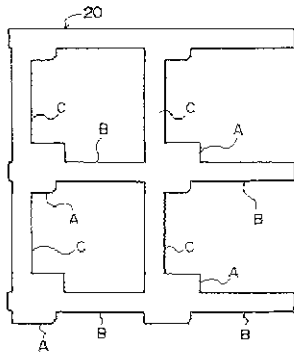
【図 3】



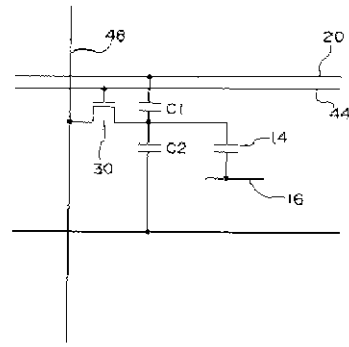
【図 4】



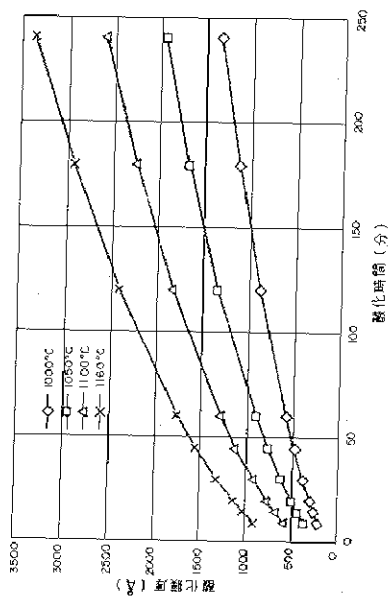
【図 5】



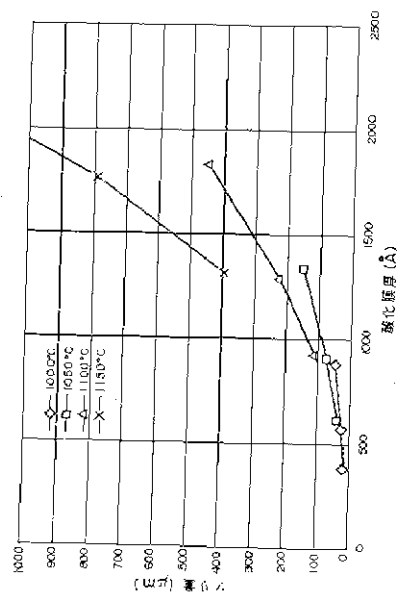
【図 6】



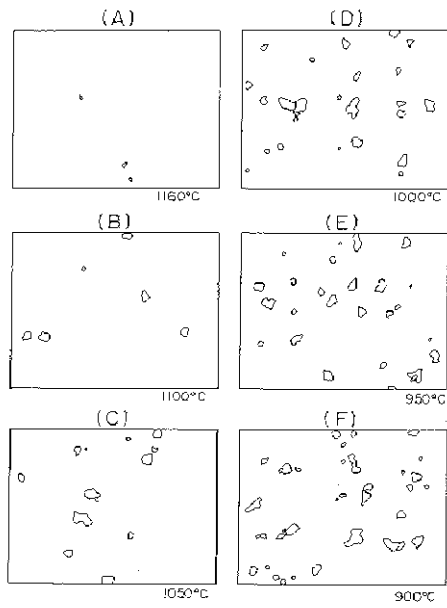
【図 7】



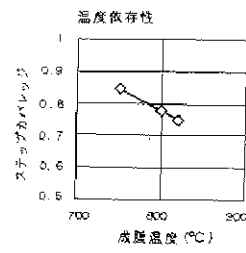
【図 8】



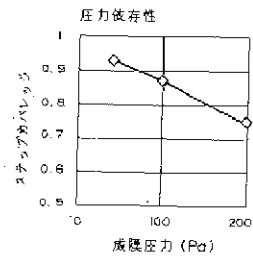
【 図 9 】



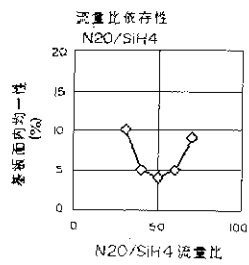
【 図 1 0 】



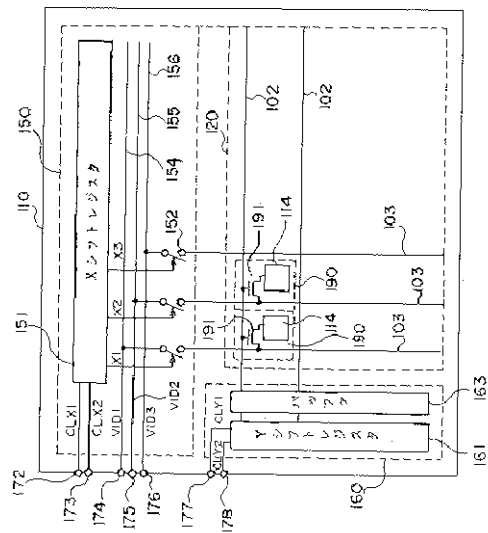
【 図 1 1 】



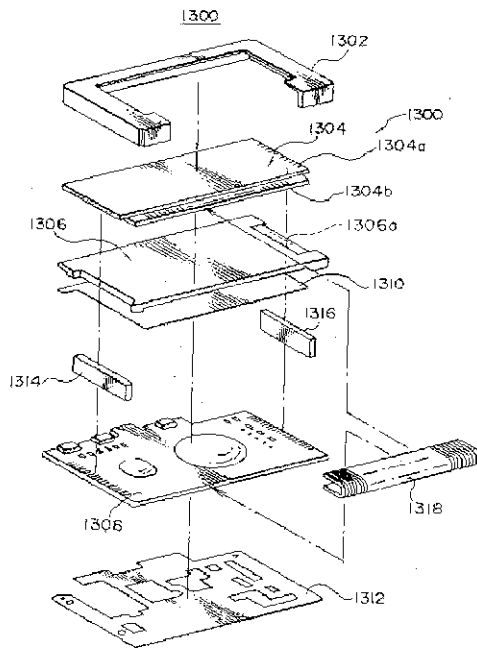
【 図 1 2 】



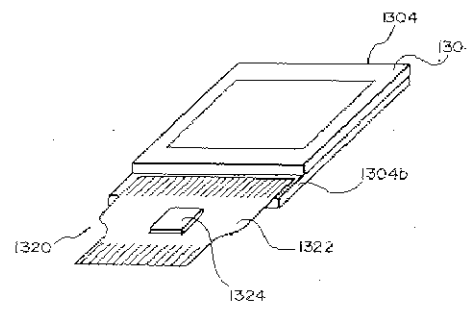
【 図 1 3 】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/36

F I

G 0 9 G 3/36

テーマコード(参考)

F ターム(参考) 2H092 GA60 JA24 JA34 JA37 JA41 JA46 JB22 JB31 JB53 JB56
JB61 KA04 KB04 MA07 MA13 MA18 MA25 MA27 MA28 NA01
NA21 PA06 PA08 PA09
2H093 NA16 NC03 NC22 NC23 NC26 NC27 NC34 NC35 ND01 ND15
ND31
5C006 BB16 BC03 BC06 BC11 BC20 BF34 EB04 EB05
5C080 AA10 BB05 DD10 DD12 DD28 FF11 JJ02 JJ06
5C094 AA09 AA23 AA25 AA53 BA03 BA43 CA19 ED15 FB14 FB15
HA08

专利名称(译)	液晶显示面板和驱动电路		
公开(公告)号	JP2004004553A	公开(公告)日	2004-01-08
申请号	JP2003032786	申请日	2003-02-10
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	山崎康二		
发明人	山崎 康二		
IPC分类号	G02F1/1345 B05B3/10 G02F1/133 G09F9/30 G09F9/35 G09G3/20 G09G3/36		
CPC分类号	B05B3/1007		
FI分类号	G02F1/1345 G02F1/133.550 G09F9/30.338 G09F9/35 G09G3/20.624.B G09G3/36		
F-TERM分类号	2H092/GA60 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB53 2H092/JB56 2H092/JB61 2H092/KA04 2H092/KB04 2H092/MA07 2H092/MA13 2H092/MA18 2H092/MA25 2H092/MA27 2H092/MA28 2H092/NA01 2H092/NA21 2H092/PA06 2H092/PA08 2H092/PA09 2H093/NA16 2H093/NC03 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND01 2H093/ND15 2H093/ND31 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF34 5C006/EB04 5C006/EB05 5C080/AA10 5C080/BB05 5C080/DD10 5C080/DD12 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ06 5C094/AA09 5C094/AA23 5C094/AA25 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/ED15 5C094/FB14 5C094/FB15 5C094/HA08 2H193/ZA04 2H193/ZF03		
代理人(译)	须泽 修		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示面板以及使用该液晶显示面板的电子设备，该液晶显示面板减少串扰的发生并且不会由于遮光层的电荷而不利地影响开关操作。 解决方案：用作多条扫描信号线的第二多晶硅层44，用作多条数据信号线的金属布线层48和液晶14在一个基板10上的每个像素位置串联连接。 并且具有具有用作源极和漏极的第一多晶硅层40和用作栅极的第二多晶硅层44的顶栅型TFT 30。 遮光层20经由绝缘层22设置在一个基板10与每个TFT 30之间，并且恒定地施加提供给TFT 30的栅极44的截止电位。 该遮光层20可以防止在TFT 30中形成光载流子，并且可以防止由于泄漏电流引起的串扰。 [选型图]图1

