

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 273364

(P2003 - 273364A)

(43)公開日 平成15年9月26日(2003.9.26)

(51)Int.Cl.⁷

識別記号

F I

テ-マコ-ト* (参考)

H 0 1 L 29/786

G 0 2 F 1/1368

2 H 0 9 2

// G 0 2 F 1/1368

H 0 1 L 29/78

618 C

5 F 1 1 0

616 T

審査請求 未請求 請求項の数 18 O L (全 7 数)

(21)出願番号 特願2002 - 75734(P2002 - 75734)

(22)出願日 平成14年3月19日(2002.3.19)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 森田 幸弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 木村 雅典

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

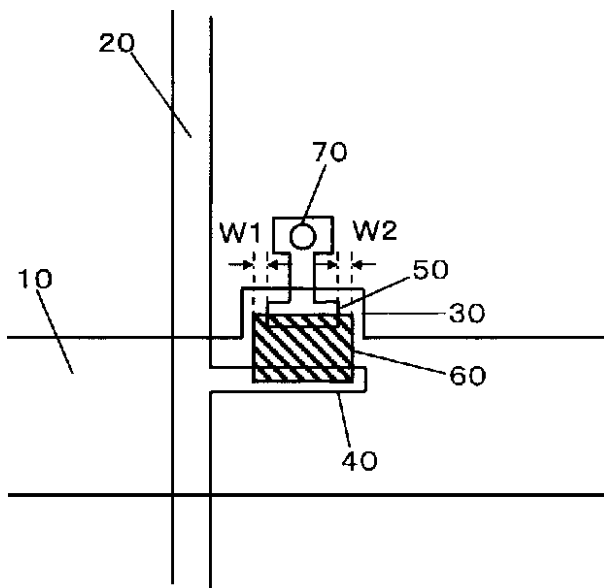
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ及び液晶表示装置

(57)【要約】

【課題】 画素トランジスタに用いる薄膜トランジスタの面積を小さくし、T F Tの遮光部の面積を小さくして開口率を大きくし、高精細でも輝度が大きく、低消費電力の液晶表示装置を実現する。

【解決手段】 はみ出し部の半導体膜を有効利用することにより、T F Tの遮光部の面積を小さくする。これによって、開口率を大きくすることができ、輝度向上及び低消費電力を実現した液晶表示装置を得ることができる。



【特許請求の範囲】

【請求項 1】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極もしくはドレイン電極のうち少なくとも一方の電極のチャンネル幅方向の端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されていることを特徴とする薄膜トランジスタ。

【請求項 2】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極のチャンネル幅方向の両側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されていることを特徴とする薄膜トランジスタ。

【請求項 3】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極のチャンネル幅方向の両側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されており、その延長部分が 3 μm 以下であることを特徴とする薄膜トランジスタ。

【請求項 4】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極のチャンネル幅方向のそれぞれの片側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されており、ソース電極とドレイン電極の半導体膜のはみ出し領域が、チャンネル方向に関して互いに向かい合う同じ側に形成されていることを特徴とする薄膜トランジスタ。

【請求項 5】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極のチャンネル幅方向のそれぞれの片側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されており、ソース電極とドレイン電極の半導体膜のはみ出し領域がそれぞれ 3 μm 以下で、且つ、チャンネル方向に関して互いに向かい合う同じ側に形成されていることを特徴とする薄膜トランジスタ。

【請求項 6】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極のチャンネル幅方向のそれぞれの片側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されており、ソース電極とドレイン電極の半導体膜のはみ出し領域が、チャンネル方向に関して互いに向かい合わず、異なる側に形成されていることを特徴とする薄膜トランジスタ。

【請求項 7】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソ

ス電極及びドレイン電極のチャンネル幅方向のそれぞれの片側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されており、ソース電極とドレイン電極の半導体膜のはみ出し領域の幅が 4 μm 以下であり、且つ、チャンネル方向に関して互いに向かい合わず、異なる側に形成されていることを特徴とする薄膜トランジスタ。

【請求項 8】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極もしくはドレイン電極のうちどちらか一方の電極のチャンネル幅方向の片側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されていることを特徴とする薄膜トランジスタ。

【請求項 9】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極もしくはドレイン電極のうちどちらか一方の電極のチャンネル幅方向の片側端部から、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されており、延長されている領域の幅が 4 μm 以下であることを特徴とする薄膜トランジスタ。

【請求項 10】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極もしくはドレイン電極のうちどちらか一方の電極のチャンネル幅方向の両側端部から、それぞれ、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されていることを特徴とする薄膜トランジスタ。

【請求項 11】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極もしくはドレイン電極のうちどちらか一方の電極のチャンネル幅方向の両側端部から、それぞれ、チャンネル領域とは逆側のチャンネル幅方向に向かって、チャンネル領域を形成する半導体膜が延長形成されており、延長されている領域の幅が 4 μm 以下であることを特徴とする薄膜トランジスタ。

【請求項 12】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極もしくはドレイン電極の内一方の電極が U 字型に形成されており、他方の電極が U 字型の内側に直線状に形成されている薄膜トランジスタにおいて、ソース電極とドレイン電極に挟まれチャンネル領域を形成する半導体膜が、U 字型電極端部から他方の直線状の電極に対して平行方向に延長形成されていることを特徴とする薄膜トランジスタ。

【請求項 13】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極もしくはドレイン電極の内一方の電極が U 字型に形成されており、他方の電極が U 字型の内側に直線状

に形成されている薄膜トランジスタにおいて、ソース電極とドレイン電極に挟まれチャンネル領域を形成する半導体膜が、U字型電極端部から他方の直線状の電極に対して平行方向に延長形成されており、延長領域の長さが3 μm 以下であることを特徴とする薄膜トランジスタ。

【請求項14】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極の内一方の電極がL字型に形成されており、他方の電極がL字型の内側に直線状に形成されている薄膜トランジスタにおいて、ソース電極とドレイン電極に挟まれチャンネル領域を形成する半導体膜が、L字型電極端部から他方の直線状の電極に対して平行方向に延長形成されていることを特徴とする薄膜トランジスタ。

【請求項15】 半導体膜とゲート電極が重なり合っている領域にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極の内一方の電極がL字型に形成されており、他方の電極がL字型の内側に直線状に形成されている薄膜トランジスタにおいて、ソース電極とドレイン電極に挟まれチャンネル領域を形成する半導体膜が、L字型電極端部から他方の直線状の電極に対して平行方向に延長形成されており、延長領域の長さが4 μm 以下であることを特徴とする薄膜トランジスタ。

【請求項16】 請求項1から請求項15記載のいずれかの薄膜トランジスタを画素トランジスタとして用いたことを特徴とする液晶表示装置。

【請求項17】 請求項1から請求項15記載のいずれかの薄膜トランジスタを画素トランジスタとして用い、且つ、ソース電極及びドレイン電極の内、長い方の電極が、ゲート電極と電氣的に接続されている走査線に近い方に形成されていることを特徴とする液晶表示装置。

【請求項18】 請求項1から請求項15記載のいずれかの薄膜トランジスタを画素トランジスタとして用い、且つ、ソース電極及びドレイン電極の内、長い方の電極が、信号線と電氣的に接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ、及び、薄膜トランジスタを画素に用いた液晶表示装置に関するものである。

【0002】

【従来の技術】薄膜トランジスタ(TFT:Thin-Film-Transistor)を用いたアクティブマトリクス型液晶ディスプレイは薄型化、軽量化、低電圧駆動可能などの長所によりカムコーダ用のディスプレイ、パーソナルコンピューター、携帯端末のディスプレイなど種々の分野で利用されており、大きな市場を形成している。特に近年では、静止画表示に加えて、動画表示やTV用途への利用が広がりつつあり、こうした動画

表示においては、TFTを用いた液晶ディスプレイでなければ対応できない。こういう状況の中、携帯電話などの携帯端末では、高精細な動画表示を実現するために、アモルファスシリコンや多結晶シリコンを半導体膜として用いたTFTを画素ごとに形成した液晶ディスプレイが開発されている。

【0003】これら携帯端末などの小型ディスプレイにおける大きな問題点のひとつは、開口率が小さく輝度が小さくなることである。ディスプレイ全体の大きさが小さいため、解像度(画素数)を固定した場合、ひとつの画素が占める面積が小さくなる。従って、ひとつの画素に占める、TFTなどの遮光部の割合が大きくなり、開口率が小さくなるのである。開口率が小さくても、その分、バックライトの光量を大きくすれば所望の輝度を得ることができるのであるが、携帯端末では、バックライトの電力を大きくすることは、即ち、使用時間の短縮につながり、商品性が小さくなる。従って、小型高精細ディスプレイを持つ携帯端末においては、開口率を大きくすることが必須である。そのアプローチのひとつとして、TFTの小型化がある。同一面積に対する電流量の増加という意味では、屈曲構造やL字型(特開平3-233431公報)などのアプローチがなされており、互いに向かい合う構造を持つソース電極とドレイン電極を互いに屈曲させることにより、単位面積あたりの実質的なチャンネル長を大きくして、電流量を大きくする取り組みがなされている。この工夫によって、画素に占めるTFTの面積は小さくなり、開口率は多少改善する。

【0004】

【発明が解決しようとする課題】しかし、近年の携帯端末に用いられる小型ディスプレイでは、さらなる高精細化、高輝度化、低消費電力化が求められており、さらなるTFTの小型化の工夫が必要となっている。

【0005】本発明は、上記の問題点を鑑みてなされたものであり、単位面積あたりの駆動能力、即ち、電流量を大きくすることにより、画素に占めるTFTの遮光面積を小さくして、開口率を大きくし、輝度向上及び低消費電力化を行うことを目的とする。

【0006】

【課題を解決するための手段】上記目的を実現するために、我々は、半導体膜のはみ出し領域に着目した。ここで言うのはみ出し領域とは、ソース電極とドレイン電極に挟まれたチャンネル領域から、チャンネル幅方向に関して、チャンネル領域とは逆側にはみ出した部分の半導体膜である。一般に言うチャンネル領域とは、ボトムゲート型のTFTの場合、ゲート電極上に絶縁膜を介して半導体膜が形成されており、その上にソース電極及びドレイン電極が形成されている構造において、ソース電極とドレイン電極に挟まれている領域を意味する。しかし、ゲート電極上に絶縁膜を介して半導体膜が形成されており、半導体膜が電氣的にソース電極及びドレイン電極と接続され

ていれば、ゲート電極のバイアスがオン状態になったとき、ゲート電極上の半導体膜にはキャリアが誘起されることになるため、ソース電極とドレイン電極に挟まれていない領域においても、キャリアは誘起されることになる。この状態でソース電極とドレイン電極の間に電位差が生じた場合、2電極に挟まれた領域だけではなく、2電極の端部近傍にも電界がしみだす（周り込む）ことになる。従って、2電極に挟まれた領域から外側にはみ出し領域がある場合、電極端部近傍では、電界のしみだし（周り込み）によって電流が流れることになる。つまり、見かけ上のチャンネル長が長くなるのである。我々は、この振る舞いに着目して、デバイスシミュレーションを行って、はみ出し領域の影響を詳細に調べた。そして、その知見に基づいて、本発明では、積極的にはみ出し領域を利用することで、画素におけるTFTによる遮光領域を減らし、開口率を向上させる。以下、本発明による課題解決の具体的な手段について述べる。

【0007】本発明の薄膜トランジスタにおいては、ゲート電極と半導体膜が平面的に重なる領域に形成された、ソース電極もしくはドレイン電極のうち少なくとも一方の電極において、チャンネル幅方向の電極の端部からチャンネル中央部とはチャンネル幅方向に関して逆方向に半導体膜を延長形成している。この延長形成された半導体膜部分に誘起されたキャリアは、ソース電極とドレイン電極間の電界のしみだしによってソース・ドレイン間に流れる電流に寄与することになり、実効的なチャンネル幅が増大する。これによって、単位面積当りの電流量が大きくなり、TFTの遮光部の面積を小さくすることができるため、開口率アップによる輝度向上及び低電力化を実現できる。

【0008】また、本発明では、ソース電極及びドレイン電極それぞれの両端部において、半導体膜のはみ出し領域を形成している。ゲート電極とソース電極及びドレイン電極間のショート防止等のために、ゲート電極とソース電極及びドレイン電極との間に半導体膜を含ませる場合は、ソース電極及びドレイン電極それぞれの両端部において、半導体膜のはみ出し領域を形成することによって、ソース電極とドレイン電極の間の電界がしみだし、はみ出し領域の半導体膜部分に電流が流れて実効的なチャンネル長が長くなる。これによって、単位面積あたりの電流量を大きくすることができ、開口率を大きくすることが出来る。また、このはみ出し領域を流れる電流は、上述したようにソース電極とドレイン電極間の電界のしみだしによるものであるため、半導体膜のはみ出し領域が3 μ m程度で電流の増加は飽和しだす。従って、本発明では、このはみ出し領域を3 μ m以下としている。

【0009】本発明では、ソース電極及びドレイン電極それぞれの電極において、一方のチャンネル幅方向端部に半導体膜のはみ出し部を設けている。どちらの画素の構

造及び画素中のTFTの配置によって、両側もしくは片側に、また、電極のどちら側の端部にはみ出し領域を作る方が開口率が大きくなるかは異なるので、それぞれの場合に応じて、はみ出し領域の形成部を変化させている。はみ出し領域の幅に関しては、はみ出し領域がチャンネル方向に関して向かい合うように形成される場合は3 μ m以下、向かい合わないよう形成される場合は、4 μ m以下とする。その理由については実施形態で述べる。

【0010】また、本発明では、ソース電極もしくはドレイン電極のうち、一方の電極に関しては、はみ出し部を形成せず、他方の電極のチャンネル幅方向の端部にはみ出し領域を形成している。画素のパターンやTFTの配置によって、電極の片側のみはみ出し部を形成しても良いし、両側に形成しても良い。はみ出し領域幅は同様にして4 μ m以下としている。

【0011】本発明では、ソース電極もしくはドレイン電極のうち一方がU字型形状をしており、他方の電極がU字型の内部に直線状に形成されているTFTにおいて、U字型電極端部から、U字型電極の内側に形成された直線状の電極に対して平行方向に半導体膜のはみ出し領域を形成している。U字型電極にすることにより、単位面積当りの電流量が大きくなっている状態で、さらにはみ出し領域を形成することにより、より電流量を大きくすることが出来る。はみ出し領域の幅は4 μ m以下としている。

【0012】また、本発明では、ソース電極もしくはドレイン電極の内、一方の電極がL字型形状をしており、他方の電極がL字型の内部に直線状に形成されているTFTにおいて、L字型電極端部からL字型電極の内部に形成された直線状電極に対して平行方向に半導体膜のはみ出し部を形成している。L字型電極にすることにより、単位面積当りの電流量が大きくなっている状態で、さらにはみ出し領域を形成することにより、より電流量を大きくすることが出来る。はみ出し領域の幅は4 μ m以下としている。

【0013】本発明による液晶表示装置では、上述した本発明によるはみだし領域を利用して単位面積当りの電流量を大きくしたTFTを画素トランジスタとしている。これによって、画素に占めるTFTの遮光領域を小さくすることができるため開口率が大きくなり、輝度向上及び低消費電力を実現した液晶表示装置を得ることができる。

【0014】さらに、本発明では、ソース電極及びドレイン電極のうち長い方の電極がゲート電極と電氣的に接続されている走査線に近い場所に形成されている。短い方の電極が画素ITO側に配置されるため、光の透過領域を大きくすることができ、開口率を大きくすることができる。

【0015】また、本発明では、ソース電極及びドレイ

ン電極のうち長い方の電極が、信号線と電氣的に接続している。短い方の電極が画素 ITO と電氣的に接続されるため、光の透過領域を大きくすることができ、開口率を大きくすることができる。

【0016】

【発明の実施の形態】以下、本発明の薄膜トランジスタ及び液晶表示装置について図面を用いてより具体的に説明する。

【0017】（実施の形態 1）図 1 は実施の形態 1 の液晶表示装置におけるアレイ基板上の 1 画素の電極構成を表す平面図である。図 10 は従来の画素構成の一例を示す同様な平面図である。従来の構成ではチャンネル幅はチャンネル幅方向の半導体膜の幅に等しい。しかし、このような構成をとる場合、ゲート電極 30 は、ドレイン電極 50 のチャンネル幅方向の端部から合わせてマージン分だけ距離をおいて形成しなければならず、その分、遮光領域が大きくなり、開口率が低下する。そこで、本発明では、図 1 のようにドレイン電極 50 を短くし、ゲート電極 30 の面積を小さくした。ゲート電極 30 の減少分がそのまま遮光領域の減少分になり、その分開口率が大きくなる。

【0018】従来、図 1 の薄膜トランジスタのようにはみだし領域を持つ薄膜トランジスタについて、 W_1 、 W_2 の部分のはみ出し領域が、どのような効果を及ぼすのかが明らかではなかった。しかし、遮光領域を小さくして開口率を上げるためには、図 1 のようにドレイン電極 50 を短くする必要がある。ゲート電極 30 上に半導体膜 60 があり、その半導体膜 60 が電氣的にソース電極 40 やドレイン電極 50 に接続されていれば、ゲート電極のバイアスに応じて半導体膜 60 にはキャリアが誘起されるはずである。さらに、キャリアが誘起されれば、面内方向の電界が生じ、電流に寄与するはずである。このように考えると、ドレイン電極 50 の長さ（幅）だけではなく、それ以外の領域の半導体膜も電流に寄与すると考えられる。しかし、どの程度の電界がしみだして、はみ出し領域にどの程度の電流が流れるかは、単純に分かる問題ではない。ポイントは、面内方向の電界がどれだけしみだすか（周り込むか）である。そこで、我々は、3次元デバイスシミュレータを用いて、はみ出し領域の効果を調べた。 $W_1 = W_2 = W$ として、 W を変えたときの $I-V$ 特性を計算し、実効的なチャンネル幅を見積もった。実効的なチャンネル幅は、はみ出し領域 W がゼロのときのオン電流値（ $V_G = 20V$ 、 $V_D = 6V$ ）を基準にして、そこからのオン電流値のずれをチャンネル幅の変化分に押し込んだ。その計算結果が図 2 である。ドレイン電極の長さがチャンネル幅になるとしたときの特性が実線であり、破線が実際の構造における計算結果である。ドレイン電極を短くしていくと最初はほとんど実効チャンネル幅が減少しないが、 W が大きくなっていくと、実効チャンネル幅の減少が大きくなる。従って、ある

程度小さい W に対しては、実効チャンネル幅はあまり減少せず、ドレイン電極を短くできるのである。例えば、

W が $2\mu m$ の場合では、実効チャンネル長の減少分はわずか $1\mu m$ であるが、ドレイン電極は両側で $4\mu m$ 短くできるのである。ドレイン電極が短くなった分、ゲート電極を小さくすることができるので、その分開口率が大きくなり、輝度が向上することになる。また、その分、低消費電力にもつながる。特に、携帯電話などに用いる小型ディスプレイにおいて高精細化が進むと、ひとつの画素が占める面積が小さくなるため、薄膜トランジスタの面積を小さく出来る効果は大きくなる。はみ出し領域、即ち、この場合でいうと W はどのくらいの値が望ましいかは、トータルの画素設計によるが、図 2 の結果からすると、 $4\mu m$ 以下程度にするべきだと考えられる。

【0019】ソース電極もしくはドレイン電極からの半導体膜のはみ出し領域を利用したデバイス構造は様々なものが可能である。図 3 に示すように、ソース電極とドレイン電極のそれぞれ一方の互いに向き合う端部にはみ出し領域を形成しても良いし、図 4 に示すように、互いに向かい合わない端部で、それぞれはみ出し領域を形成しても良い。また、図 5 に示すようにソース電極もしくはドレイン電極の一方の電極の片側の端部にのみはみ出し領域を形成しても良いし、図 6 に示すように、ソース電極及びドレイン電極の両電極の両側の端部にはみ出し領域を形成しても良い。さらに、図 7 や図 8 に示すように、U 字型や L 字型に電極を屈曲させた構造においてははみ出し領域を形成すると、屈曲構造による実効的なチャンネル長の増加分に加えて、はみ出し領域による増加分が加わり、より大きな電流を流すことができるため、その分薄膜トランジスタの小型化が可能となり、開口率を大きくすることができる。

【0020】適切なはみ出し領域パターンとしては、図 1、図 4、図 5、図 8 のように、はみ出し領域部にソース電極もしくはドレイン電極のうち一方の電極が存在する場合と、図 3、図 6、図 7 のように、両方の電極が存在しない場合がある。前者の場合は、はみ出し領域の影響としては、図 2 で計算した構造の場合と定性的に同じであるので、図 2 の計算結果から判断して、はみ出し領域は $4\mu m$ 以下程度にしておいた方が良いと考えられる。それでは、後者の場合はどうであろうか。図 6 に示す構造において、 $W_7 = W_8 = W$ として W を変えて実効チャンネル長を計算した結果を図 9 に示す。横軸は W であり、縦軸は $W = 0$ の状態からどれだけ実効チャンネル幅が増加したかを表すチャンネル幅増加分である。図 9 を見ると、最初（ W が小さいところ）は、実効チャンネル幅の増加が大きいが、 W が大きくなっていくと、しだいに実効チャンネル幅の増加が少なくなっていく。これは、はみ出し部における面内の電界強度がソース電極及びドレイン電極から遠のくに従って小さくなっている

からである。従って、 W を大きくしてもあまり実効チャネル幅が大きくなることはないことになる。例えば、 W が $2\mu\text{m}$ の場合、実効チャネル幅が $2\mu\text{m}$ 程度増加するが、 W が $5\mu\text{m}$ になると、実効チャネル幅は $3\mu\text{m}$ 強しか増加しない。どの程度の W が適切かはそれぞれのパネルによって異なるが、 $3\mu\text{m}$ 以下程度にするのが適当であると考えられる。

【0021】このように、図2及び図9に示した計算結果から、図1、図4、図5、図8に示す構造では、はみ出し領域は $4\mu\text{m}$ 以下にして、図3、図6、図7の構造

の場合は、はみ出し領域は $3\mu\text{m}$ 以下にした方が良い。
【0022】図1に示したように、ソース電極とドレイン電極の長さが異なる場合は、長い方の電極を走査線側に、即ち、短い方の電極を画素側に形成するとゲート電極の面積を小さくすることができる。また、ドレイン電極を画素の透明電極と電気的に接続する(ソース電極を信号線と電気的に接続する)配置にすることにより、ドレイン電極が透明電極側に配置することになり、はみ出し部分を利用してドレイン電極を短くすることにより、ゲート電極の面積が小さくなり、開口率を大きくするこ

とができる。
【0023】本実施形態で説明した薄膜トランジスタは、ボトムゲート型の薄膜トランジスタであり、半導体膜は非晶質シリコンでも多結晶シリコンでも良い。また、チャネル保護型でもチャネルエッチ型でも同様に実施可能である。

【0024】

*【発明の効果】以上のように本発明によれば、はみ出し領域の半導体膜を有効に使うことにより、薄膜トランジスタによる遮光部を小さくすることができ、開口率が大きくなることによって輝度が向上し、消費電力が小さくなる。

【図面の簡単な説明】

【図1】実施の形態1の液晶表示装置における画素構成を表す平面図

【図2】はみ出し領域を持つ薄膜トランジスタの特性の計算結果を示す図

【図3】はみ出す領域を持つ薄膜トランジスタの平面図

【図4】はみ出す領域を持つ薄膜トランジスタの平面図

【図5】はみ出す領域を持つ薄膜トランジスタの平面図

【図6】はみ出す領域を持つ薄膜トランジスタの平面図

【図7】はみ出す領域を持つ薄膜トランジスタの平面図

【図8】はみ出す領域を持つ薄膜トランジスタの平面図

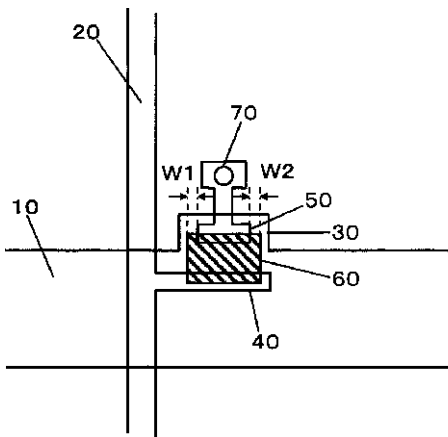
【図9】はみ出し領域を持つ薄膜トランジスタの特性の計算結果を示す図

【図10】従来の液晶表示装置の画素構成を表す平面図

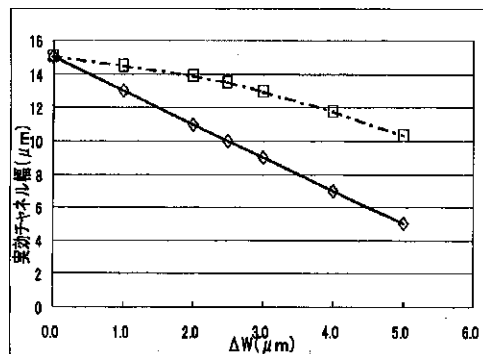
【符号の説明】

- 10 走査線
- 20 信号線
- 30 ゲート電極
- 40 ソース電極
- 50 ドレイン電極
- 60 半導体膜
- * 70 コンタクトホール

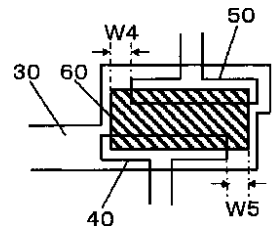
【図1】



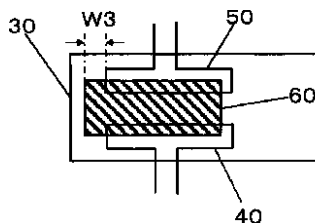
【図2】



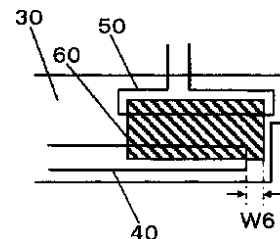
【図4】



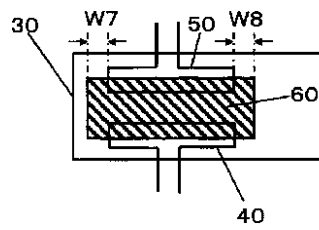
【図3】



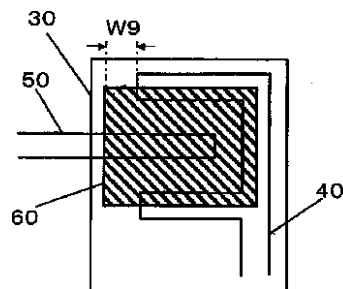
【図5】



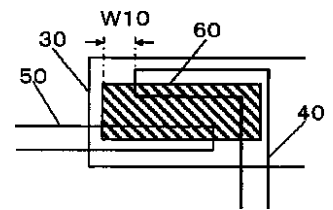
【図6】



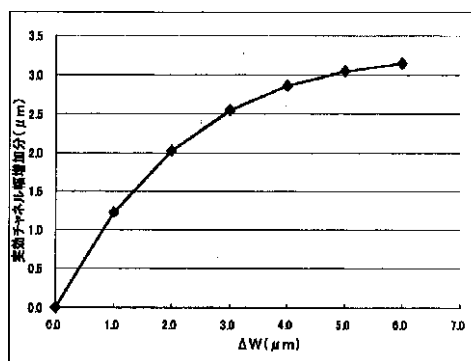
【図7】



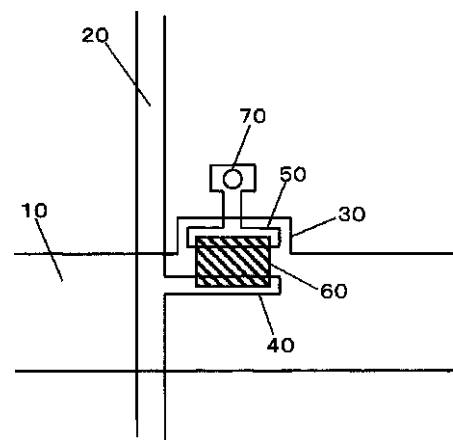
【図8】



【図9】



【図10】



フロントページの続き

F ターム(参考) 2H092 JA26 JA46 JB05 JB13 JB38
 JB51 KA04 KA05 KA12 KA18
 KA22 MA05 MA08 MA13 MA17
 MA28 MA35 MA37 NA07 NA17
 NA25
 5F110 AA07 AA09 BB01 CC03 CC07
 GG02 GG13 GG15 GG26 HM04
 HM05 HM12 NN12 NN72

专利名称(译)	薄膜晶体管和液晶显示器件		
公开(公告)号	JP2003273364A	公开(公告)日	2003-09-26
申请号	JP2002075734	申请日	2002-03-19
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	森田幸弘 木村雅典		
发明人	森田 幸弘 木村 雅典		
IPC分类号	G02F1/1368 H01L29/786		
FI分类号	G02F1/1368 H01L29/78.618.C H01L29/78.616.T		
F-TERM分类号	2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB38 2H092/JB51 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KA22 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA28 2H092/MA35 2H092/MA37 2H092/NA07 2H092/NA17 2H092/NA25 5F110/AA07 5F110/AA09 5F110/BB01 5F110/CC03 5F110/CC07 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG26 5F110/HM04 5F110/HM05 5F110/HM12 5F110/NN12 5F110/NN72 2H192/AA24 2H192/CB05 2H192/CB45 2H192/CB52 2H192/CC02 2H192/CC42 2H192/EA01		
外部链接	Espacenet		

摘要(译)

解决的问题：为了实现一种液晶显示装置，该液晶显示装置具有用于像素晶体管的薄膜晶体管的小面积，用于TFT的遮光部分的小面积以增加开口率，甚至在高清晰度和低功耗下也具有大的亮度。通过有效地利用突出部分中的半导体膜来减小TFT的遮光部分的面积。结果，可以增加开口率，并且可以获得具有改善的亮度和低功耗的液晶显示装置。

