

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 162640

(P2002 - 162640A)

(43)公開日 平成14年6月7日(2002.6.7)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 2
G 0 9 F 9/00	338	G 0 9 F 9/00	5 C 0 9 4
	9/30	9/30	5 F 0 3 3
	338	338	5 F 1 1 0
	9/35	9/35	5 G 4 3 5

審査請求 未請求 請求項の数 8 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2001 - 113424(P2001 - 113424)

(22)出願日 平成13年4月12日(2001.4.12)

(31)優先権主張番号 2000 - 60539

(32)優先日 平成12年10月14日(2000.10.14)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李 仲 ▲へ▼

大韓民国京畿道龍仁市起興邑農西里山24番地

(74)代理人 100094145

弁理士 小野 由己男 (外 1 名)

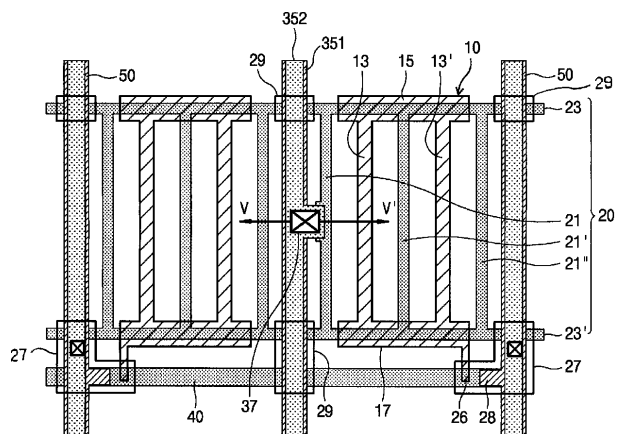
最終頁に続く

(54)【発明の名称】 横電界型液晶表示装置及びその製造方法

(57)【要約】

【課題】 横電界型液晶表示装置及びその製造方法を提供する。

【解決手段】 画素の共通電極 2 0 を横方向に連結する各画素共通電極ライン 2 3 , 2 3 ' に共通電圧を印加する配線が、画素領域の両周辺部 (3 1 , 3 3) だけでなく中央部 (3 5) にも形成される。そして、中央部の共通電圧配線 3 5 の配置空間を確保するために、共通電圧配線 3 5 を基準にして、左側画素に連結されるデータライン 5 0 は該当画素の左側に、右側画素に連結されるデータライン 5 0 ' は該当画素の右側に形成される。従って、中央部の共通電圧配線 3 5 を基準にして、左右画素構成が対称されるように形成される。



【特許請求の範囲】

【請求項 1】画素領域上で第 1 方向に各々配置されるゲートラインと、
前記画素領域上で前記第 1 方向に垂直する第 2 方向に各々配置されるデータラインと、
前記ゲートラインと前記データラインが交差する各画素内に各々形成される画素電極と、
前記画素領域内に各々形成される共通電極と、
前記画素領域の中央部に前記第 2 方向に配置され、前記共通電極に共通電圧を供給するための第 1 共通電圧配線と、を含むことを特徴とする液晶表示装置。

【請求項 2】前記共通電圧配線を基準にして、左側に位置するデータラインは該当画素の左側に各々配置され、右側に位置するデータラインは該当画素の右側に各々配置されることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】前記画素領域の両端部のうち少なくとも 1 つで前記第 2 方向に各々配置され、前記共通電極に前記共通電圧を供給するための第 2 共通電圧配線又は第 3 共通電圧配線をさらに含むことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 4】前記第 1 乃至第 3 共通電圧配線のそれぞれは、少なくとも一端が、1 つのソース駆動パッドと連結されることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 5】基板に第 1 導電層を積層し、パターンニングしてゲートラインと共通電極ラインを同時に形成する第 1 段階と、

前記ゲートライン及び前記共通電極ライン上へゲート絶縁膜を積層する第 2 段階と、

前記ゲート絶縁膜上半導体層を積層し、パターンニングして活性領域を形成する第 3 段階と、

前記活性領域が形成された基板に第 2 導電層を積層し、パターンニングしてソース/ドレイン電極を有する薄膜トランジスタ構造を形成すると共に、前記ドレイン電極と連結される画素電極及び前記ソース電極と連結されるデータラインを形成する第 4 段階と、

前記データラインが形成された基板に絶縁層保護膜を形成し、前記共通電極の中央部及び両端部を表すコンタクトホールを形成する第 5 段階と、

前記コンタクトホールが形成された基板に第 3 導電層を積層し、パターンニングして前記コンタクトホールを通じて前記共通電極の両端部及び中央部において各共通電極を電氣的に互いに接続させることによって、前記データラインと平行に画素領域の中央部と両端部に 3 つの共通電圧配線を各々形成する第 6 段階と、を含むことを特徴とする液晶表示装置の製造方法。

【請求項 6】前記第 3 段階は、前記半導体上に不純物がドーピングされた半導体層を積層する第 7 段階をさらに含み、前記ドーピングされた半導体層は前記半導体層と

共にパターンニングされることを特徴とする、請求項 5 に記載の液晶表示装置の製造方法。

【請求項 7】前記第 4 段階は、前記第 2 導電層と共に前記ドーピングされた半導体層をパターンニングして前記ソース電極と前記ドレイン電極を電氣的に分離させることを特徴とする、請求項 5 に記載の液晶表示装置の製造方法。

【請求項 8】前記第 4 段階は、前記データラインと同一な物質で前記画素領域の中央部及び両端部のうち少なくとも 1 つの所以上、共通電圧配線を形成する段階を含むことを特徴とする、請求項 5 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置 (Liquid Crystal Display Device) に関し、さらには横電界 (Lateral Electric Field) 型又は IPS (In-Plane Switching) 型薄膜トランジスタ液晶表示装置に関する。

【0002】

【従来の技術】薄膜トランジスタ液晶表示装置のパネルは、普通 2 つの基板の間に液晶層が存在し、基板のうち、1 つに液晶層が印加される電界を調節するために画素毎に薄膜トランジスタが形成される。各々の薄膜トランジスタはゲート、ソース、ドレインという普通の MOS (Metal Oxide Silicon) トランジスタ構成を有し、画素は基板上に行列に配置される。

【0003】従って、薄膜トランジスタも行列に配置され、各々のゲートには行に設置されたゲートラインのうち 1 つがゲート電圧を印加し、各々のソースには列に配置されたデータラインのうち 1 つが連結される。各々のドレインには 1 つずつ画素電極が連結される。薄膜トランジスタのスイッチング作用に従って、画素電極と対応される共通電極の間で電界の変化を発生させて液晶の配列を調節する。液晶は配列に従って偏光板から偏光された光を通過させたり、遮蔽させたりする。

【0004】普通、液晶表示装置の共通電極は薄膜トランジスタが形成される基板の相対基板に全体的に形成されて、各画素の画素電極と液晶を介して、対向するように形成される。しかし、このような構成は液晶表示装置の視野角を狭くする問題がある。

【0005】このような視野角の問題を解決するために、横電界型液晶表示装置を導入する。横電界型液晶表示装置の例が米国特許第 5,907,379 号及び第 5,949,509 号に開示されている。横電界型液晶表示装置で液晶は電界が印加されると、基板面と平行に配列される。このような液晶の配列のために画素電極と共通電極は、図 1 に示されたように、各画素で電極がバー (bar) 形状に横方向に交代に配列される。

【0006】図1は、従来の、横電界型薄膜トランジスタ液晶表示装置の画素内の電極構成の一般的な形態を示す平面図である。図1に示すように、この液晶表示装置は、活性領域27に配置されてデータライン50に接続されたソース電極28と、これと分離されて対向して配置されたドレイン電極26とからなる薄膜トランジスタを備えている。図1を参照すると、横電界型薄膜トランジスタ液晶表示装置の共通電極20は画素毎に1つ又は2つ以上で縦方向（又は、画素の四角形開口の一縦辺と平行するように）に配列される共通電極バー（common electrode bar：21, 21', 21''）を有する。

【0007】画素電極10も、1つ又は2つ以上の縦方向に配列された画素電極バー13, 13'を有し、共通電極バー21, 21', 21''と平行し、画素内で横方向に交互に配列される。画素内で共通電極バー21, 21', 21''は電氣的に互いに連結され、画素電極10の場合にも、同様に画素電極バー13, 13'が画素内で互いに連結される。画素電極バー13, 13'の連結は、画素電極バー13, 13'の上段を互いに連結するように横方向に配列される上部導電部材15と、下段を互いに連結するように横方向に配列される下部導電部材17でなされる。この部材15, 17と画素電極バー13, 13'とが共に画素電極10を構成する。共通電極バー21, 21', 21''の連結は、共通電極バー21, 21', 21''の上段を互いに連結するように横方向に配列される共通電極ライン23と、下段を互いに連結するように横方向に配列される共通電極ライン23'でなされる。これらの共通電極ライン23, 23'と共通電極バー21, 21', 21''とが共に共通電極20を構成する。

【0008】共通電極20は画素内だけでなく全体画素領域にかけて電氣的に連結されなければならないので、各画素の共通電極20を連結する手段が必要である。

【0009】図2は、従来の横電界型薄膜トランジスタ液晶表示装置のパネルで共通電極20の電氣的な接続を示す。図2に示すように、各データライン50、50'はデータ駆動ICのパッドに接続されており、各ゲートライン40はゲート駆動ICのパッド70に接続されている。図1及び図2を参照すると、横電界型薄膜トランジスタ液晶表示装置はゲートライン40と平行に形成される共通電極20を備える。便宜のため、図2で共通電極20は1つの線で表示されているが、実は、図1に示されたように2つの横方向に配列された共通電極ライン23, 23'に縦方向に配列された多数の共通電極バー21, 21', 21''の両端が接続されて、横方向に配置された梯子のような形態を有する。前述のように、多数の共通電極バー21, 21', 21''は、画素毎に1つ又は2つ以上が配置されて、画素電極バー13, 13'と横方向に交代に配列され、画素領域の液晶層に

横電界を印加する。

【0010】一方、全ての画素の共通電極20が、できるだけ同一な電圧を有するようにするために共通電圧は共通電極20を通じて、より詳細には、横方向に形成された共通電極ライン23, 23'を通じて横方向に連結され、同時に縦方向に連結される必要がある。従って、各共通電極20を電氣的に接続させる共通電圧配線（common shorting bar）31, 33がデータライン50, 50'と平行に縦方向に設置される。各画素の共通電極ライン23, 23'は共通電極バー21, 21', 21''によって相互連結されているので、各共通電極ライン23, 23'のいずれか1つの終端に共通電圧を印加しても、各画素の共通電極には共通電圧が供給され得る。

【0011】しかし、実は、各共通電極ライン23, 23'は線抵抗を有するので、1つの共通電圧配線（31又は33）だけを使用する場合、共通電圧配線（31又は33）から遠い位置にある画素の共通電極バー21, 21', 21''に印加される電圧は要求される電圧に比べて低い。このような電圧降下はフリッカー（flicker）又はクロストーク（crosstalk）等が発生させて、画質の低下を招来する。

【0012】前述の問題を解決するために共通電極ラインの線幅を拡大できるが、このような場合、開口率の減少又はレイン設置空間確保の困難等が発生する。又、他の解決方法として、列に対応される数で共通電圧配線を設置できるが、このような場合、別途の露光工程を実施するので製造工程段階が増加し、ライン設置空間確保の困難及び開口率の減少等が発生する。このような問題点を解決し、効果的に共通電圧を各画素に印加できるようにするために、図2に示されたように、普通、2つの共通電圧配線31, 33が画素領域の両周辺部に各々形成される構造が使用されつつある。

【0013】しかし、このような共通電圧配線構造も最近の大面積高解像度液晶表示装置では画素領域の中央部分と周辺部分の間に大きな電圧差を誘発するので、画質の低下を招来する。

【0014】

【発明が解決しようとする課題】従って、本発明の目的は、横電界型薄膜トランジスタ液晶表示装置で画素領域上の各位置に従う共通電圧の降下による画質低下を改善できる薄膜トランジスタ液晶表示装置及びその製造方法を提供することである。

【0015】本発明の他の目的は、工程上の負担及び開口率の低下なしに、共通電圧の改善された分布を有する薄膜トランジスタ液晶表示装置及びその製造方法を提供することである。

【0016】本発明の他の目的は、大面積高解像度液晶表示装置に適合な共通電極構造及びその形成方法を提供することである。

【0017】

【課題を解決するための手段】前述の目的を達成するための本発明の横電界型薄膜トランジスタ液晶表示装置は、基板、液晶層、画素電極、ゲートライン及びデータラインを備える。同時に、各画素の共通電極部分を含みながら横方向に連結されて共通電極部分に共通電圧を印加するようになされた共通電極ラインがあり、データラインと平行に形成され、共通電極と電気的に接続されて共通電極に共通電圧を供給する共通電圧配線がある。

【0018】望ましい実施形態では、液晶表示装置は画素領域に各々行列に形成される複数の薄膜トランジスタと3つの共通電圧配線とを備える。共通電圧配線は画素領域の中央部と両側周辺部に各々形成される。望ましくは、3つの共通電圧配線のうち、中央部に形成される共通電圧配線を基準にして、左側に位置する画素の薄膜トランジスタに連結されるデータラインは該当画素の左側に設置される。又、右側に位置する画素の薄膜トランジスタに連結されるデータラインは該当画素の右側に設置される。これによって、画素領域の中央部に空間が確保されるので、設置空間の負担及び開口率の減少なしに、確保された空間内に共通電圧配線を形成できる。

【0019】又、共通電圧配線はドーピングされた半導体層に比べて高電導性のメタル層を備え、線幅はできるだけ広く形成するのが望ましい。そして、共通電圧配線の両端部は各々ソースドライバICの共通電圧印加パッドと連結されるのが望ましい。このような構成によって、共通電圧配線の自体線抵抗に従う電圧降下を低め得る。

【0020】共通電圧配線のうち、画素領域の中央部に形成された共通電圧配線は一端で2つのソースドライバICの共通電圧印加パッドと連結され得る。これは冗長(redundancy)を高めて信頼性を高め得る。

【0021】一方、前述の目的を達成するための本発明の横電界型薄膜トランジスタ液晶表示装置の形成方法は、基板に第1導電層を積層し、パターニングしてゲートラインと共通電極ラインを同時に形成する段階と、ゲートライン及び共通電極ライン上へ基板にゲート絶縁膜を積層する段階と、ゲート絶縁膜上に半導体層を積層し、パターニングして活性領域を形成する段階と、活性領域が形成された基板に第2導電層を積層し、パターニングしてソース/ドレイン電極を有する薄膜トランジスタ構造を形成し、ドレイン電極と連結される画素電極及びソース電極と連結されるデータラインを形成する段階と、データラインが形成された基板に絶縁層保護膜を形成し、共通電極の中央部及び両端部を表すコンタクトホールを形成する段階と、コンタクトホールが形成された基板に第3導電層を積層し、パターニングしてコンタクトホールを通じて共通電極の両端部及び中央部において各共通電極が互いに電気的に接続される3つの共通電圧配線を形成する段階とを含む。従って、共通電圧配線は

データラインと平行に形成される。

【0022】本発明の方法において、オームコンタクト(ohmic contact)のために不純物がドーピングされた半導体層を採択する場合、活性領域を形成する段階で、半導体層を積層した後、不純物がドーピングされた半導体層を積層し、半導体層と共にパターニングして、第2導電層をパターニングする過程で不純物がドーピングされた半導体層と共にパターニングしてソース及びドレインを電気的に分離させる過程を含む。

【0023】本発明の方法において、データラインを形成する段階で、データラインと同一な物質でなされた第2導電層共通電圧配線を共に形成し、コンタクトホールを形成する段階で第2導電層共通電圧配線の一部が共通電極の中央部及び両端部と共に露出されるようにする場合、コンタクトメタル層のパターニングによってコンタクト層に共通電圧配線を形成し、コンタクトを通じて第2導電層に形成された共通電圧配線と連結することによって共通電圧配線の導電性を高め得る。

【0024】

【発明の実施の形態】以下、本発明による横電界型液晶表示装置及びその製造方法を添付した図面を参照して詳細に説明する。

【0025】図3は、本発明による横電界型薄膜トランジスタ液晶表示装置のパネルレイアウトを概略的に示す平面図である。図3によると、各ライン20, 40, 50, 50'の両端はソース駆動IC(Integrated Circuit)のパッド60又はゲート駆動ICのパッド70と接続される。共通電圧配線が画素領域両側周辺部だけに形成された従来とは違って、図3に示すように、画素領域の両端部に各々形成される2つの共通電圧配線31, 33に加えて、画素領域中央部に共通電圧配線35がさらに形成される。共通電圧配線31, 33, 35は縦方向に配列され、互いに交差する共通電極20と各々電気的に接続される。

【0026】各共通電圧配線31, 33, 35は、第1共通電圧配線層351と、その上に形成された第2共通電圧配線層352で構成される。第2共通電圧配線層352は、第1及び/又は第2共通電圧配線層351, 352と共通電極20とを電気的に連結するコンタクトプラグ37を有する。コンタクトプラグ37は、共通電圧配線31, 33, 35が連結される各共通電極20の中央部及び両端部に位置する。

【0027】図4は、本発明の横電界型薄膜トランジスタ液晶表示装置の1つの基板のうち、共通電圧配線が形成される画素領域中央部で共通電圧配線及び左右の画素1つずつを含む領域の拡大平面図であり、図5は、図4の基板領域をV-V'線に沿って切断した部分の断面図である。

【0028】図6A乃至図6Eは、図4のV-V'切取部の横断面を工程段階に従って示す断面図である。以

下、図 6 A 乃至図 6 E、そして図 4 を参照して、本発明による液晶表示装置の製造装置を詳細に説明する。

【0029】図 6 A を参照すると、まず、基板 100 に第 1 導電層を積層する。そして、第 1 導電層をパターンニングして共通電極バー 21, 21', 21'' を含む共通電極 20 を形成する。ここでは、共通電極バー 21, 21', 21'' 部分だけが示されているが、図 4 に示された共通電極ライン 23, 23' 及びゲートライン 40 も共通電極バー 21, 21', 21'' と共に形成される。第 1 導電層を積層する前にブロッッキング層 (blocking layer) を形成することもできる。第 1 導電層は単一メタル層構造 (21a 又は 21b) 又は 2 重メタル層構造 (21a 及び 21b) を有することができる。2 重メタル層構造の場合、第 1 導電層はクロム層 (下部層 21a) 及びアルミ層 (上部層 21b)、又は、クロム層 (下部層 21a) 及びアルミ合金層 (例えば、Al - Nd) (上部層 21b) で構成されるのが望ましい。単一メタル層構造の場合、第 1 導電層はアルミ層、クロム層、アルミ合金層 (例えば、Al - Nd) のような単一金属層で構成され得る。

【0030】共通電極 20 とゲートライン 40 とは、互いに平行に形成されて、相互交差しないので、互いに電氣的に絶縁状態を維持できる。図 4 に示されたように、画素毎に共通電極は互いに横方向に配列されるので、全体画素領域上で共通電極 20 は梯子を横方向に配置した形状である。又、共通電極バー 21, 21', 21'' は、画素のブラックマトリックス (図示しない) と重ねない開口部に設置される。本実施形態では、図 4 に示されたように、共通電極バー 21, 21', 21'' は画素毎に 3 つずつ形成される。

【0031】図 6 B 及び図 4 を参照すると、共通電極バー 21, 21', 21'' 及び共通電極ライン 23, 23' でなされる共通電極 20 上には、ゲート絶縁膜 110 が積層される。このゲート絶縁膜 110 としては、例えば CVD (chemical vapor deposition) によって形成されたシリコン窒化膜を使用できる。ゲート絶縁膜 110 が形成された基板 100 上にはトランジスタのチャンネルを形成する半導体層として非晶質シリコン層が積層される。そして、オームコンタクト層に N⁺ドーピングされた非晶質シリコン層が積層される。このシリコン層はパターンニングされて活性領域 27 を形成する。ラインが交差する所では、図 4 のように、半導体基板 29 を残して導線の間の寄生キャパシタンスを減少させるのが望ましい。

【0032】図 6 C 及び図 4 を参照すると、活性領域 27 が形成された基板 100 の全面に第 2 導電層を積層する。第 2 導電層も、図 1 導電層の形成と同様に、クロム層 (下部層 13a) とアルミ合金層 (上部層 13b) の 2 重メタル層 13 で形成され得る。そして、第 2 導電層をパターンニングして画素毎に薄膜トランジスタのソース

ノドレイン電極 28, 26 を形成する。これと同時に、図 4 のように、ドレイン電極 26 に連結される画素電極 10 が形成される。画素電極 10 は普通の横電界型と同様に縦方向に 3 つの共通電極バー 21, 21', 21'' の間に 1 つずつ配置される 2 つの画素電極バー 13, 13' でなされ、画素電極バー 13, 13' の両端を連結するように横方向に配置される上下導電部材 15, 17 を有する。下部導電部材 17 には一部が突出されて薄膜トランジスタのドレイン電極 26 と連結される。一方、ソース電極 28 は同時に形成されるデータライン 50 で突出された形態をなす。ソースノドレイン電極 28, 26 は活性領域 27 上で分離され、分離されたギャップ (gap) をなす領域が薄膜トランジスタのチャンネルになる。ソースノドレイン電極 28, 26 の分離のためには第 2 導電層と共に不純物がドーピングされた非晶質シリコン層もパターンニングされて除去されなければならない。

【0033】図 3 を参照すると、画素領域の中央部に縦方向に配置される 1 つの仮想線を基準にして、右側の画素に連結されるデータライン 50 は該当画素の右側に形成され、左側の画素に連結されるデータライン 50' は該当画素の左側に形成されるようにする。従って、中央部仮想線の領域にはデータラインが設置されない。空いている領域にデータライン 50, 50' と同一な物質層で、図 4 及び図 6 C の中央部に形成された第 1 共通電圧配線層 351 が形成される。第 1 共通電圧配線層 351 は、データライン 50, 50' と平行であり、できるだけ周辺画素の開口部と重ねない範囲でデータライン 50, 50' に比べて線幅を大きく形成する。基板 100 の横方向両端部 (31, 33 に対応する位置) にも、データライン 50, 50' と同一な物質で共通電圧配線層を形成してもよい。

【0034】図 6 D と図 4 を参照すると、ソースノドレイン電極 28, 26、第 1 共通電圧配線層 351、そして画素電極 10 が形成された基板 100 に保護膜 120 を積層する。保護膜 120 は絶縁性であり、シリコン窒化膜等で形成する。そして、露光及びエッチング工程でなされる普通のパターンニングによって保護膜 120 及びゲート絶縁膜 110 一部にコンタクトホール 130 を形成する。コンタクトホール 130 は、各共通電極 20 の両端部及び中央部の該当位置に形成される。従って、コンタクトホール 130 を通じて共通電極 20 の両端部の 2 所と中央部の 1 所が露出される。同時にデータライン 50, 50' と第 1 共通電圧配線層 351 が共に形成された場合、第 1 共通電圧配線層 351 の一部もコンタクトホール 130 を通じて露出される。

【0035】図 6 E 及び図 4 を参照すると、コンタクトホール 130 が形成された基板に第 3 導電膜を積層し、パターンニングして、第 2 共通電圧配線層 352 を形成し、同時にコンタクトホールに第 1 及び第 2 共通電圧配

線層 351, 352 と各共通電極 20 を連結するための
コンタクトプラグ 37 を形成する。図 3 の概略図に示さ
れた共通電圧配線 31, 33, 35 のように、本発明で
は第 2 共通電圧配線層 352 が画素領域の両端部と画素
領域中央部に各々形成される。しかし、データライン形
成段階で画素領域の両端部と中央部に縦方向に配置され
る第 1 共通電圧配線層 351 を形成する場合、第 2 共通
電圧配線層 352 を形成しないで、各コンタクトホール
にコンタクトプラグ 37 だけを形成することもできる。
このような場合、第 1 共通電圧配線層 351 は各共通電
極 20 と接続される。

【0036】望ましくは、画素領域両側と中央部に各々
第 1 共通電圧配線層が形成され、第 3 導電膜のパターニ
ングによっても画素領域両側と中央部に各々第 2 共通電
圧配線層が形成される。画素領域の中央部に形成される
共通電圧配線 35 は、周辺画素の開口率を低下させない
ように幅が制限されるため、周辺部に形成される共通電
圧配線 31, 33 に比べて線抵抗が増加するので、2 重
層で形成して線抵抗を減少させるのが望ましい。又、第
3 導電膜も非抵抗が低いメタルで形成するのが望まし
い。

【0037】形成される各々の共通電圧配線 31, 33, 35 の少なくとも一端は、ソース駆動 IC の共通電
圧パッド 60 と連結される。図 3 のように、共通電圧配
線 31, 33, 35 の両端がソース駆動 IC の共通電圧
パッド 60 と連結すると、共通電圧配線 31, 33, 35
自体の線抵抗に従う電圧降下を低め得るので望まし
い。そして、中央部に形成される共通電圧配線 35 は、
各端部で 2 つのソースドライバ IC の共通電圧パッド 60
に共に連結され得る。このような場合、1 つの共通電
圧パッドに異常がある場合にも、共通電圧が印加される
ので、液晶表示装置の信頼性を高め得る。

【0038】ここでは、望ましい本実施形態によって、
画素領域の中央部と両端部に各々形成される 3 つの共通
電圧配線 31, 33, 35 を有する液晶表示装置に関し
て説明したが、画素領域の中央部に配置された 1 つの共
通電圧配線 35 を除いて、両端部に形成される配線 31, 33
の両方又はいずれか 1 つを省略することもできる。本実施
形態に係る液晶表示装置では、各共通電極 20 の一端に接
続されたゲート駆動 IC のパッド 70 と、各共通電圧配線 31, 33, 35 の両端又は一端に接
続されたソース駆動 IC のパッド 60 とから共通電圧を各*

*画素に印加するので、画素領域の位置によって共通電圧
が降下して画質が低下するのを防止することができる。

【0039】

【発明の効果】本発明によると、横電界型薄膜トランジ
スタ液晶表示装置で、従来の工程に負担を加えないで、
開口率の低下等による画質の低下なしに、画素領域の位
置に従う共通電圧の降下による画質の低下現象を防止で
きるので、特に、大面積高解像度の横電界型薄膜トラン
ジスタ液晶表示装置の画質を向上させ得る。

【図面の簡単な説明】

【図 1】従来の横電界型薄膜トランジスタ液晶表示装置
の画素内の電極構成の一般的な形態を示す平面図。

【図 2】従来の横電界型薄膜トランジスタ液晶表示装置
のパネルレイアウトを概略的に示す平面図。

【図 3】本発明による横電界型薄膜トランジスタ液晶表
示装置のパネルレイアウトを概略的に示す平面図。

【図 4】本発明による横電界型薄膜トランジスタ液晶表
示装置の 1 つの基板のうち、共通配線が形成される画素
領域の中央部で共通電圧配線及び左右の画素 1 つずつを
含む領域の部分平面図。

【図 5】図 4 の V - V ' 線に沿って切断した断面図。

【図 6 A】図 4 の V - V ' 切取部の横断面を工程段階に
従って示す断面図 (その 1)。

【図 6 B】図 4 の V - V ' 切取部の横断面を工程段階に
従って示す断面図 (その 2)。

【図 6 C】図 4 の V - V ' 切取部の横断面を工程段階に
従って示す断面図 (その 3)。

【図 6 D】図 4 の V - V ' 切取部の横断面を工程段階に
従って示す断面図 (その 4)。

【図 6 E】図 4 の V - V ' 切取部の横断面を工程段階に
従って示す断面図 (その 5)。

【符号の説明】

10 画素電極

20 ゲートライン

26 / 28 ドレイン / ソース電極

27 活性領域

50, 50' データライン

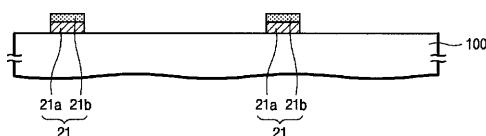
31, 33, 35 共通電圧配線

60 データ駆動 IC のパッド

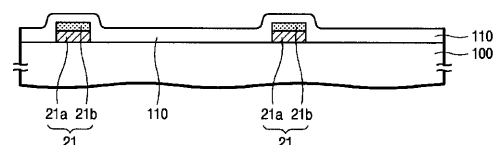
70 ゲート駆動 IC のパッド

351, 352 第 1 及び第 2 共通電圧配線

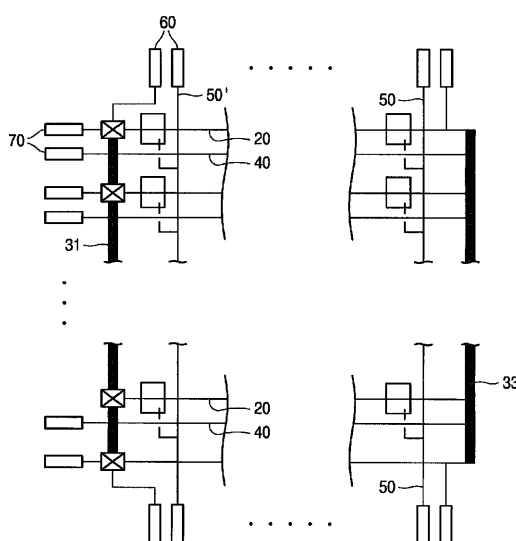
【図 6 A】



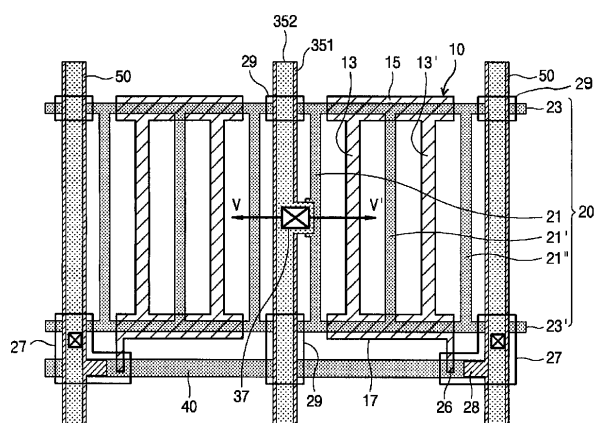
【図 6 B】



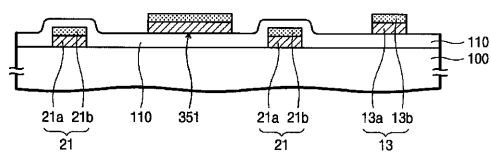
【圖 2】



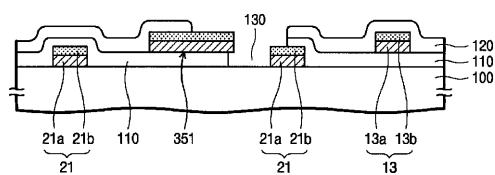
【圖 4】



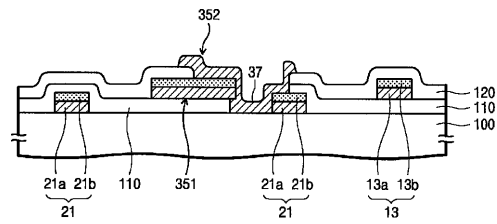
【図 6 C】



【図 6 D】



【図 6 E】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ド (参考)
H 0 1 L	21/3205	H 0 1 L	6 1 2 C
	29/786		A

F タ-ム (参考) 2H092 GA14 GA28 JA24 JB33 MA12
 MA27 MA37 NA01
 5C094 AA03 AA14 AA43 AA53 AA55
 BA03 BA43 CA19 EA04 EA07
 5F033 HH08 HH10 HH17 JJ01 JJ08
 JJ10 JJ17 KK05 KK08 KK10
 KK17 MM05 MM13 NN03 NN07
 QQ08 QQ09 QQ37 RR06 VV15
 5F110 AA28 BB01 CC07 EE03 EE04
 EE06 EE14 FF03 FF29 GG02
 GG15 HK04 HK06 HK09 HK16
 HL02 NN02 NN24
 5G435 AA01 AA17 BB12 CC09 EE34
 EE40

专利名称(译)	横向电场型液晶显示装置及其制造方法		
公开(公告)号	JP2002162640A	公开(公告)日	2002-06-07
申请号	JP2001113424	申请日	2001-04-12
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李仲へ		
发明人	李 仲 ▲へ▼		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1345 G09F9/00 G09F9/30 G09F9/35 H01L21/3205 H01L23/52 H01L29/786		
CPC分类号	G02F1/134363 G02F1/1345 G02F2201/121		
FI分类号	G02F1/1343 G09F9/00.338 G09F9/30.330.Z G09F9/30.338 G09F9/35 H01L29/78.612.C H01L21/88.A G02F1/1345 G02F1/1368 G09F9/30.330		
F-TERM分类号	2H092/GA14 2H092/GA28 2H092/JA24 2H092/JB33 2H092/MA12 2H092/MA27 2H092/MA37 2H092/NA01 5C094/AA03 5C094/AA14 5C094/AA43 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5F033/HH08 5F033/HH10 5F033/HH17 5F033/JJ01 5F033/JJ08 5F033/JJ10 5F033/JJ17 5F033/KK05 5F033/KK08 5F033/KK10 5F033/KK17 5F033/MM05 5F033/MM13 5F033/NN03 5F033/NN07 5F033/QQ08 5F033/QQ09 5F033/QQ37 5F033/RR06 5F033/VV15 5F110/AA28 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HL02 5F110/NN02 5F110/NN24 5G435/AA01 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE34 5G435/EE40 2H192/AA24 2H192/BB02 2H192/BB84 2H192/BB86 2H192/BC01 2H192/CB05 2H192/CC04 2H192/CC32 2H192/CC72 2H192/JA32		
优先权	1020000060539 2000-10-14 KR		
其他公开文献	JP4803894B2		
外部链接	Espacenet		

摘要(译)

提供一种水平电场型液晶显示装置及其制造方法。 解决方案：不仅在像素区域的两个外围部分（31、33）中而且在中心部分（31、33）中都形成有助于向沿水平方向连接像素的公共电极20的每个像素公共电极线23、23'；施加公共电压的布线。 它也成立于35）。为了确保中央部分的公共电压布线35的空间，连接到左像素的数据线50是基于公共电压布线35连接到左像素和右像素的数据。 线50'；形成在相应像素的右侧。 因此，左右像素构造相对于中心处的公共电压线35对称地形成。

