

(19)日本国特許庁(J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001 - 343670

(P2001 - 343670A)

(43)公開日 平成13年12月14日(2001.12.14)

(51) Int.CI ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1335	520 2 H 0 9 1
	1/1335	520 G 0 9 F 9/30	338 2 H 0 9 2
G 0 9 F 9/30	338		349 D 5 C 0 9 4
	349	G 0 2 F 1/136	500 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	612 C

審査請求 未請求 請求項の数 80 L (全 11数)

(21)出願番号 特願2000 - 166201(P2000 - 166201)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22)出願日 平成12年6月2日(2000.6.2)

(72)発明者 永田 徹也

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 宮沢 敏夫

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74)代理人 100083552

弁理士 秋田 収喜

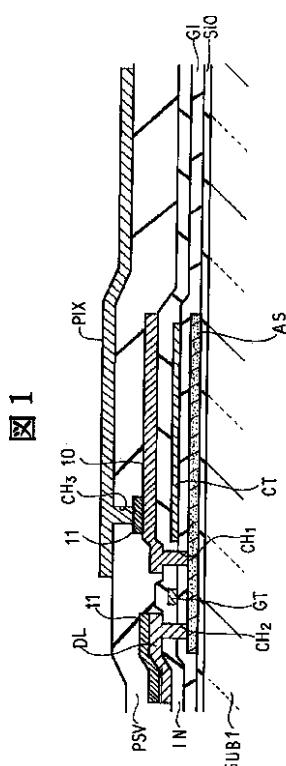
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 製造工数を低減する。

【解決手段】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極と保持容量電極との間に形成される容量素子とを備え、該容量素子は、該基板側から前記薄膜トランジスタの半導体層と同層の半導体層、前記薄膜トランジスタのゲート絶縁膜と同層の第1絶縁膜、前記保持容量電極、第2絶縁膜、金属層が順次積層され、前記半導体層および金属層は互いに接続されて構成され、前記金属層は画素領域の一部を占有する反射板として構成されている。



【特許請求の範囲】

【請求項1】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極と保持容量電極との間に形成される容量素子とを備え、該容量素子は、該基板側から前記薄膜トランジスタの半導体層と同層の半導体層、前記薄膜トランジスタのゲート絶縁膜と同層の第1絶縁膜、前記保持容量電極、第2絶縁膜、金属層が順次積層され、前記半導体層および金属層は互いに接続されて構成され、前記金属層は画素領域の一部を占有する反射板として構成されていることを特徴とする液晶表示装置。

【請求項2】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極と保持容量電極との間に形成される容量素子とを備え、該容量素子は、該基板側から前記薄膜トランジスタの半導体層と同層の半導体層、前記薄膜トランジスタのゲート絶縁膜と同層の第1絶縁膜、前記保持容量電極、第2絶縁膜、金属層が順次積層され、前記半導体層および金属層は互いに接続されて構成され、前記金属層は画素領域の一部を占有する反射板として構成されているとともに、この金属層をも覆って画素領域に形成された第3絶縁膜の上方に形成された画素電極と接続されていることを特徴とする液晶表示装置。

【請求項3】 前記金属層は第3絶縁膜に形成されたコントакトホールを通して画素電極と接続され、この画素電極との接続は該金属層上に選択的に形成された導電層が介在されてなされていることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 画素領域は一方向に延在され該方向に交差する方向に並設される複数のゲート信号線およびこれらゲート信号線と交差して並設される複数のドレイン信号線とで囲まれる領域となっているとともに、前記保持容量電極は前記ゲート信号線と同層に形成されていることを特徴とする請求項1および2のうちいずれかに記載の液晶表示装置。

【請求項5】 液晶を介して対向配置される各基板のうち一方の基板の該液晶側の画素領域内的一部に容量素子と反射板とが形成されている液晶表示装置において、前記一方の基板上に、半導体層を形成する工程と、この半導体層をも覆って第1絶縁膜を形成する工程と、この第1絶縁膜上に前記半導体層の少なくとも一部に重畠して保持容量電極を形成する工程と、この保持容量電極を*

*も覆って第2絶縁膜を形成する工程と、この第2絶縁膜上に少なくとも前記保持容量電極と重畠して前記半導体層と接続された金属層を形成する工程とからなり、前記金属層は前記反射板として形成することを特徴とする液晶表示装置の製造方法。

【請求項6】 一方の基板の液晶側の画素領域内に薄膜トランジスタが形成され、前記半導体層はこの薄膜トランジスタを構成する半導体層と同層であることを特徴とする請求項5に記載の液晶表示装置の製造方法。

【請求項7】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極と保持容量電極との間に形成される容量素子とを備え、該容量素子は、該基板側から前記薄膜トランジスタの半導体層と同層の半導体層、前記薄膜トランジスタのゲート絶縁膜と同層の第1絶縁膜、前記保持容量電極が順次積層されて形成され、前記保持容量電極は画素領域の一部を占有する反射板として構成されていることを特徴とする液晶表示装置。

【請求項8】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域にて光反射型領域と光透過型領域を有し、これら各画素領域には、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、を備え、該画素電極と薄膜トランジスタとの接続は光反射型領域内にてなされていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、いわゆる部分透過型と称される液晶表示装置に関する。

【0002】

【従来の技術】いわゆる部分透過型と称される液晶表示装置は、たとえば携帯電話用の小型液晶表示装置として用いられており、必要に応じて太陽の反射光あるいは内蔵するバックライトの光によって表示面の映像を認識できるようになっている。

【0003】すなわち、液晶を介して対向配置される各透明基板のうち、その一方の透明基板の液晶側の面には、y方向に延在されx方向に並設されるゲート信号線とx方向に延在されy方向に並設されるドレイン信号線とで囲まれた領域を画素領域とし、これら各画素領域には一方のゲート信号線からの走査信号の供給により駆動される薄膜トランジスタと、この薄膜トランジスタを介して一方のドレイン信号線からの映像信号が供給される

画素電極とが形成されている。

【0004】この画素電極はたとえばITO(Indium-Tin-Oxide)のような透明電極からなり、他方の透明基板の液晶側の面にて、各画素領域に共通に形成された透明電極からなる対向電極との間に電界を発生せしめ、その電界によって画素領域内の液晶の光透過率を制御するようになっている。

【0005】そして、この各画素領域のそれれにおいて、その約半分の領域にたとえば金属層からなる反射板を形成することにより、その反射板が形成された部分において反射型の表示を行い得る機能を、該反射板が形成されていない部分において透過型の表示を行い得る機能を持たせるようにしている。

【0006】この種の液晶表示装置の構成は、たとえば特開平11-101992号公報、あるいは特開平11-242226号公報に詳述されている。

【0007】

【発明が解決しようとする課題】しかし、このような構成の液晶表示装置は構造が複雑となり、製造工数が多くなることから、コストが高くなってしまうことが指摘されていた。本発明は、このような事情に基づいてなされたもので、その目的は製造工程の低減を図ることのできる液晶表示装置、およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。すなわち、本発明による液晶表示装置は、基本的には、液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極と保持容量電極との間に形成される容量素子とを備え、該容量素子は、該基板側から前記薄膜トランジスタの半導体層と同層の半導体層、前記薄膜トランジスタのゲート絶縁膜と同層の第1絶縁膜、前記保持容量電極、第2絶縁膜、金属層が順次積層され、前記半導体層および金属層は互いに接続されて構成され、前記金属層は画素領域の一部を占有する反射板として構成されるとともに、この金属層をも覆って画素領域に形成された第3絶縁膜の上方に形成された画素電極と接続されていることを特徴とするものである。

【0009】このように構成された液晶表示装置は、反射板は容量素子の一つの電極を兼ねた構成となっている。このことは、容量素子の一つの電極を形成した際に反射板が形成されることになり、製造工数の増加の低減を図ることができることを意味する。

【0010】

【発明の実施の形態】以下、本発明による液晶表示装置

の実施例を図面を用いて説明する。

《全体構成》図3は、本発明による液晶表示装置の一実施例を示す等価回路図である。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。

【0011】同図において、透明基板SUB1がある。この透明基板SUB1は液晶を介して他の透明基板(図示せず)と対向配置されるようになっている。

【0012】この透明基板SUB1の液晶側の面の周辺を除く中央部には、図中x方向に延在しy方向に並設されるゲート信号線GL、およびy方向に延在しx方向に並設されるドレイン信号線DLが形成され、これら各信号線で囲まれた領域によって画素領域が形成されている。

【0013】この画素領域はマトリクス状に複数配置されて表示領域13を構成するようになっている。

【0014】そして、ゲート信号線GLとこれに隣接する他のゲート信号線GLとの間にはx方向に延在する保持容量電極配線CLが延在して形成され、この保持容量電極配線CLは各画素領域において後述する容量素子Capdの一方の容量保持電極CTを構成するようになっている。

【0015】各画素領域には、一方のゲート信号線GLからの走査信号の供給によって駆動される薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して一方のドレイン信号線DLからの映像信号が供給される透明の画素電極PIXとを備え、また、この画素電極PIXと前記保持容量電極配線CLとの間には保持容量素子Capdが形成されている。

【0016】前記各ゲート信号線GLは、その両端(図中左および右側)において、透明基板SUB1に搭載された半導体集積回路からなるゲート信号線駆動回路15に接続され、このゲート信号線駆動回路15から出力される走査信号が順次供給されるようになっている。

【0017】また、前記各ドレイン信号線DLは、その一端(図中下側)において、透明基板SUB1に搭載された半導体集積回路からなるドレイン信号線駆動回路14に接続され、前記走査信号の供給のタイミングに合わせて映像信号が供給されるようになっている。

【0018】さらに、前記保持容量電極配線CLは、その一端(図中左側)において、端子Vcomに接続されるようになっている。

【0019】この端子Vcomは、透明基板SUB1の周辺に形成された入力端子18、19、100と並設されて形成され、透明基板SUB1と対向配置される他の透明基板の液晶側の面にて各画素領域に共通な透明の対向電極(図示せず)と同じ電位に保持されるようになっている。

【0020】なお、図中において、符号16はドレイン信号線DLを充電するプリチャージ回路、符号17は入力端子19、100に入力されるデジタル信号(コント

ロール信号)をゲート信号線駆動回路15およびドレン信号線駆動回路14を動かすのに充分な電圧にするレベルシフト回路である。

【0021】《画素構成》図2は本発明による液晶表示装置の画素領域の一実施例を示す平面図であり、そのI-I線における断面を図1に示している。図2は、図3に示した表示領域13を構成する各画素領域のうち一の画素領域の構成を示したもので、このため、この一の画素領域の左右上下方向の各画素領域においても同様の構成となっている。

【0022】図1および図2において、まず、透明基板SUB1の液晶側の面にはSiO₂又はSiNの単層あるいは積層膜からなる下地層SIOが形成されている。この下地層SIOは透明基板SUB1に含まれるイオン性不純物が後述の薄膜トランジスタTFTに影響を及ぼすのを回避するために形成されている。

【0023】そして、この下地層SIOの表面には、たとえばポリシリコン層からなる半導体層ASが形成されている。この半導体層ASはたとえばプラズマCVD装置によって成膜したアモルファスSi膜をエキシマレーザによって多結晶化したものである。

【0024】この半導体層ASは、後述するゲート信号線GLに隣接して形成される帯状の部分とこの部分に一体となって画素領域のほぼ半分(図中上側)を占める矩形状の部分とに形成されている。

【0025】帯状の部分の半導体層ASは後述する薄膜トランジスタTFTの半導体層として形成され、矩形状の部分の半導体層ASは後述する容量素子Caddの一対の電極のうち一方の電極として形成されるようになっている。

【0026】そして、このように半導体層ASが形成された透明基板SUB1の表面には、該半導体層ASをも覆ってたとえばSiO₂あるいはSiNからなる第1絶縁膜GIが形成されている。

【0027】この第1絶縁膜GIは前記薄膜トランジスタTFTのゲート絶縁膜として機能するとともに、後述するゲート信号線GLとドレンイン信号線DLの層間絶縁膜の一つ、および後述する容量素子Caddの誘電体膜の一つとして機能するようになっている。

【0028】そして、第1絶縁膜GIの上面には、図中x方向に延在しy方向に並設されるゲート信号線GLが形成され、このゲート信号線GLは後述するドレンイン信号線DLとともに矩形状の画素領域を画するようになっている。

【0029】なお、このゲート信号線GLは耐熱性を有する導電膜であればよく、たとえばAl、Cr、Ta、TiW等が選択される。この実施例ではゲート信号線GLとしてTiWが用いられている。

【0030】このゲート信号線GLはその一部が画素領域内に延在され、前記帯状の半導体層ASに交差するよ

うにして重疊されている。このゲート信号線GLの延在部GLは薄膜トランジスタTFTのゲート電極GTとして形成されている。

【0031】なお、このゲート信号線GLの形成後は、第1絶縁膜GIを介して不純物のイオン打ち込みをし、前記半導体層ASにおいて前記ゲート電極GTの直下を除く領域を導電化させることによって、薄膜トランジスタTFTのソース領域およびドレンイン領域が形成されるとともに、前記容量素子Caddの一対の電極のうち一方の電極が形成されるようになっている。

【0032】また、画素領域の中央における第1絶縁膜GIの上面には図中x方向に延在する保持容量電極配線CLが形成され、この保持容量電極配線CLは画素領域の図中上側の領域に延在する保持容量電極CTと一体に形成されるようになっている。この保持容量電極配線CL(保持容量電極CT)はゲート信号線GLと同層でかつ同一の材料で形成されている。

【0033】前記ゲート信号線GLおよび保持容量電極配線CL(保持容量電極CT)をも覆って前記第1絶縁膜GIの上面には第2絶縁膜INがたとえばSiO₂あるいはSiNによって形成されている。

【0034】さらに、この第2絶縁膜INの上面には、画素領域のほぼ半分の領域(図中上側の領域)を占めるようにしてたとえばアルミニウム(A1)からなる金属膜10が形成されている。

【0035】この金属膜10は前記薄膜トランジスタTFTに近接する部分において、前記第2絶縁膜INおよび第1絶縁膜GIに形成されたコンタクトホールCH₁を通して前記半導体層ASと接続されている。

【0036】金属膜10と接続される半導体層ASは薄膜トランジスタTFTのソース領域に相当する部分となっており、これに対して該薄膜トランジスタTFTのドレンイン領域は前記ゲート電極GTと重疊される部分を間に反対側の半導体層ASの領域でコンタクトホールCH₂を通して後述するドレンイン信号線DLに接続されるようになっている。

【0037】また、この金属膜10は前記保持容量電極CTに重疊するようにして画素のほぼ中央部にまで延在されている。

【0038】すなわち、この金属膜10は反射型の画素領域を形成するための反射板を構成するとともに、前記容量素子Caddの他方の電極をも構成するようになっている。

【0039】容量素子Caddは、薄膜トランジスタTFTのソース領域と保持容量電極CTとの間に、該保持容量電極CTを一方の電極、矩形状の半導体層ASを他方の電極、第1絶縁膜GIを誘電体膜とする第1の容量素子と、該保持容量電極CTを一方の電極、金属膜10を他方の電極、第2絶縁膜INを誘電体膜とする第2の容量素子とが並列に接続された2段構成の容量素子を構

成している(図1参照)。

【0040】また、第2絶縁層INの上面には、図中y方向に延在しx方向に並設されるドレイン信号線DLが形成されている。このドレイン信号線DLは前述したゲート信号線GLとで画素領域を画するようになっている。

【0041】ドレイン信号線DLは、たとえばアルミニウム、TiWを下地層としたアルミニウム、MoSiを下地層としたアルミニウムが用いられている。アルミニウムがポリシリコン層と直接に接触するとたとえば400℃以上のプロセス温度では導通不良を生ずる場合があることから、上述のような下地層を形成することが有効となる。

【0042】このドレイン信号線DLはその一部が第2絶縁膜INおよび第1絶縁膜GIに形成されたコンタクトホールCH₂を通して前記薄膜トランジスタTFTのドレイン領域(ドレイン信号線DLと接続される側をドレイン領域とこの明細書では定義する)に接続されている。

【0043】そして、このドイレン信号線DLおよび前記金属膜10をも覆って第2絶縁膜INの上面には第3絶縁膜PSVが形成されている。この第3絶縁膜PSVはたとえばSiO₂あるいはSiNにより形成されている。しかし、有機膜を塗布等によって形成するようにしてもよい。塗布等により形成する有機膜の場合、その表面を平坦化でき、液晶の配向を良好な状態とすることができます。

【0044】この第3絶縁膜PSVの上面にはたとえばITO(Indium-Tin-Oxide)膜からなる画素電極PIXが形成されている。

【0045】この場合、前記第3絶縁膜PSVが有機膜で形成されている場合、その膜に発生するピンホールの発生を大幅に抑制できるので、ITO膜の画素電極PIXの形成のためのパターニングの際の前記金属膜10へのダメージを防止することができる効果を奏する。

【0046】この画素電極PIXは薄膜トランジスタTFTに隣接する部分において前記第3絶縁膜PSVに形成されたコンタクトホールCH₃を通して前記金属膜10と接続されている。

【0047】これにより、画素電極PIXは前記金属膜10を介して薄膜トランジスタTFTのソース領域と接続されるようになり、該薄膜トランジスタTFTがオンした際にはドレイン信号線からの映像信号が該薄膜トランジスタTFTを介して画素電極PIXに供給されることになる。

【0048】ここで、画素電極PIXとの接続部における金属膜10の表面には、選択的に形成された介在層11が形成されている。

【0049】この介在層11は、前記金属膜10としてたとえばアルミニウム(A1)等を用いた場合、画素

電極PIXであるITO膜との接触が良好とならないことから、たとえばモリブデンシリコン(MoSi)、あるいはチタンタングステン(TiW)等の金属を介在させるものである。

【0050】この場合、この介在層11は金属膜10の全域に形成することが製造工程の上で好ましいが、この実施例では、画素電極PIXとの接続部を中心として一定の範囲で選択的に設けている。

【0051】この理由は、該金属膜10を反射板として機能させることから、仮に、該金属膜10の全域に介在層11を形成した場合、その介在層11によって光反射率が低下する場合が通常であるからである。

【0052】のことから、前記金属膜10として反射率の大きな材料を選択できるとともに、画素電極PIXとの信頼性ある接続を図ることができるようになる。

【0053】また、本実施例では、前記介在層11と同一の材料からなる導電材をドレイン信号線DLにも重畠させて形成している。しかし、必ずしも形成しなくてよいことはいうまでもない。

【0054】なお、前記画素電極PIXは、この画素電極PIXが形成された透明基板SUB1と液晶を介して対向配置される他の透明基板(図示せず)の液晶側の面に各画素領域に共通に形成された透明の対向電極との間に電界を生じせしめ、この電界によって該液晶の光透過率を制御せしめるようになっている。

【0055】このように構成された液晶表示装置は、反射板として機能する金属膜10は液晶と直接接触しない構成となっており、該液晶との間には第3絶縁膜PSVと酸化され難い材料からなる画素電極PIXとを介在させた構成となっている。

【0056】このため、前記金属膜10が他の金属との間で液晶を介在させた電池作用が発生しにくい構成となっているから、該電池作用に原因する液晶の劣化等を防止できる効果を奏する。

【0057】《製造方法》以下、図4ないし図6を用いて上述した液晶表示装置の製造方法の一実施例を説明する。

工程1.(図4(a))

主表面に下地層SiO₂が形成された透明基板SUB1を用意し、その下地層SiO₂の面の全域にわたってポリシリコン層を形成し、フォトリソグラフィ技術による選択エッチング方法を用いて所定のパターンに半導体層ASを形成する。なお、この場合のポリシリコン層はいわゆる真性の半導体層で不純物がドーピングされていないものとなっている。

【0058】工程2.(図4(b))

透明基板SUB1の上面の全域に前記半導体層ASをもってたとえばSiO₂からなる第1絶縁膜GIを形成する。

【0059】工程3.(図4(c))

透明基板SUB1の上面の全域にわたってたとえばTiW層を形成し、フォトリソグラフィ技術による選択エッチング方法を用いて所定パターンにし、ゲート信号線GLおよび保持容量電極配線CL(保持容量電極CT)を形成する。

【0060】そして、このようなゲート信号線GL等が形成された側の表面にたとえばイオン打ち込みによって不純物を第1絶縁膜GIの下層の前記半導体層ASにドーピングを行う。

【0061】前記半導体層ASは、前記ゲート電極GTが形成されている部分においてこのゲート電極GTがマスクとなって不純物がドーピングされない領域となり、それ以外の領域にて不純物がドーピングされることになる。

【0062】すなわち、前記半導体層ASは、ゲート電極GTが形成されている部分にて薄膜トランジスタTFTのチャネル領域が形成され、その両脇にてソース領域およびドレイン領域が形成されるとともに、それ以外の領域にて該薄膜トランジスタTFTのソース領域と接続された保持容量素子Caddの一方の電極が形成されることになる。

【0063】工程4.(図5(d))

透明基板SUB1の上面の全域に前記保持容量電極CT等をも覆ってたとえばSiO₂からなる第2絶縁膜INを形成する。その後、フォトリソグラフィ技術による選択エッチング方法を用いて前記第2絶縁膜INおよびその下層の第1絶縁膜GIを貫通するコンタクトホールCH₁を形成する。

【0064】工程5.(図5(e))

透明基板SUB1の上面の全域にわたって、たとえばTiWを下地層とするアルミニウム(A1)を形成し、フォトリソグラフィ技術による選択エッチング方法を用いて所定のパターンにし、ドレイン信号線DLおよび金属膜10を形成する。

【0065】工程6.(図5(f))

透明基板SUB1の上面の全域にわたってたとえばモリブデンシリコン(MoS₂)からなる金属層を形成し、フォトリソグラフィ技術による選択エッチング方法を用いて介在層11を選択的に形成する。

【0066】工程7.(図6(g))

透明基板SUB1の上面の全域にたとえば樹脂材からなる第3絶縁膜PSVを形成する。その後、フォトリソグラフィ技術による選択エッチング方法を用いて前記第3絶縁膜PSVを貫通するコンタクトホールCH₃を形成し、このコンタクトホールCH₃から前記介在層11の一部を露出させる。

【0067】工程8.(図6(h))

透明基板SUB1の上面の全域にITO膜を形成する。その後、フォトリソグラフィ技術による選択エッチング方法を用いて該ITO膜を所定のパターンにし、画素電

極PIXを形成する。

【0068】この画素電極PIXは前記コンタクトホールCH₃を通して前記介在層11と接続されることになる。

【0069】このように構成された液晶表示装置の製造方法によれば、金属膜10は反射板として用いられるとともに、保持容量素子Caddの一方の電極として用いられるようになっている。

【0070】このため、従来のように反射板として用いられる金属膜と保持容量素子Caddの一方の電極として用いられる金属膜をそれぞれ別の工程として形成する必要がなく、製造工数の低減を図ることができるという効果を奏するようになる。

【0071】実施例2.図7は本発明による液晶表示装置の他の実施例を示す構成図で、同図(a)は図2と対応した平面図で、同図(b)は同図(a)のb-b線による断面図である。

【0072】図7において、図2と異なる構成は、反射板の機能を兼ねる金属膜10が、透過型の画素領域にまで若干延在され、この結果、保持容量素子Caddを構成する電極(AS、CT)による第2絶縁膜INの表面上に顕在する段差部を股ぐようにして形成されている。

【0073】このようにして形成された液晶表示装置は、反射表示の画像を優先する場合において有益となる。そして、前記段差部での液晶の配向不良による表示劣化は光透過領域における場合よりも光反射領域の場合の方が目視し難いという効果も奏する。

【0074】実施例3.図8は、本発明による液晶表示装置の他の実施例を示す構成図で、同図(a)は図2と対応した平面図で、同図(b)は同図(a)のb-b線による断面図である。

【0075】図2の断面図である図1と比較して、異なる構成はゲート信号線GLおよび保持容量電極CTをたとえば反射率の高い材料、たとえばアルミニウム、銀等で形成し、該保持容量電極CTを反射板として機能させていることにある。

【0076】この場合、図1において反射板として機能させた金属膜10は、半導体層ASと画素電極PIXとの接続を図るの中継層としての機能しか持たなくなることから、画素領域の中央部にまで延在されておらず、コンタクトホールCH₁の周囲に形成されているに留まっている。

【0077】保持容量素子Caddは、上述した各実施例の場合と異なり、多段構成となっておらず、第1絶縁膜GIを誘電体膜とし、一方の電極を半導体層AS、他方の電極を保持容量電極CTとする1段構成となっている。

【0078】また、この実施例の場合、金属膜10は画素領域内に大きく侵入しない程度に小さな面積となっていることから、画素電極PIXとの接続を良好にする介

在層11は該金属膜10の全域に形成され、また、ドレイン信号線DL上にもそれと同一パターンで重畳されている。

【0079】このため、2層に形成した各材料層を一回のフォトリソグラフィ技術による選択エッチング方法を採用でき、製造工数の増大を回避できる効果を奏する。

【0080】

【発明の効果】以上説明したことから明らかなように、本発明による液晶表示装置によれば、その反射板を容量素子の一方の電極と同時に形成できる構成となっていることから製造工程の低減を図ることができる。

【0081】また、反射板と画素電極との接続部には選択的に設けた介在層を介してなされる構成となっていることから、反射板として反射率の大きな材料を選択できるとともに、画素電極との接続を信頼性よくできる。

【0082】さらに、反射板は画素電極に被覆された絶縁膜の下層に形成する構成となっていることから、この反射板の他の金属との電池作用を発生させ難い構成となり、該電池作用に基づく液晶の劣化を抑制することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素の一実施例を示す断面図である。

【図2】本発明による液晶表示装置の画素の一実施例を

示す平面図で、そのI-I線における断面図は図1に相当する。

【図3】本発明による液晶表示装置の一実施例を示す等価回路図である。

【図4】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図5および図6ともに一つの製造過程を示している。

【図5】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図4および図6ともに一つの製造過程を示している。

【図6】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図4および図5ともに一つの製造過程を示している。

【図7】本発明による液晶表示装置の他の実施例を示す構成図である。

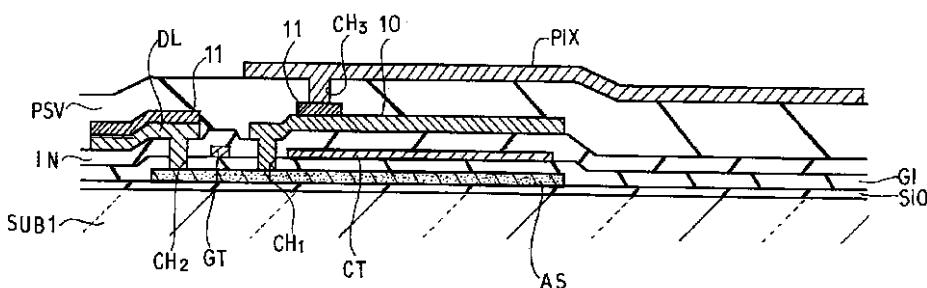
【図8】本発明による液晶表示装置の他の実施例を示す構成図である。

【符号の説明】

SUB1.....透明基板、AS.....半導体層、GL.....ゲート信号線、DL.....ドレイン信号線、CL.....保持容量電極配線、TFT.....薄膜トランジスタTFT、Cadd.....保持容量素子、PIX.....画素電極、10.....金属層(反射板、容量素子の一方の電極)。

【図1】

図1

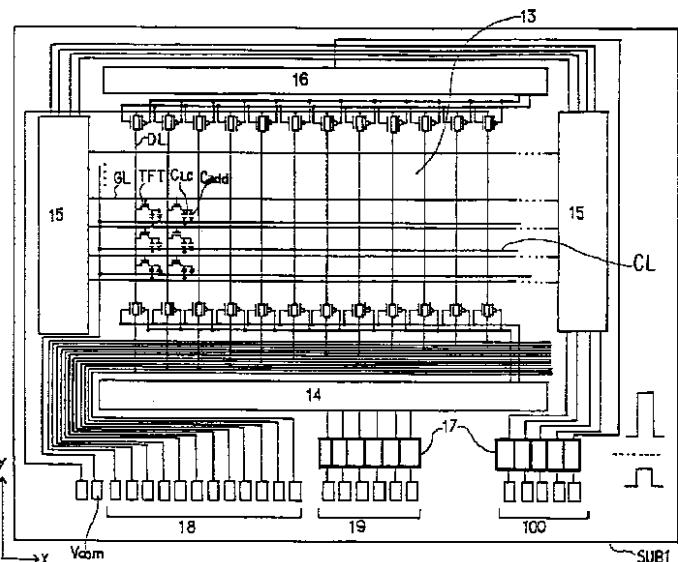
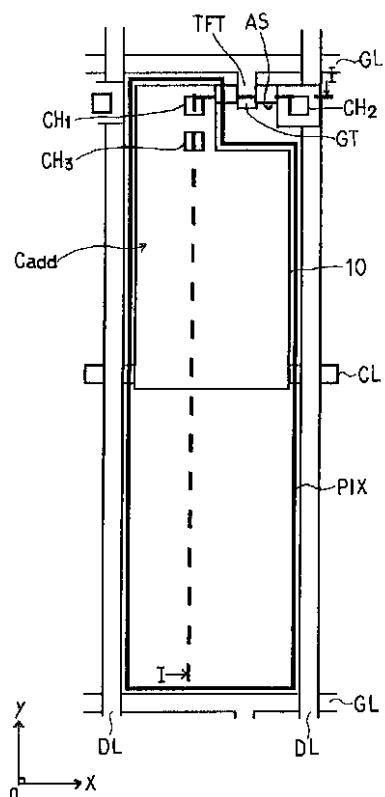


【図2】

【図3】

図2

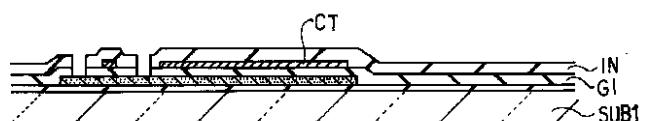
図3



【図5】

図5

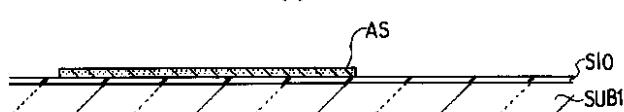
(d)



【図4】

図4

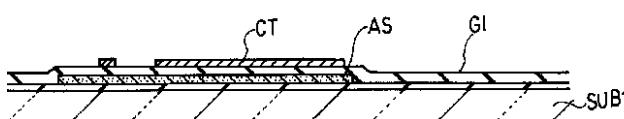
(a)



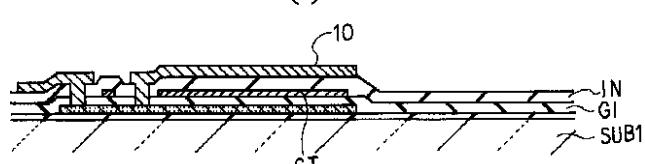
(b)



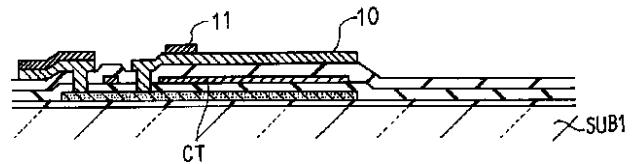
(c)



(e)



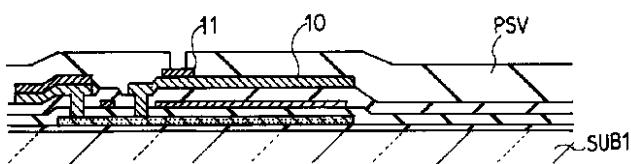
(f)



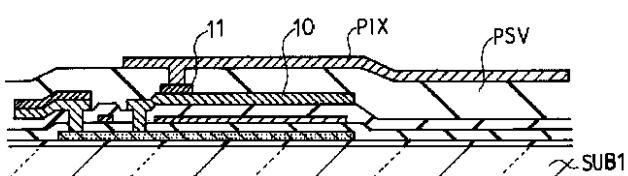
【図6】

図6

(g)



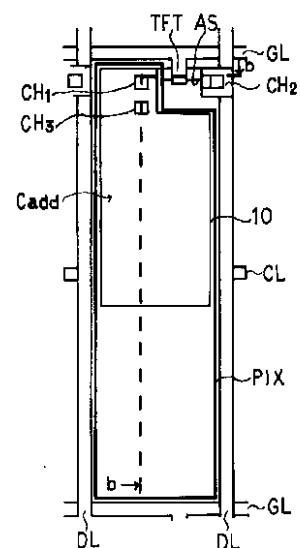
(h)



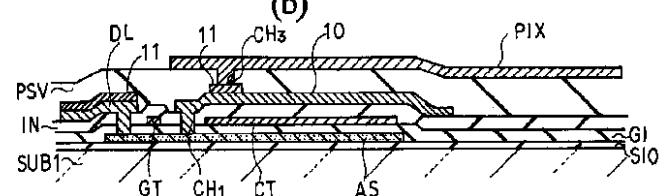
【図7】

図7

(a)

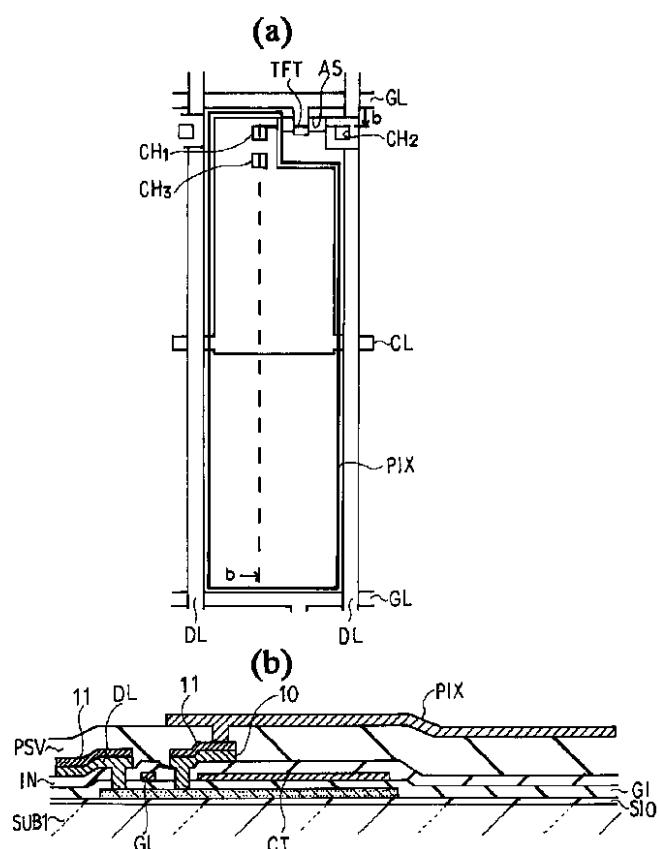


(b)



【図8】

図8



フロントページの続き

(72)発明者 齋藤 裕

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 小村 真一

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

F ターム(参考) 2H091 FA14Y FB08 FC02 FC10
FC26 FC29 FD04 FD12 GA13
LA11 LA12 LA13
2H092 GA59 HA04 HA05 JA25 JA29
JA38 JA42 JA43 JA46 JB13
JB23 JB32 JB33 JB38 JB52
JB57 JB63 JB69 KA04 KA07
KA12 KA16 KA18 MA05 MA08
MA13 MA17 MA27 MA30 MA35
MA37 NA25 NA27 NA28
5C094 AA10 AA31 AA37 AA43 BA03
BA43 CA19 CA24 DA14 DA15
DB04 EA04 EA07 EB02 ED11
FB12 FB14 FB15
5F110 AA16 BB01 CC02 DD13 DD14
EE02 EE03 EE04 EE06 FF02
FF03 GG02 GG13 GG35 GG45
HJ13 HL03 HL05 HL06 HL11
NN03 NN23 NN24 NN27 NN36
NN43 NN44 NN46 NN47 NN73
PP03 QQ11

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2001343670A5	公开(公告)日	2006-04-27
申请号	JP2000166201	申请日	2000-06-02
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	永田徹也 宮沢敏夫 斎藤裕 小村真一		
发明人	永田 徹也 宮沢 敏夫 斎藤 裕 小村 真一		
IPC分类号	G02F1/1368 G02F1/1335 G09F9/30 H01L29/786		
CPC分类号	G02F1/136227 G02F1/136213		
FI分类号	G02F1/1368 G02F1/1335.520 G09F9/30.338 G09F9/30.349.D H01L29/78.612.C		
F-TERM分类号	2H091/FA14Y 2H091/FB08 2H091/FC02 2H091/FC10 2H091/FC26 2H091/FC29 2H091/FD04 2H091 /FD12 2H091/GA13 2H091/LA11 2H091/LA12 2H091/LA13 2H092/GA59 2H092/HA04 2H092/HA05 2H092/JA25 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA43 2H092/JA46 2H092/JB13 2H092 /JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB52 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA04 2H092/KA07 2H092/KA12 2H092/KA16 2H092/KA18 2H092/MA05 2H092/MA08 2H092 /MA13 2H092/MA17 2H092/MA27 2H092/MA30 2H092/MA35 2H092/MA37 2H092/NA25 2H092/NA27 2H092/NA28 5C094/AA10 5C094/AA31 5C094/AA37 5C094/AA43 5C094/BA03 5C094/BA43 5C094 /CA19 5C094/CA24 5C094/DA14 5C094/DA15 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/ED11 5C094/FB12 5C094/FB14 5C094/FB15 5F110/AA16 5F110/BB01 5F110/CC02 5F110 /DD13 5F110/DD14 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG35 5F110/GG45 5F110/HJ13 5F110/HL03 5F110/HL05 5F110 /HL06 5F110/HL11 5F110>NN03 5F110>NN23 5F110>NN24 5F110>NN27 5F110>NN36 5F110>NN43 5F110>NN44 5F110>NN46 5F110>NN47 5F110>NN73 5F110/PP03 5F110/QQ11 2H191/FA31Y 2H191 /FB12 2H191/FB14 2H191/FC10 2H191/GA05 2H191/GA10 2H191/GA19 2H191/LA13 2H191/NA29 2H191/NA34 2H192/AA24 2H192/BC35 2H192/BC63 2H192/BC74 2H192/CB02 2H192/CC72 2H192 /DA12 2H192/DA43 2H192/DA44 2H192/DA65 2H192/EA67 2H192/FA44 2H192/FA73 2H192/FB02 2H291/FA31Y 2H291/FB12 2H291/FB14 2H291/FC10 2H291/GA05 2H291/GA10 2H291/GA19 2H291 /LA13 2H291/NA29 2H291/NA34		
其他公开文献	JP4278834B2 JP2001343670A		

摘要(译)

减少了制造步骤。在经由液晶彼此相对的基板之一的液晶侧上的每个像素区域中，由来自栅极信号线和漏极信号线的扫描信号经由薄膜晶体管驱动的薄膜晶体管。向其提供视频信号的像素电极，和形成在像素电极与存储电容器电极之间的电容器元件，该电容器元件从基板侧起具有与薄膜晶体管的半导体层相同的层。依次堆叠半导体层，与薄膜晶体管的栅极绝缘膜相同层的第一绝缘膜，存储电容器电极，第二绝缘膜，金属层，并且将半导体层和金属层彼此连接，金属层被配置为占据像素区域的一部分的反射器。

