

(19)日本国特許庁 (J P)

公開特許公報 (A)

(11)特許出願公開番号

特開2001 - 242838

(P2001 - 242838A)

(43)公開日 平成13年9月7日(2001.9.7)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	642	642 A	

審査請求 有 請求項の数 4 O L (全 5 数)

(21)出願番号 特願2000 - 139820(P2000 - 139820)

(22)出願日 平成12年5月12日(2000.5.12)

(31)優先権主張番号 89103206

(32)優先日 平成12年2月23日(2000.2.23)

(33)優先権主張国 台湾(TW)

(71)出願人 599142729

奇美電子股▲ふん▼有限公司

台湾台南県台南科学工業園区新市郷奇業路
1号

(72)発明者 林 添仁

台湾台南県台南科学工業園区奇業路1号 奇
美電子股▲ふん▼有限公司内

(72)発明者 陳 信宏

台湾台南県台南科学工業園区奇業路1号 奇
美電子股▲ふん▼有限公司内

(74)代理人 100079108

弁理士 稲葉 良幸 (外 2 名)

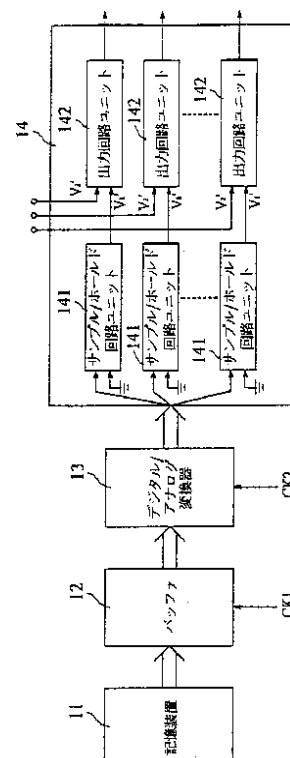
最終頁に続く

(54)【発明の名称】 液晶表示器の補償回路

(57)【要約】 (修正有)

【課題】 液晶表示器のパネルに発生するちらつきを取り除く液晶表示器の補償回路を提供する。

【解決手段】 液晶表示器の補償回路は、複数のデジタル信号セットを保持する記憶装置11と、この記憶装置からのデジタル信号セットを一時的に保存するバッファ12と、バッファからのデジタル信号セットをアナログ信号セットに変換するデジタル/アナログ変換器13と、複数のユニットから構成されるデータ信号線駆動回路14であり、複数のユニットのそれぞれは、サンプル/ホールド回路ユニット141及び出力回路ユニット142を有し、複数のサンプル/ホールド回路ユニットのそれぞれは前記デジタル/アナログ変換器からのアナログ信号と接地電位とのいずれかを受け、て出力し、前記複数の出力回路ユニットのそれぞれは、対応するサンプル/ホールド回路ユニットの出力信号及び1つの外部信号を加算してから対応した画素に出力する。



【特許請求の範囲】

【請求項 1】複数のデジタル信号セットが保存される記憶装置であり、前記複数のデジタル信号セットのそれぞれは、液晶表示器の 1 走査線上の画素アレーに対応し、かつ複数のデジタル信号から構成され、前記複数のデジタル信号のそれぞれは対応する画素アレーの 1 画素の補償信号として使われる記憶装置と、

前記記憶装置に接続され、第 1 クロックに応じて前記記憶装置からのデジタル信号セットを一時的に保存するバッファと、

前記バッファに接続され、第 2 クロックに応じて前記バッファからのデジタル信号セットをアナログ信号セットに変換するデジタル/アナログ変換器と、

前記デジタル/アナログ変換器に接続され、複数のユニットから構成されるデータ信号線駆動回路であり、前記複数のユニットのそれぞれは、サンプル/ホールド回路ユニット及び出力回路ユニットを有し、前記複数のサンプル/ホールド回路ユニットのそれぞれは前記デジタル/アナログ変換器からのアナログ信号セットの 1 のアナログ信号と接地電位とのいずれを受け、入力信号をサンプル・保持してから出力し、前記複数の出力回路ユニットのそれぞれは、対応するサンプル/ホールド回路ユニットの出力信号及び 1 の外部信号を受け、2 つの入力信号を加算してから対応した画素に出力する、データ信号線駆動回路と、を備える液晶表示器の補償回路。

【請求項 2】前記データ信号線駆動回路の前記出力回路ユニットは、演算増幅器と 4 つの抵抗とを含み、前記演算増幅器の負端子は第 1 抵抗値を有する抵抗を経由して接地電位を受け、また、第 1 抵抗値を有するもう一つの抵抗を経由して前記演算増幅器の出力端子に接続され、前記演算増幅器の正端子は第 2 抵抗値を有する抵抗を経由して対応したサンプル/ホールド回路ユニットの出力信号を受け、また、第 2 抵抗値を有するもう一つの抵抗を経由して前記外部信号を受ける、請求項 1 に記載の液晶表示器の補償回路。

【請求項 3】更に、前記デジタル/アナログ変換器の高出力インピーダンスを低出力インピーダンスに変換でき、前記デジタル/アナログ変換器と前記データ信号線駆動回路との間に挿入されるゲイン可調整増幅器を備える、請求項 1 に記載の液晶表示器の補償回路。

【請求項 4】前記複数の画素のそれぞれは、薄膜トランジスタに駆動され、前記データ信号線駆動回路のそれぞれのユニットは、対応する画素の薄膜トランジスタにアナログ信号を提供する、請求項 1 に記載の液晶表示器の補償回路。

【発明の詳細な説明】

【発明の属する技術分野】本発明は液晶表示器の補償回路に関し、特に、液晶表示器の各画素に補償信号を供給することにより、液晶表示器のパネルに発生するちらつきを取り除くことができる補償回路に関する。

【従来の技術】従来のアクティブマトリックス液晶表示器は、図 5 に示すように、主に、画素マトリックス 5 1 と、データ信号線駆動回路 5 2 と、走査信号線駆動回路 5 3 と、を含む。画素マトリックス 5 1 は複数の画素 5 4 を有し、各画素 5 4 は一つの薄膜トランジスタ (T R) で駆動される。各薄膜トランジスタのソースは、液晶コンデンサ C_{lc} を介して共通電圧 V_{com} に接続され、記憶コンデンサ C_{st} を介して飽和電圧 V_{st} に接続される。寄生コンデンサ C_{gs} はソースとゲートの間に存在する。なお、分布 R - C (分布抵抗、分布容量) は必ず走査信号線 S_L 上に存在し、それは図 5 における各画素の R_d 及び C_d で表すことができる。記憶コンデンサが共通電圧 V_{com} に接続すれば、図 6 に示す回路になる。上述したように、各走査信号線 S_L 上に分布 R - C が存在するため、走査信号線駆動回路 5 3 が生成した走査パルスは、各走査信号線 S_L 上の画素に届くとき、左側から右側へよりだんだん深刻なひずみを引き起こす (図 5 及び図 6 において、左側は走査信号線駆動回路 5 3 の側を表す)。走査パルスのひずみを図 7 A 及び図 7 B を参照しながら説明する。図 7 A に示す波形は一つの走査信号線 S_L の最も左の画素におけるトランジスタのゲートに印加される信号を表し、図 7 B に示す波形は同走査信号線 S_L の最も右の画素におけるトランジスタのゲートに印加される信号を表す。例えば、1024 × 768 解像度の 14.1 インチ液晶表示器を例とする。図 7 A に示す波形は低いレベルから高いレベルに上がるのに数ナノ秒かかる。一方、図 7 B に示す波形は低いレベルから高いレベルに上がるのに数マイクロ秒かかる。図 6 に示すように、寄生コンデンサ C_{gs} が存在しているため、ソース電位は、寄生コンデンサを経由して薄膜トランジスタのゲートに印加される信号によって引き下ろされる。この効果は、同じ走査信号線 S_L 上で、左側から右側への画素トランジスタに対してますます明らかでなくなる。即ち、同走査信号線上の各画素トランジスタのドレーンに同じデータ信号が印加されても、各画素トランジスタのソース電位は、左側から右側へだんだん高くなる。各画素の輝度は、等価コンデンサ: C_{lc} + C_{st} に印加される電位によって決められるので、各画素の輝度は違って来る。それは望ましくない結果である。なぜならば、2 つの画素トランジスタに同じデータ信号が印加される場合、同じ輝度になることが望ましいからである。画素輝度の不一致は、液晶表示器のパネルにちらつきを引き起こす。

【発明が解決しようとする課題】本発明の目的は、液晶表示器の各画素に印加される電位を調整することにより、液晶表示器のパネルに発生するちらつきを取り除く液晶表示器の補償回路を提供することである。結果的に、画素の能動素子に同じデータ信号が印加される場合、画素の輝度が同一である。本発明の他の目的は、構造が簡単であり、コストが低いなどの利点を有する液晶

表示器の補償回路を提供することである。また、本発明の他の目的は、液晶表示器の補償回路の応用であって、補償機能をイネーブルするか否かを選択することができるようにした液晶表示器の補償回路を提供することである。

【課題を解決するための手段】本発明による液晶表示器の補償回路は、複数のデジタル信号セット（組、群）が保存される記憶装置であり、前記複数のデジタル信号セットのそれぞれは、液晶表示器の一走査線上の画素アレーに対応し、かつ複数のデジタル信号から構成され、前記複数のデジタル信号のそれぞれは対応する画素アレーの一画素の補償信号として使われる記憶装置と、前記記憶装置に接続され、第一クロックに応じて前記記憶装置からのデジタル信号セットを一時に保存するバッファと、前記バッファに接続され、第二クロックに応じて前記バッファからのデジタル信号セットをアナログ信号組に変換するデジタル/アナログ変換器と、前記デジタル/アナログ変換器に接続され、複数のユニットから構成されるデータ信号線駆動回路であり、前記複数のユニットのそれぞれは、サンプル/ホールド回路ユニット及び出力回路ユニットを有し、前記複数のサンプル/ホールド回路ユニットのそれぞれは前記デジタル/アナログ変換器からのアナログ信号組の一アナログ信号と接地電位とのいずれを受け、入力信号をサンプル・保持してから出力し、前記複数の出力回路ユニットのそれぞれは、対応するサンプル/ホールド回路ユニットの出力信号及び一外部信号を受け、2つの入力信号を加算してから対応した画素に出力する、データ信号線駆動回路と、を備える。ちらつきを補償する場合、前記サンプル/ホールド回路ユニットは、前記デジタル/アナログ変換器からのアナログ信号組のアナログ信号を受ける。他方では、ちらつきを補償しない場合、前記サンプル/ホールド回路ユニットは接地電位を受ける。

【発明の実施の形態】図1は、本発明によるマトリックス状（ m コラム $\times n$ ロー）に配列される複数の画素を有する液晶表示器の補償回路を示す。この補償回路は、記憶装置11と、バッファ12と、デジタル/アナログ変換器13と、データ信号線駆動回路14と、を含む。記憶装置11は各画素の補償信号を保存するために設けられ、例えば、読み出し専用記憶装置である。具体的には、記憶装置11に保存される資料（データ）は m 個のデジタル信号セット（組、群）であり、各デジタル信号セットは n 個のデジタル信号で構成される。前記 m 個のデジタル信号セットは、液晶表示器における m コラムの画素アレーに対応する。各デジタル信号セットの n 個のデジタル信号のそれぞれは、対応する画素アレーの n 個の画素のそれぞれに対応する。バッファ12は記憶装置11に接続され、クロックC K1に応じて記憶装置11からのデジタル信号セットを一時的に保存する。デジタル/アナログ変換器13はバッファ12に接続され、ク

ロックC K2に応じてバッファ12からのデジタル信号セットをアナログ信号セットに変換する。データ信号線駆動回路14は n 個のユニットで構成され、各画素アレーの n 画素にデータ信号を供給する。各ユニットはサンプル/ホールド回路ユニット141と、出力回路ユニット142と、を含む。各サンプル/ホールド回路ユニット141はデジタル/アナログ変換器13からのアナログ信号と接地電位とのいずれかを受け、入力信号をサンプリングし、保持してから出力する。各出力回路ユニット142は、対応するサンプル/ホールド回路ユニット141の出力信号 $V1'$ 及び外部信号 $V2'$ を受け、2つの入力信号を加算してから対応した画素に出力する。ちらつきを補償する場合、サンプル/ホールド回路ユニット141は、デジタル/アナログ変換器13からのアナログ信号セットのアナログ信号を受ける。他方では、ちらつきを補償しない場合、サンプル/ホールド回路ユニット141は接地電位を受ける。上記のように、データ信号線駆動回路14は n ユニットから構成され、各ユニットは、サンプル/ホールド回路ユニット141と、出力回路ユニット142と、を含む。サンプル/ホールド回路ユニット141は電流漏れを防ぐために設けられ、例えば、図2に示す回路である。サンプル/ホールド回路ユニット141はデジタル/アナログ変換器13からのアナログ信号セットのアナログ信号と接地電位とのいずれかを選択的に受ける。ここで二つの入力信号を選択的に受けるのはちらつきを補償可能/不可能にするためである。詳しくは以下に述べる。出力回路ユニット142は、例えば、図3に示す回路である。それは、演算増幅器OP2と4つの抵抗から構成される。演算増幅器OP2の負端子は、抵抗値が R である抵抗を経由して接地する以外、抵抗値が R であるもう一つの抵抗を経由して演算増幅器OP2の出力端子に接続される。演算増幅器OP2の正端子は、抵抗値が R' である抵抗を経由してサンプル/ホールド回路ユニット141からの信号 $V1'$ を受ける以外、抵抗値が R' であるもう一つの抵抗を経由して外部DC信号 $V2'$ を受ける。補償過程は次のようになる。（1） $V1'$ と $V2'$ を加算して出力信号 $V0$ とする。つまり、 $V0 = V1' + V2'$ となる。ここで、外部DC信号 $V2'$ は各画素に印加するデータ信号を表す。信号 $V1'$ は $V2'$ の補償信号であり、サンプル/ホールド回路ユニット141から出力される；（2）サンプル/ホールド回路ユニット141の入力信号を選択することによって、補償過程を可能/不可能にする。具体的には、サンプル/ホールド回路ユニット141がデジタル/アナログ変換器13からのアナログ信号を受けると、ちらつきの補償は可能になる。なぜなら、デジタル/アナログ変換器13は記憶装置11から各画素の補償信号を受ける。一方では、サンプル/ホールド回路ユニット141が接地電位を受けると、 $V1'$ が0になる。即ち、 $V0 = V2'$ となり、補償過程が無効になる。図4

は、もう一つの好適な実施の形態を示す。図 1 に示す回路に比べれば、唯一の違いは、ゲイン可調整増幅器 15 がデジタル/アナログ変換器 13 とデータ信号線駆動回路 14 の間に挿入されることである。ゲイン可調整増幅器 15 はデジタル/アナログ変換器 13 の高出力インピーダンスを、低出力インピーダンスに変換することができる。本発明の補償回路は、各画素が薄膜トランジスタに駆動される。データ信号線駆動回路 14 の各ユニットは、対応する薄膜トランジスタのドレインにアナログ信号を印加する。上述のように、記憶装置 11 は、m 個のデジタル信号セットを保存する。各デジタル信号セットは、n 個のデジタル信号から構成され、各デジタル信号は一個の画素に対応する。つまり、各デジタル信号は対応する画素の補償信号となる。なお、異なる画素アレーの特性が大して変わらないので、極端な高画質が要求されない限り、単一の画素アレーの補償信号を設ければ宜しい。即ち、記憶装置 11 に、n 個のデジタル信号を有するデジタル信号セットを一個保存すれば宜しい。

【図面の簡単な説明】

【図 1】本発明の好適な実施の形態による液晶表示器の補償回路の例を示すブロック図である。

【図 2】図 1 のサンプル/ホールド回路ユニットの構成例を示す回路図である。

*【図 3】図 1 の出力回路ユニットの構成例を示す回路図である。

【図 4】本発明の他の好適な実施の形態による液晶表示器の補償回路の例を示すブロック図である。

【図 5】従来の液晶表示器の構造を説明する説明図である。

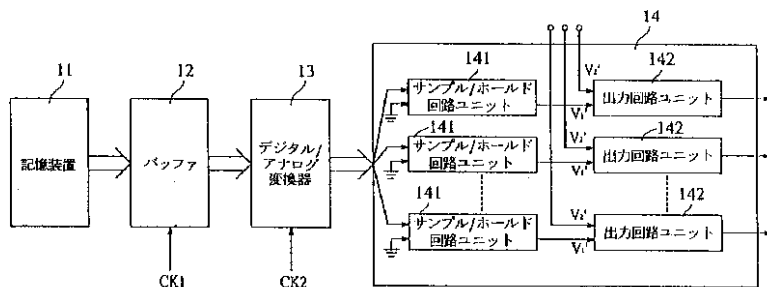
【図 6】従来の液晶表示器の他の構造を説明する説明図である。

【図 7】図 5 及び図 6 の走査線駆動回路に生成される信号波形を示す波形図である。

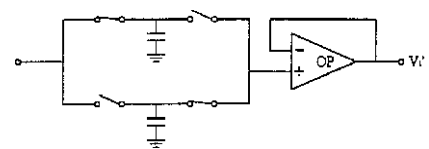
【符号の説明】

- 11 記憶装置
- 12 バッファ
- 13 デジタル/アナログ変換器
- 14 データ信号線駆動回路
- 141 サンプル/ホールド回路ユニット
- 142 出力回路ユニット
- 15 ゲイン可調整増幅器
- 51 画素マトリックス
- 52 データ信号線駆動回路
- 53 走査信号線駆動回路
- 54 画素

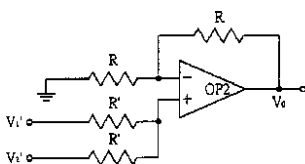
【図 1】



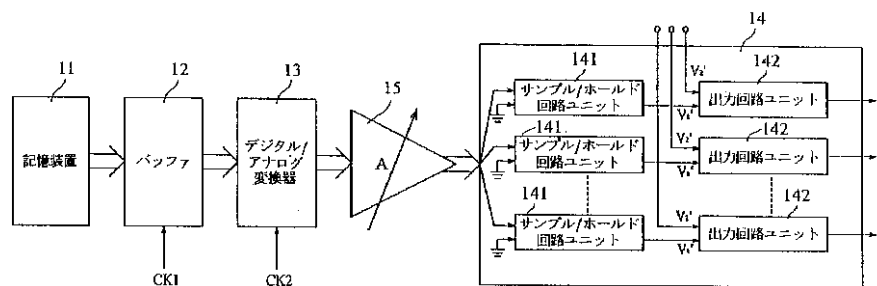
【図 2】



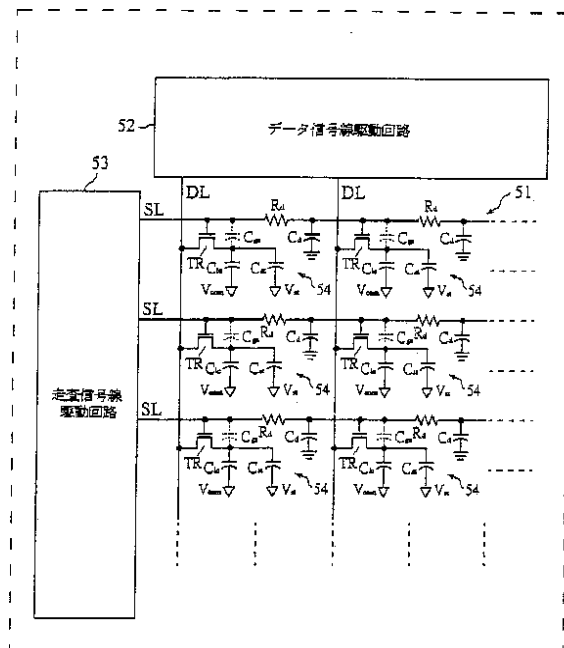
【図 3】



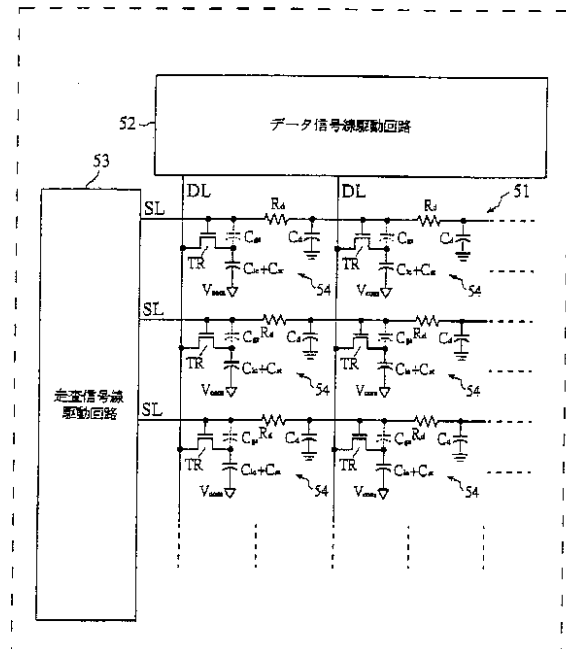
【図 4】



【図5】



【図6】



【図7】



(7A)

(7B)

フロントページの続き

F ターム(参考) 2H093 NC13 NC23 NC28 NC34 NC59
 ND10
 5C006 AC02 AC21 AF46 AF52 AF64
 AF82 BB16 BC03 BC06 BC13
 BF11 BF25 BF49 BF50 FA23
 FA43 FA52
 5C080 DD06 DD22 DD27 DD30 EE28
 FF09 JJ02 JJ03 JJ04

(带更正) 解决的问题: 提供一种用于液晶显示器的补偿电路, 该补偿电路消除了液晶显示器的面板上产生的闪烁。液晶显示器的补偿电路包括: 存储装置(11), 用于保持多个数字信号集; 缓冲器(12), 用于临时存储来自该存储装置的数字信号集; 以及来自缓冲器的数字信号集。由多个单元构成的数字/模拟转换器13和用于转换成模拟信号集的数据信号线驱动电路14, 每个单元具有采样/保持电路单元141和输出电路单元142。然而, 多个采样/保持电路单元中的每一个都接收来自数字/模拟转换器的模拟信号或接地电势并输出接收到的信号, 并且多个输出电路单元中的每个具有对应的采样/保持电路。保持电路单元的输出信号和一个外部信号相加, 然后输出到相应的像素。

