

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4790134号
(P4790134)

(45) 発行日 平成23年10月12日 (2011.10.12)

(24) 登録日 平成23年7月29日 (2011.7.29)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)

GO2F 1/1368

GO2F 1/1343 (2006.01)

GO2F 1/1343

HO1L 21/336 (2006.01)

HO1L 29/78 612D

HO1L 29/786 (2006.01)

HO1L 29/78 616U

HO1L 29/78 616V

請求項の数 14 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-46234 (P2001-46234)
 (22) 出願日 平成13年2月22日 (2001.2.22)
 (65) 公開番号 特開2002-55362 (P2002-55362A)
 (43) 公開日 平成14年2月20日 (2002.2.20)
 審査請求日 平成20年2月19日 (2008.2.19)
 (31) 優先権主張番号 2000-43505
 (32) 優先日 平成12年7月27日 (2000.7.27)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea

(74) 代理人 100121382

弁理士 山下 託嗣

(74) 代理人 100094145

弁理士 小野 由己男

(74) 代理人 100106367

弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 液晶表示装置用薄膜トランジスタ基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板の上にアルミニウム系列の導電物質を積層しパターニングして、ゲート線、前記ゲート線と連結されているゲート電極を含むゲート配線を形成する段階、

ゲート絶縁膜を積層する段階、

半導体層を形成する段階、

下部膜と上部膜からなる導電層を積層しパターニングして、前記ゲート線と交差するデータ線、前記データ線と連結されており前記ゲート電極に隣接するソース電極及び前記ゲート電極に対して前記ソース電極の対向側に位置するドレーン電極を含むデータ配線を形成する段階、

保護膜を積層しパターニングして、前記ドレーン電極の上部に第1接触孔を形成する段階、

前記保護膜の上部に前記第1接触孔を通じて前記ドレーン電極と連結される画素電極を形成する段階を含む液晶表示装置用薄膜トランジスタ基板の製造方法において、

前記下部膜及び前記半導体層は全て乾式エッチングでパターニングする液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 2】

前記画素電極はIZOで形成する請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 3】

前記ゲート配線は、外部から走査信号の伝達を受けて前記ゲート線に伝達するゲートパッドをさらに含み、

前記データ配線は、外部から映像信号の伝達を受ける前記データ線に伝達するデータパッドをさらに含み、

前記保護膜は、前記データパッド及び前記ゲート絶縁膜とともに前記ゲートパッドを露出する第２及び第３接触孔を有し、

前記画素電極と同一の層に、前記第２及び第３接触孔を通じて前記ゲートパッド及び前記データパッドと電氣的に連結される補助ゲートパッドと補助データパッドをさらに形成する請求項１に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項４】

10

前記データ配線及び前記半導体層は、部分的に厚さの異なる感光膜パターンを利用した写真エッチング工程で同時に形成する請求項１に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項５】

前記感光膜パターンは、第１厚さを有する第１部分、前記第１厚さより厚い第２部分、前記第１及び第２部分を除いた厚さのない第３部分を含む請求項１に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項６】

前記写真エッチング工程において、前記感光膜パターンは第１領域、前記第１領域より低い透過率を有する第２領域及び前記第１領域より高い透過率を有する第３領域を含む請求項５に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

20

【請求項７】

前記写真エッチング工程において、前記第１部分は前記ソース電極と前記ドレイン電極との間、前記第２部分は前記データ配線の上に位置するように形成する請求項６に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項８】

前記第１乃至第３領域の透過率を異なるように調節するために、光マスクには半透明膜または露光器の分解能より小さいスリットパターンが形成されている請求項７に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項９】

30

前記半導体層と前記データ配線との間に抵抗性接触層を形成する段階をさらに含む請求項８に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項１０】

前記データ配線と前記抵抗性接触層及び前記半導体層を一つのマスクを使用して形成する請求項９に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項１１】

前記下部膜と前記抵抗性接触層及び前記半導体層は連続的に乾式エッチング方法でパターンニングする請求項１０に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項１２】

前記下部膜をパターンニングするための乾式エッチング用気体は Cl_2 または HCl を含む請求項１１に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

40

【請求項１３】

前記下部膜を３００以下に形成する請求項１に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項１４】

前記下部膜及び上部膜はクロム及びアルミニウム系列で形成する請求項１に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

50

本発明は薄膜トランジスタ基板及の製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

液晶表示装置は現在最も広く用いられている平板表示装置の一つであって、電極が形成されている二つの基板とその間に挿入されている液晶層からなり、電極に電圧を印加して液晶層の液晶分子を再配列させることによって透過する光の量を調節する表示装置である。

【 0 0 0 3 】

液晶表示装置の中でも現在主に用いられているものは、二つの基板に電極が各々形成されていて電極に印加される電圧をスイッチングする薄膜トランジスタを有している液晶表示装置であり、薄膜トランジスタは二つの基板のうちの一つに形成されるのが一般的である。

10

【 0 0 0 4 】

このような液晶表示装置で信号遅延を防止するために、配線は低抵抗を有するアルミニウム (Al) またはアルミニウム合金 (Al Alloy) などのような低抵抗物質を使用するのが一般的である。しかしながら、液晶表示装置でのように透明な導電物質のITO (indium tin oxide) を使用して画素電極を形成したりパッド部の信頼性を確保する場合、アルミニウム系列の金属とITOの接触特性がよくないため接触特性に優れた他の金属を介在させるようにするが、接触部ではアルミニウムまたはアルミニウム合金は除去しなければならないため、製造工程が複雑になるという問題点を有している。また、アルミニウム系列の金属がケイ素の半導体層と接する場合にはアルミニウム系列の金属が半導体層に拡散するのを防止するために他の金属を介在しなければならないが、多層構造の配線を形成するためには互いに異なるエッチング条件が必要になる。

20

【 0 0 0 5 】

一方、液晶表示装置を製造する方法のうち、薄膜トランジスタが形成されている基板はマスクを用いた写真エッチング工程を通じて製造するのが一般的である。この時、生産費用を減らすためにはマスクの数を減少させることが好ましい。

【 0 0 0 6 】

【発明が解決しようとする課題】

本発明が目的とする技術的課題は、優れた接触特性を有すると同時に低抵抗配線を有する薄膜トランジスタ基板の製造方法を提供することにある。

30

【 0 0 0 7 】

また、本発明の他の課題は薄膜トランジスタ基板の製造方法を単純化することである。

【 0 0 0 8 】

【課題を解決するための手段】

このような問題点を解決するために、本発明ではアルミニウム系列の金属からなる配線と連結される導電膜をIZO (indium zinc oxide) で形成し、アルミニウム系列の配線と半導体層との間に介在しているクロムの導電膜を乾式エッチングでパターニングする。

【 0 0 0 9 】

本発明による薄膜トランジスタ基板の製造方法では、まず、絶縁基板の上にアルミニウム系列の導電物質を積層しパターニングしてゲート線、ゲート線と連結されているゲート電極を含むゲート配線を形成し、ゲート絶縁膜を積層する。続いてゲート絶縁膜の上部に半導体層を形成し、その上部にクロムの下部膜とアルミニウム系列の上部膜とからなる導電膜を積層しパターニングして、ゲート線と交差するデータ線、データ線と連結されておりゲート電極に隣接するソース電極及びゲート電極に対してソース電極の対向側に位置するドレーン電極を含むデータ配線を形成する。その後、保護膜を積層しパターニングしてドレーン電極の上部に第1接触孔を形成し、保護膜の上部にドレーン電極と電氣的に連結される画素電極を形成する。この時、データ配線の下部膜は乾式エッチングでパターニングする。

40

【 0 0 1 0 】

50

ここで、画素電極は透明な導電物質であるIZOで形成することが好ましく、下部膜は300以下の厚さで形成することが良い。また、下部膜をエッチングするための乾式エッチング用気体としては Cl_2 またはHClを含むことが好ましい。

【0011】

ゲート配線は外部から走査信号の伝達を受けてゲート線に伝達するゲートパッドをさらに含み、データ配線は外部から映像信号の伝達を受けてデータ線に伝達するデータパッドをさらに含み、保護膜はデータパッド及びゲート絶縁膜とともにゲートパッドを露出する第2及び第3接触孔を有し、画素電極と同一の層に第2及び第3接触孔を通じてゲートパッド及びデータパッドと電氣的に連結される補助ゲートパッドと補助データパッドをさらに形成することができる。

10

【0012】

データ配線及び半導体層は部分的に厚さの異なる感光膜パターンを利用した写真エッチング工程で同時に形成することができ、感光膜パターンは第1厚さを有する第1部分、第1厚さより厚い第2部分、第1及び第2部分を除いた厚さのない第3部分を含むことが好ましい。

【0013】

写真エッチング工程で感光膜パターンは、第1領域、前記第1領域より低い透過率を有する第2領域及び前記第1領域より高い透過率を有する第3領域を含む光マスクを用いて形成することができ、写真エッチング工程で第1部分はソース電極とドレイン電極との間、第2部分はデータ配線の上に位置するように形成することが好ましい。

20

【0014】

第1乃至第3領域の透過率を異なるように調節するために、光マスクには半透明膜または露光器の分解能より小さいスリットパターンが形成されることができ、第1部分の厚さは第2部分の厚さに対して1/2以下に形成することが好ましい。

【0015】

なお、半導体層とデータ配線との間に抵抗性接触層を形成する段階をさらに含むことができ、データ配線と接触層及び半導体層を一つのマスクを使用して形成することができる。この時、下部膜と接触層と半導体層とを連続して乾式エッチングでパターンニングする。

【0016】

【発明の実施の形態】

30

以下、添付した図面を参考として本発明の実施例による薄膜トランジスタ基板の製造方法について、本発明の属する技術分野にて通常の知識を有する者が容易に実施することができるように詳細に説明する。

【0017】

まず、図1及び図2を参照して本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板の構造について詳細に説明する。

【0018】

図1は本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を示しており、図2は図1に示した薄膜トランジスタ基板をII-II'線に沿って切断して示した断面図である。

40

【0019】

絶縁基板10の上に低抵抗を有するアルミニウム系列の金属物質からなるゲート配線が形成されている。ゲート配線は横方向に延びているゲート線22、ゲート線22の端部に連結されていて外部からのゲート信号の印加を受けてゲート線に伝達するゲートパッド24及びゲート線22に連結されている薄膜トランジスタのゲート電極26を含む。

【0020】

基板10の上には窒化ケイ素 SiN_x などからなるゲート絶縁膜30がゲート配線22、24、26を覆っており、ゲート絶縁膜30は以後に形成される保護膜70とともにゲートパッド24を露出する接触孔74を有する。

【0021】

50

ゲート電極 26 のゲート絶縁膜 30 の上部には非晶質ケイ素などの半導体からなる半導体層 40 が島模様で形成されており、半導体層 40 の上部にはシリサイドまたは n 型不純物が高濃度にドーピングされている n+水素化非晶質ケイ素などの物質で作られた抵抗性接触層 54、56 が各々形成されている。

【0022】

抵抗性接触層 54、56 及びゲート絶縁膜 30 の上には、アルミニウム (Al) またはアルミニウム合金 (Al alloy)、モリブデン (Mo) またはモリブデン - タングステン (MoW) 合金、クロム (Cr)、タンタル (Ta) などの金属または導電体からなるデータ配線 62、65、66、68 が形成されている。データ配線は、縦方向に形成されてゲート線 22 と交差して画素を定義するデータ線 62、データ線 62 の分枝であり抵抗性接触層 55 の上部まで延びているソース電極 65、データ線 62 の一端部に連結されていて外部からの画像信号の印加を受けるデータパッド 68、ソース電極 65 と分離されておりゲート電極 26 に対してソース電極 65 の反対側の抵抗性接触層 56 の上部に形成されているドレーン電極 66 を含む。

10

【0023】

データ配線 62、65、66、68 はアルミニウム系列の単一膜で形成することが好ましいが、二重層以上に形成されることもできる。二重層以上に形成する場合には、一つの層は抵抗の小さい物質で形成し他の層は他物質との接触特性の良い物質で作ることが好ましい。その例としては Cr/Al (または Al 合金) または Al/Mo などを挙げることができ、本発明の実施例においてデータ配線 62、65、66、68 は、Cr の下部膜 601 とアルミニウム合金の上部膜 602 で形成されている。この時の Cr 膜 601 は上部膜 602 のアルミニウム系列の金属がケイ素層である半導体層 40、抵抗性接触層 55、56 に拡散するのを防止する役割を果たす。

20

【0024】

データ配線 62、65、66、68 及びこれらで遮られない半導体層 40 の上部には保護膜 70 が形成されている。保護膜 70 にはドレーン電極 66 及びデータパッド 68 を各々露出する接触孔 76、78 が各々形成されており、ゲート絶縁膜 30 とともにゲートパッド 24 を露出する接触孔 74 が形成されている。

【0025】

保護膜 70 の上には接触孔 76 を通じてドレーン電極 66 と連結されており画素に位置する画素電極 82 と接触孔 74、78 を通じて各々ゲートパッド 24 及びデータパッド 68 と連結されている補助ゲートパッド 84 及び補助データパッド 88 を含み、IZO からなる画素配線が形成されている。

30

【0026】

ここで、画素電極 82 は図 1 及び図 2 のように、ゲート線 22 と重なって維持蓄電器を構成し、維持容量が不足した場合にはゲート配線 22、24、26 と同一の層に維持容量用配線を追加することもできる。

【0027】

このような本発明の実施例による構造は低抵抗なアルミニウム系列の金属からなるゲート配線 22、24、26 及びデータ配線 62、65、66、68 を含んでいるため、大画面高精細の液晶表示装置に適用することができる。また、接触孔 74、76、78 でアルミニウム系列のゲートパッド 24、データパッド 68 及びドレーン電極 66 は、IZO からなる補助ゲートパッド 84、補助データパッド 88 及び画素電極 82 と各々連結されていてパッド部で腐食されないため、パッド部を含む接触部の信頼性を確保することができる。

40

【0028】

次に、このような本発明の第 1 実施例による構造の液晶表示装置用薄膜トランジスタ基板の製造方法について、図 1 及び図 2 と図 3 乃至図 10 を参照して詳細に説明する。

【0029】

まず、図 3 及び図 4 に示したように基板 10 の上に低抵抗を有するアルミニウム系列の導

50

電膜を 2500 程度の厚さで積層しパターンニングして、ゲート線 22、ゲート電極 26 及びゲートパッド 24 を含む横方向のゲート配線を形成する。

【0030】

その後、図 5 及び図 6 に示したようにゲート絶縁膜 30、非晶質ケイ素からなる半導体層 40、ドーピングされた非晶質ケイ素層 50 の 3 層膜を連続して積層し、マスクを用いたパターンニング工程で半導体層 40 とドーピングされた非晶質ケイ素層 50 をパターンニングすることによってゲート電極 24 と対向するゲート絶縁膜 30 の上部に半導体層 40 と抵抗性接触層（ドーピングされた非晶質ケイ素に同じ）50 を形成する。

【0031】

次に、図 7 乃至図 8 に示したようにクロムからなる下部膜 601 を 300 程度の厚さで、低抵抗を有するアルミニウム系列の金属からなる上部膜 602 を 2500 程度の厚さで各々順次に積層した後、マスクを利用した写真工程でパターンニングして、ゲート線 22 と交差するデータ線 62、データ線 62 と連結されてゲート電極 26 の上部まで延びているソース電極 65、データ線 62 と一端部で連結されているデータパッド 68 及びソース電極 65 と分離されておりゲート電極 26 を中心としてソース電極 65 と対向するドレーン電極 66 を含むデータ配線を形成する。ここで、上部膜 602 は湿式または乾式エッチングでエッチングすることができ、クロムの下部膜 601 は乾式エッチングでエッチングし、このためにクロムの下部膜 601 は 300 以下に形成することが好ましい。

【0032】

続いて、データ配線 62、65、66、68 で遮られないドーピングされた非晶質ケイ素層パターン 50 をエッチングしてゲート電極 26 を中心で両側で分離させる一方、両側のドーピングされた非晶質ケイ素層 55、56 の間の半導体層 40 を露出させる。続いて、露出された半導体層 40 の表面を安定化させるために酸素プラズマ処理を実施することが好ましい。

【0033】

次に、図 9 及び図 10 に示したように、窒化ケイ素または有機絶縁膜からなる保護膜 70 を積層した後マスクを利用した写真エッチング工程でゲート絶縁膜 30 とともに乾式エッチングでパターンニングして、ゲートパッド 24、ドレーン電極 66 及びデータパッド 68 を露出させる接触孔 74、76、78 を形成する。続いて接触孔 74、76、78 を通じて露出されたゲートパッド 24 及びドレーン電極 66 とデータパッド 68 の上部膜 602 の表面を乾式洗浄する。この時に使用する気体としては SF_6/O_2 などを挙げることができる。続いて、以後に形成される IZO 膜である画素電極 82、補助ゲートパッド 84、補助データパッド 88 とアルミニウム膜であるドレーン電極 66、ゲートパッド 24、データパッド 68 との接触抵抗を最小化するためにアニーリング工程を通じてアルミニウム系列の金属膜 66、24、68 の上部に残留する物質を除去することができ、アルミニウム系列の金属膜 66、24、68 の上部に Al_xSi_x を含む低抵抗の反応層を形成することができ、アルミニウム系列のゲート配線 22、24、26 及びデータ配線 62、65、66、68 の上部膜を形成する時にケイ素を含むように形成することもできる。ここでアニーリング工程は保護膜 70 を積層した後に別途に形成することもでき、ゲート絶縁膜 30 または保護膜 70 を形成する時にアニーリング工程が含まれるように形成することもできる。

【0034】

最後に、図 1 及び図 2 に示したように IZO を積層しマスクを利用してパターンニングを実施して、接触孔 76 を通じてドレーン電極 66 と連結される画素電極 82 と、接触孔 74、78 を通じてゲートパッド 24 及びデータパッド 68 と各々連結される補助ゲートパッド 84 及び補助データパッド 88 を各々形成する。

【0035】

このような本発明の第 1 実施例による製造方法では、アルミニウム系列の金属膜 601、24 と連結される透明導電膜パターン 82、84、88 を IZO で形成しても接触部で腐食が発生しないため、透明導電膜パターン 82、84、88 を形成する前に接触孔を通じ

10

20

30

40

50

て露出されたアルミニウム金属膜を除去する必要があるないので、製造工程を単純化することができる。

【0036】

このような第1実施例では、前に説明したように5枚のマスクを用いる製造方法を適用することができるが、4枚のマスクを用いる液晶表示装置用薄膜トランジスタ基板の製造方法でも同様に適用することができる。これについては図面を参考として詳細に説明することにする。

【0037】

まず、図11乃至図13を参考として、本発明の実施例による4枚のマスクを用いて完成された液晶表示装置用薄膜トランジスタ基板の単位画素構造について詳細に説明する。

10

【0038】

図11は本発明の第2実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図12及び図13は各々図11に示した薄膜トランジスタ基板をXII-XII'線及びXIII-XIII'線に沿って切断して示した断面図である。

【0039】

まず、絶縁基板10の上に第1実施例と同様にアルミニウム系列の金属からなるゲート線22、ゲートパッド24及びゲート電極26を含むゲート配線が形成されている。そして、ゲート配線は基板10の上部にゲート線22と平行しており上板の共通電極に入力される共通電極電圧などの電圧を外部から印加される維持電極28を含む。維持電極28は後述する画素電極82と連結された維持蓄電器用導電体パターン64と重なって画素の電荷保存能力を向上させる維持蓄電器を構成し、後述する画素電極82とゲート線22との重複で発生する維持容量が十分である場合には形成しないこともある。

20

【0040】

ゲート配線22、24、26、28の上には、窒化ケイ素 SiN_x などからなるゲート絶縁膜30が形成されてゲート配線22、24、26、28を覆っている。

【0041】

ゲート絶縁膜30の上には水素化非晶質ケイ素(hydrogenated amorphous silicon)などの半導体からなる半導体パターン42、48が形成されており、半導体パターン42、48の上にはリン(P)などのn型不純物で高濃度にドーピングされている非晶質ケイ素などからなる抵抗性接触層(ohmic contact layer)パターンまたは中間層パターン55、56、58が形成されている。

30

【0042】

抵抗性接触層パターン55、56、58の上には低抵抗を有するアルミニウム系列の導電物質からなるデータ配線が形成されている。データ配線は縦方向に形成されているデータ線62、データ線62の一端部に連結されて外部からの画像信号の印加を受けるデータパッド68、そしてデータ線62の分枝である薄膜トランジスタのソース電極65からなるデータ線部を含み、また、データ線部62、68、65と分離されておりゲート電極26または薄膜トランジスタのチャンネル部Cに対してソース電極65の反対側に位置する薄膜トランジスタのドレーン電極66と維持電極28の上に位置している維持蓄電器用導電体パターン64も含む。維持電極28を形成しない場合には維持蓄電器用導電体パターン64もまた形成しない。第2実施例においてデータ配線62、64、65、66、68は、第1実施例と同様にクロムの下部膜601とアルミニウム系列の上部膜602とからなる。

40

【0043】

抵抗性接触層パターン55、56、58は、その下部の半導体パターン42、48とその上部のデータ配線62、64、65、66、68の接触抵抗を下げる役割を果たし、データ配線62、64、65、66、68と完全に同一な形態を有する。つまり、データ線部中間層パターン55はデータ線部62、68、65と同一であり、ドレーン電極用中間層パターン56はドレーン電極66と同一であり、維持蓄電器用中間層パターン58は維持蓄電器用導電体パターン64と同一である。

50

【 0 0 4 4 】

一方、半導体パターン 4 2、4 8 は薄膜トランジスタのチャンネル部 C を除けばデータ配線 6 2、6 4、6 5、6 6、6 8 及び抵抗性接触層パターン 5 5、5 6、5 8 と同一な模様をしている。具体的には、維持蓄電器用半導体パターン 4 8 と維持蓄電器用導電体パターン 6 4 及び維持蓄電器用接触層パターン 5 8 は同一な模様をしているが、薄膜トランジスタ用半導体パターン 4 2 はデータ配線及び接触層パターンの残りの部分と多少異なる。

【 0 0 4 5 】

つまり、薄膜トランジスタのチャンネル部 C においてデータ線部 6 2、6 8、6 5、特にソース電極 6 5 とドレーン電極 6 6 とが分離されておりデータ線部中間層パターン 5 5 とドレーン電極用接触層パターン 5 6 も分離されているが、薄膜トランジスタ用半導体パターン 4 2 はここで切れずに連結されて薄膜トランジスタのチャンネルを生成する。

10

【 0 0 4 6 】

データ配線 6 2、6 4、6 5、6 6、6 8 の上には保護膜 7 0 が形成されており、保護膜 7 0 はドレーン電極 6 6、データパッド 6 8 及び維持蓄電器用導電体パターン 6 4 を露出する接触孔 7 6、7 8、7 2 を有しており、またゲート絶縁膜 3 0 とともにゲートパッド 2 4 を露出する接触孔 7 4 を有している。保護膜 7 0 は窒化ケイ素やアクリル系などの有機絶縁物質からなり得る。

【 0 0 4 7 】

保護膜 7 0 の上には、薄膜トランジスタから画像信号を受けて上板の電極とともに電場を生成する画素電極 8 2 が形成されている。画素電極 8 2 は I Z O (indium zinc oxide) などの透明な導電物質で作られ、接触孔 7 6 を通じてドレーン電極 6 6 と電氣的に連結されて画像信号の伝達を受ける。画素電極 8 2 はまた隣接するゲート線 2 2 及びデータ線 6 2 と重なって開口率を高めているが、重ならないこともある。また、画素電極 8 2 は接触孔 7 2 を通じて維持蓄電器用導電体パターン 6 4 とも連結されて導電体パターン 6 4 に画像信号を伝達する。一方、ゲートパッド 2 4 及びデータパッド 6 8 の上には接触孔 7 4、7 8 を通じて各々これらと連結される補助ゲートパッド 8 4 及び補助データパッド 8 8 が形成されており、これらはパッド 2 4、6 8 と外部回路装置との接着性を補完しパッドを保護する役割を果たすものとして必須なものではなく、これらを適用するか否かは選択的である。

20

【 0 0 4 8 】

ここでは画素電極 8 2 の材料の例として透明な I Z O を挙げたが、反射型液晶表示装置の場合には不透明な導電物質を使用しても差支えない。

30

【 0 0 4 9 】

次に、図 1 1 乃至図 1 3 の構造を有する液晶表示装置用薄膜トランジスタ基板を 4 枚のマスクを用いて製造する方法について、図 1 2 と図 1 4 乃至図 3 0 を参照して詳細に説明する。

【 0 0 5 0 】

まず、図 1 4 乃至図 1 6 に示したように第 1 実施例と同様にアルミニウム系列の金属を積層し、第 1 マスクを利用した写真エッチング工程で基板 1 0 の上にゲート線 2 2、ゲートパッド 2 4、ゲート電極 2 6 及び維持電極 2 8 を含むゲート配線を形成する。

40

【 0 0 5 1 】

次に、図 1 7 及び図 1 8 に示したように、ゲート絶縁膜 3 0、半導体層 4 0、中間層 5 0 を化学気相蒸着法を用いて各々 1 5 0 0 乃至 5 0 0 0 、5 0 0 乃至 2 0 0 0 、3 0 0 乃至 6 0 0 の厚さで連続蒸着し、クロムの下部膜 6 0 1 と低抵抗を有するアルミニウム系列の上部膜 6 0 2 とからなる導電層 6 0 をスパッタリングなどの方法で 1 5 0 0 乃至 3 0 0 0 の厚さで蒸着した後、その上に感光膜 1 1 0 を 1 μ m 乃至 2 μ m の厚さで塗布する。この時、下部膜 6 0 1 は乾式エッチングが可能になるように薄く形成し、3 0 0 以下であることが好ましい。

【 0 0 5 2 】

その後、第 2 マスクを通じて感光膜 1 1 0 に光を照射した後に現像して、図 2 0 及び図 2

50

1に示したように、感光膜パターン112、114を形成する。この時、感光膜パターン112、114の中の薄膜トランジスタのチャンネル部C、つまりソース電極65とドレイン電極66との間に位置した第1部分114はデータ配線部A、つまりデータ配線62、64、65、66、68が形成される部分に位置した第2部分112より厚さが小さくなるようにし、その他の部分Bの感光膜は全て除去する。この時、チャンネル部Cに残っている感光膜114の厚さとデータ配線部Aに残っている感光膜112の厚さの比は後述するエッチング工程での工程条件によって異なるようにしなければならないが、第1部分114の厚さを第2部分112の厚さの1/2以下とすることが好ましく、例えば4000以下であるのが良い。

【0053】

このように位置によって感光膜の厚さを異にする方法は多様なものがありうるし、A領域の光透過量を調節するために主にスリット(slit)や格子形態のパターンを形成したり半透明膜を使用する。

【0054】

この時、スリットの間位置したパターンの線幅やパターンの間の間隔、つまりスリットの幅は露光時に使用する露光器の分解能より小さいことが好ましく、半透明膜を用いる場合にはマスクを製作する時の透過率を調節するために他の透過率を有する薄膜を用いたり厚さが異なる薄膜を用いることができる。

【0055】

このようなマスクを通じて感光膜に光を照射すれば光に直接露出される部分では高分子が完全に分解され、スリットパターンや半透明膜が形成されている部分では光の照射量が少ないため高分子は完全に分解されていない状態であり、遮光膜で遮られた部分では高分子がほとんど分解されない。続いて感光膜を現像すれば高分子の分子が分解されない部分のみが残り、光が少なく照射された中央部分には光に全く照射されていない部分より薄い厚さの感光膜が残り得る。この時、露光時間を長くすると全ての分子が分解されてしまうので注意しなければならない。

【0056】

このような薄い厚さの感光膜114は、リフロー可能な物質からなる感光膜を用いて光が完全に透過できる部分と完全に透過できない部分とで分けられた通常のマスクで露光した後に現像し、リフローさせて感光膜が残留していない部分で感光膜の一部を流れるようにすることによって形成することもできる。

【0057】

続いて、感光膜パターン114及びその下部の膜、つまり導電層60、中間層50及び半導体層40に対するエッチングを行う。この時、データ配線部Aにはデータ配線及びその下部の膜がそのまま残っておりチャンネル部Cには半導体層だけが残っていなければならない。残りの部分Bには上の3つの層60、50、40が全て除去されてゲート絶縁膜30が露出されなければならない。

【0058】

まず、図22及び図23に示したように、その他の部分Bの露出されているアルミニウム系列の上部膜602を乾式エッチングまたは湿式エッチングで除去する。

【0059】

続いて、図24及び図25のようにその他の部分Bに露出されているクロムの下部膜601とその下部の中間層50と半導体層40とを乾式エッチング方法で連続してエッチングする。クロムの下部膜601と中間層50及び半導体層40を乾式エッチング工程を用いてインシチュー(in-situ)で行うことができ、そうでないこともある。クロムの下部膜601をエッチングするエッチング用気体としては Cl_2 または HCl と O_2 の混合気体を使用することが好ましく、これに対する詳細な結果は後で説明する。

【0060】

中間層50と半導体層40のエッチングは感光膜パターン112、114と中間層50及び半導体層40(半導体層と中間層はエッチング選択性がほとんど無い)が同時にエッチ

10

20

30

40

50

ングされ、ゲート絶縁膜 30 はエッチングされない条件下で行わなければならない、特に感光膜パターン 112、114 と半導体層 40 に対するエッチング比がほとんど同一な条件下でエッチングすることが好ましく、エッチング用気体としては SF₆ または HCl の混合気体を用いる。感光膜パターン 112、114 と半導体層 40 に対するエッチング比が同一である場合、第 1 部分 114 の厚さは半導体層 40 と中間層 50 の厚さを合せたものと同じであるかそれより小さくしなければならない。このように下部膜 601 を薄く形成し、中間層 50 及び半導体層 40 とともに乾式エッチングで処理することによって製造工程を単純化することができる。ここで下部膜 601 はクロムだけでなく他の金属も用いることができ、中間層 50 及び半導体層 40 と一緒にパターニングが可能であればよい。

【0061】

このようにすると、図 24 及び図 25 に示したようにチャンネル部 C 及びデータ配線部 B の導電層、つまり、ソース/ドレイン用導電体パターン 67 と維持蓄電器用導電体パターン 64 だけが残る。この時、残った導電体パターン 67、64 はソース及びドレイン電極 64、66 が分離されずに連結されている点を除けばデータ配線 62、64、65、66、68 の形態と同一である。また、チャンネル部 C の第 1 部分 114 が除去されてソース/ドレイン用導電体パターン 67 が露出し、その他の部分 B の中間層 50 及び半導体層 40 が除去されてその下部のゲート絶縁膜 30 が露出する。一方、データ配線部 A の第 2 部分 112 もまたエッチングされるので厚さが薄くなる。なお、この段階で半導体パターン 42、48 が完成されるようになる。図面の符号 57、58 は各々ソース/ドレイン用導電体パターン 67 下部の中間層パターンと維持蓄電器用導電体パターン 64 下部の中間層パターンを指す。

【0062】

ここで、チャンネル部 C のソース/ドレイン用導電体パターン 67 は別途の PR エッチバック (etch back) 工程を通じて露出させることもでき、感光膜を十分にエッチングし得る条件では PR エッチバック工程を省略することもできる。これはアッシング (ashing) を通じてチャンネル部 C のソース/ドレイン用導電体パターン 67 の表面に残っている感光膜クズを除去する工程で行われる。

【0063】

次に、図 26 及び図 27 に示したようにチャンネル部 C のソース/ドレイン用導電体パターン 67 及びその下部のソース/ドレイン用中間層パターン 57 をエッチングして除去する。この時、エッチングはソース/ドレイン用導電体パターン 67 と中間層パターン 57 の全てに対して乾式エッチングだけで処理することもでき、ソース/ドレイン用導電体パターン 67 に対しては湿式エッチングで、中間層パターン 57 に対しては乾式エッチングで行うこともできる。本発明の実施例ではアルミニウム系列の上部膜 602 は乾式エッチングまたは湿式エッチングでエッチングし、クロムの下部膜 601 と中間層パターン 57 は連続して乾式エッチングする。この時、クロムの下部膜 601 を薄く形成し中間層パターン 57 とともに乾式エッチングでパターニングすることによってパターニング工程を単純化することができる。ここで、クロムの下部膜 601 は乾式エッチングも可能であるが、厚い場合には湿式エッチングを行うことができる。この時、図 27 に示したように半導体パターン 42 の一部が除去されて厚さが薄くなくこともあり、感光膜パターンの第 2 部分 112 もこの時にある程度の厚さにエッチングされる。この時のエッチングはゲート絶縁膜 30 がエッチングされない条件下で行わなければならない、第 2 部分 112 がエッチングされてその下部のデータ配線 62、64、65、66、68 が露出されないように感光膜パターンが厚いことが好ましいのはもちろんである。

【0064】

このようにすると、ソース電極 65 とドレイン電極 66 とが分離されるとともにデータ配線 62、64、65、66、68 とその下部の接触層パターン 55、56、58 が完成される。

【0065】

最後に、データ配線部 A に残っている感光膜第 2 部分 112 を除去する。しかし、第 2 部

10

20

30

40

50

分 1 1 2 の除去はチャンネル部 C ソース/ドレーン用導電体パターン 6 7 を除去した後、その下の中間層パターン 5 7 を除去する前に行われることもありうる。

【 0 0 6 6 】

このようにしてデータ配線 6 2、6 4、6 5、6 6、6 8 を形成した後、図 2 8 乃至図 3 0 に示したように窒化ケイ素を C V D 方法で蒸着したり有機絶縁物質をスピンコーティングして 3 0 0 0 以上の厚さを有する保護膜 7 0 を形成する。続いて第 3 マスクを用いて保護膜 7 0 をゲート絶縁膜 3 0 とともにエッチングしてドレーン電極 6 6、ゲートパッド 2 4、データパッド 6 8 及び維持蓄電器用導電体パターン 6 4 を各々露出する接触孔 7 6、7 4、7 8、7 2 を形成する。ここでも、以後に形成される I Z O 膜 8 2、8 4、8 8 とアルミニウム膜 6 6、2 4、6 8 との接触抵抗を最小化するために、アニーリング工程を通じてアルミニウム系列の金属膜 6 6、2 4、6 8 の上部に残留する物質を除去することができ、アルミニウム系列の金属膜 6 6、2 4、6 8 の上部に Al_xSi_x を含む低抵抗の反応層を形成することができ、アルミニウム系列のゲート配線 2 2、2 4、2 6、2 8 及びデータ配線 6 2、6 4、6 5、6 6、6 8 の上部膜を形成する時にケイ素を含むように形成することもできる。ここで、保護膜 7 0 をエッチングする前にアニーリング工程は別途に実施することができ、ゲート絶縁膜 3 0 または保護膜 7 0 を形成する時にアニーリング工程が含まれるように形成することもできる。この時、アニーリング工程は 2 8 0 ~ 4 0 0 の温度の範囲で実施することが好ましい。

10

【 0 0 6 7 】

最後に、図 1 1 乃至図 1 3 に示したように 4 0 0 乃至 5 0 0 厚さの I Z O 層を蒸着し、第 4 マスクを使用してエッチングしてドレーン電極 6 6 及び維持蓄電器用導電体パターン 6 4 と連結された画素電極 8 2、ゲートパッド 2 4 と連結された補助ゲートパッド 8 4 及びデータパッド 6 8 と連結された補助データパッド 8 8 を形成する。

20

【 0 0 6 8 】

このような本発明の第 2 実施例では、第 1 実施例による効果だけでなくデータ配線 6 2、6 4、6 5、6 6、6 8 とその下部の接触層パターン 5 5、5 6、5 8 及び半導体パターン 4 2、4 8 を一つのマスクを用いて形成し、この過程でソース電極 6 5 ドレーン電極 6 6 とが分離されて製造工程を単純化することができる。また、製造工程中にクロムの下部膜 6 0 1 と中間層 5 0 と半導体層 4 0 とを連続して乾式エッチング条件でパターニングすることによって製造工程を単純化することができる。

30

【 0 0 6 9 】

次いで、前に説明したように、乾式エッチング用気体である Cl_2 または HCl と O_2 の混合気体を用いてクロム膜をエッチングした実験結果について具体的に説明することにする。

【 0 0 7 0 】

図 3 1 及び図 3 2 は本発明の実施例による液晶表示装置用薄膜トランジスタ基板の製造方法で、乾式エッチング用気体として Cl_2/O_2 と HCl/O_2 を使用した場合のクロム膜のエッチング特性をグラフで各々示したものである。

【 0 0 7 1 】

実験例においてクロム膜 6 0 1 は半導体層 4 0 及び中間層 5 0 をエッチングするためのプラズマエッチング方式の乾式エッチング装置を用いており、乾式エッチング条件において圧力は 3 0 0 m T であり、電力は 1 8 0 0 W であり、乾式エッチング用チャンバの電極間隔は 6 0 mm に設定して実験を行った。図 3 1 は Cl_2 を 4 0 0 s c c m 使用した実験結果であり、図 3 2 は HCl を 4 0 0 s c c m 使用した実験結果である。

40

【 0 0 7 2 】

図 3 1 及び図 3 2 で左側の縦軸はエッチング比を示したものであり、右側の縦軸はエッチングに対する均一度 (uniformity) であり、横軸は O_2 の変化量を示したものである。

【 0 0 7 3 】

図 3 1 のように、乾式エッチング用気体として Cl_2 を用いる場合のクロム膜のエッチング比は 3 5 0 ~ 5 4 0 程度が得られ、エッチング均一度は大部分 1 0 % 程度に良好に測

50

定された。この時、感光膜のエッチング量は1600～2800 程度に測定されており、グラフには示していないがクロム膜と非晶質ケイ素層とのエッチング選択比は8～16：1程度であった。

【0074】

図32のように、乾式エッチング用気体としてHClを用いる場合のクロム膜のエッチング比は200 程度が得られ、エッチング均一度は大部分14～25%程度であった。この時、感光膜のエッチング量は1600 程度であった。

【0075】

図33乃至図36は、本発明の実施例による薄膜トランジスタ基板の製造方法におけるクロム金属膜の表面をSEM (scanning electron microscope) を通じて示した写真である。図33乃至図36は、300mT/1800W/400s c c m C l₂/6mmの条件で80"の間乾式エッチングを行った実験結果を示したものである。

【0076】

図33乃至図36のように、クロム膜とドーピングされた非晶質ケイ素層(N+ a - S i)の表面は良好であり、クロム膜のテーパ角度は25～30°であって良好なプロファイル(profile)を得ることができた。

【0077】

【発明の効果】

このように本発明によれば、金属層を薄く形成し半導体層と一緒にパターンニングすることによって製造工程を単純化することができ、低抵抗のアルミニウムまたはアルミニウム合金で配線を形成することによって大画面高精細の製品の特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を示した図である。

【図2】図1に示した薄膜トランジスタ基板をII-II線に沿って切断して示した断面図である。

【図3】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程における薄膜トランジスタ基板の配置図である。

【図4】図3aのIV-IV'線に沿って切断した断面図である。

【図5】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程における薄膜トランジスタ基板の配置図である。

【図6】図5のVI-VI'線に沿って切断して示した図面として図4の次の段階を示した断面図である。

【図7】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程における薄膜トランジスタ基板の配置図である。

【図8】図7のVIII-VIII'線に沿って切断して示した図面として図6の次の段階を示した断面図である。

【図9】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程における薄膜トランジスタ基板の配置図である。

【図10】図9のX-X'線に沿って切断して示した図面として図8の次の段階を示した断面図である。

【図11】本発明の第2実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図12】図11に示した薄膜トランジスタ基板をXII-XII'線に沿って切断して示した断面図である。

【図13】図11に示した薄膜トランジスタ基板をXIII-XIII'線に沿って切断して示した断面図である。

【図14】本発明の第2実施例によって製造する初めての段階における薄膜トランジスタ基板の配置図である。

【図15】図14のXV-XV'線に沿って切断して示した断面図である。

10

20

30

40

50

【図 1 6】図 1 4 のXVI - XVI' 線に沿って切断して示した断面図である。

【図 1 7】図 1 4 のXV - XV' 線に沿って切断して示した断面図として図 1 5 の次の段階を示した断面図である。

【図 1 8】図 1 4 のXVI - XVI' 線に沿って切断して示した断面図として図 1 6 の次の段階を示した断面図である。

【図 1 9】図 1 7 及び 1 8 の次の段階での薄膜トランジスタ基板の配置図である。

【図 2 0】図 1 9 のXX - XX' 線に沿って切断して示した断面図である。

【図 2 1】図 1 9 のXXI - XXI' 線に沿って切断して示した断面図である。

【図 2 2】図 1 9 のXX - XX' 線に沿って切断して示した断面図として図 2 0 の次の段階を図 2 0 の次の段階を工程順序によって示した図である。

【図 2 3】図 1 9 のXXI - XXI' 線に沿って切断して示した断面図として図 2 1 の次の段階を工程順序によって示した図である。

【図 2 4】図 1 9 のXX - XX' 線に沿って切断して示した断面図として図 2 0 の次の段階を工程順序によって示した図である。

【図 2 5】図 1 9 のXXI - XXI' 線に沿って切断して示した断面図として図 2 1 の次の段階を工程順序によって示した図である。

【図 2 6】図 1 9 のXX - XX' 線に沿って切断して示した断面図として図 2 0 の次の段階を工程順序によって示した図である。

【図 2 7】図 1 9 のXXI - XXI' 線に沿って切断して示した断面図として図 2 1 の次の段階を工程順序によって示した図である。

【図 2 8】図 2 6 及び図 2 7 の次の段階での薄膜トランジスタ基板の配置図である。

【図 2 9】図 2 8 のXXIX - XXIX' 線に沿って切断して示した断面図である。

【図 3 0】図 2 8 のXXX - XXX' 線に沿って切断して示した断面図である。

【図 3 1】本発明の実施例による液晶表示装置用薄膜トランジスタ基板の製造方法において、乾式エッチング用気体として Cl_2/O_2 を使用した場合のクロム膜のエッチング特性を示したグラフである。

【図 3 2】本発明の実施例による液晶表示装置用薄膜トランジスタ基板の製造方法において、乾式エッチング用気体として HCl/O_2 を使用した場合のクロム膜のエッチング特性を示したグラフである。

【図 3 3】本発明の実施例による薄膜トランジスタ基板の製造方法におけるクロム金属膜の表面をSEM (scanning electron microscope) を通じて示した写真である。

【図 3 4】本発明の実施例による薄膜トランジスタ基板の製造方法におけるクロム金属膜の表面をSEM (scanning electron microscope) を通じて示した写真である。

【図 3 5】本発明の実施例による薄膜トランジスタ基板の製造方法におけるクロム金属膜の表面をSEM (scanning electron microscope) を通じて示した写真である。

【図 3 6】本発明の実施例による薄膜トランジスタ基板の製造方法におけるクロム金属膜の表面をSEM (scanning electron microscope) を通じて示した写真である。

【符号の説明】

1 0 絶縁基板

2 2 ゲート線

2 4 ゲートパッド

2 6 ゲート電極

2 8 維持電極

3 0 ゲート絶縁膜

4 0 半導体層

4 8 維持蓄電器用半導体パターン

5 0 非晶質ケイ素層

5 4 抵抗接触層

5 5 データ線部中間層パターン

5 6 ドレイン電極用接触層パターン

10

20

30

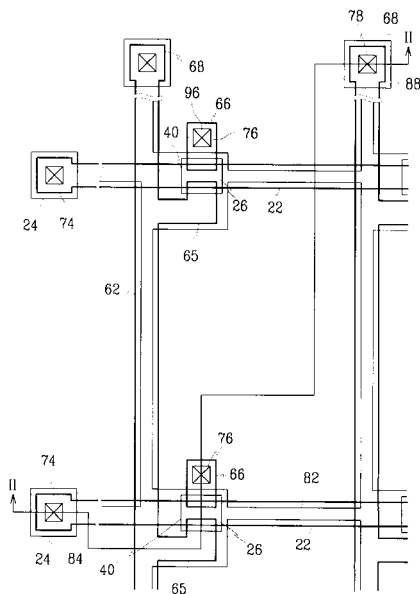
40

50

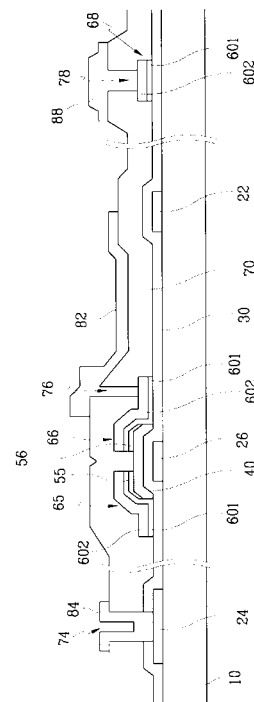
- 5 7 中間体パターン
- 5 8 維持蓄電器用接触層パターン
- 6 0 導電体層
- 6 2 データ線
- 6 4 維持蓄電器用導電体パターン
- 6 5 ソース電極
- 6 6 ドレイン電極
- 6 7 ソース/ドレイン用導電体パターン
- 6 8 データパッド
- 7 0 保護膜
- 7 2、7 4、7 6、7 8 接触孔
- 8 2 画素電極
- 8 4 補助ゲートパッド
- 8 8 補助データパッド
- 1 1 0 感光膜
- 1 1 2 第 2 部分
- 1 1 4 第 1 部分
- 6 0 1 下部膜
- 6 0 2 上部膜

10

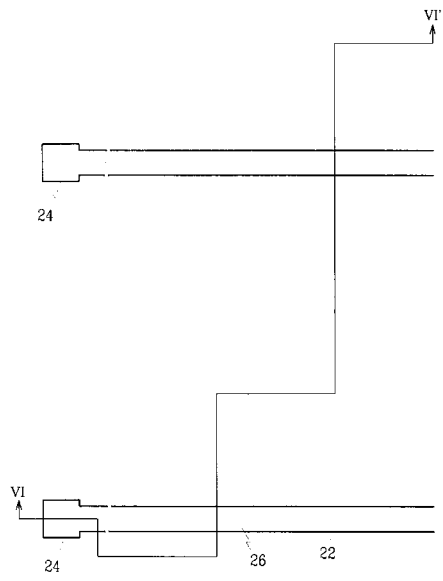
【図 1】



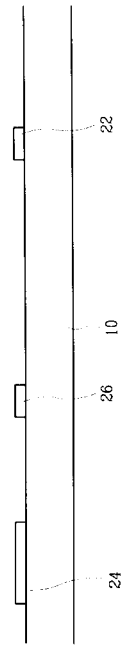
【図 2】



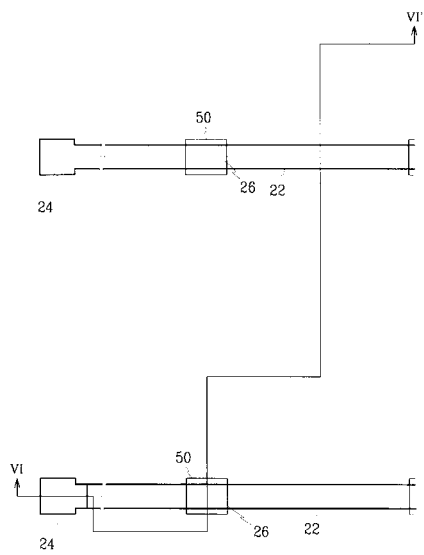
【図 3】



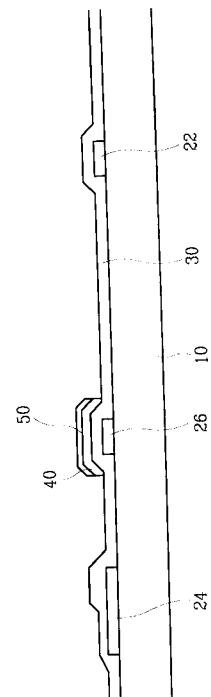
【図 4】



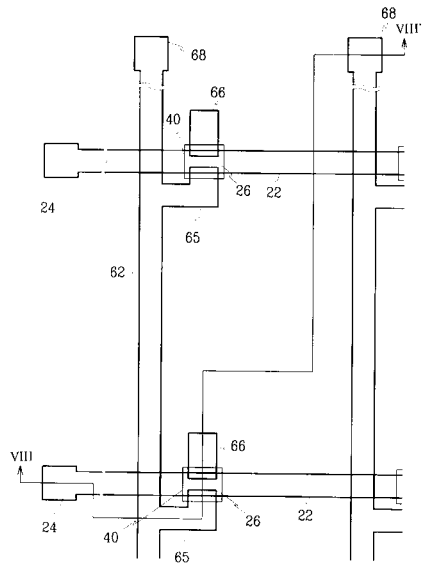
【図 5】



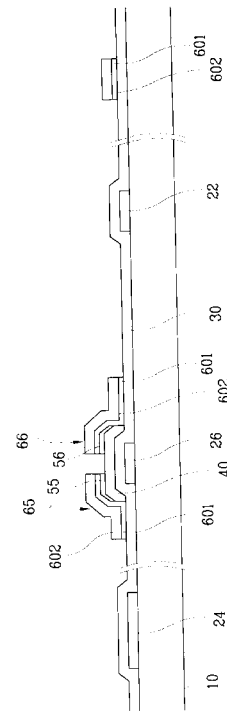
【図 6】



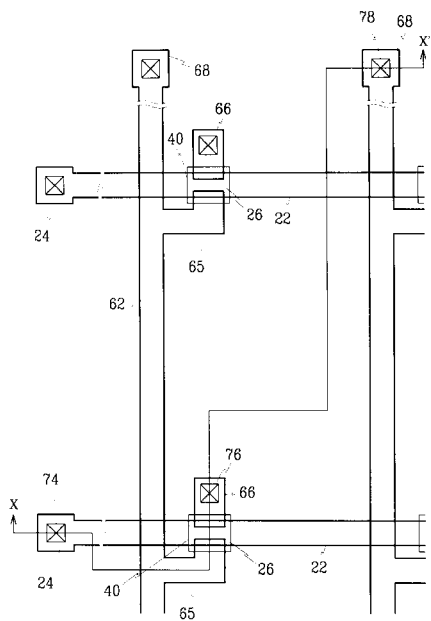
【図 7】



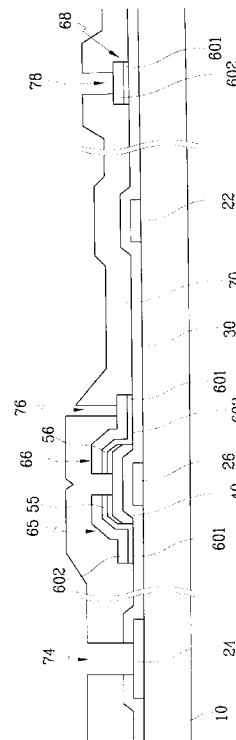
【図 8】



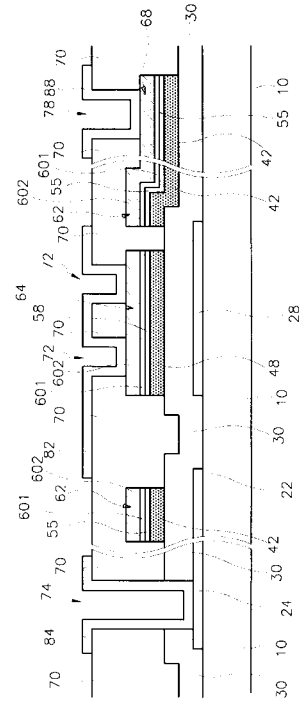
【図 9】



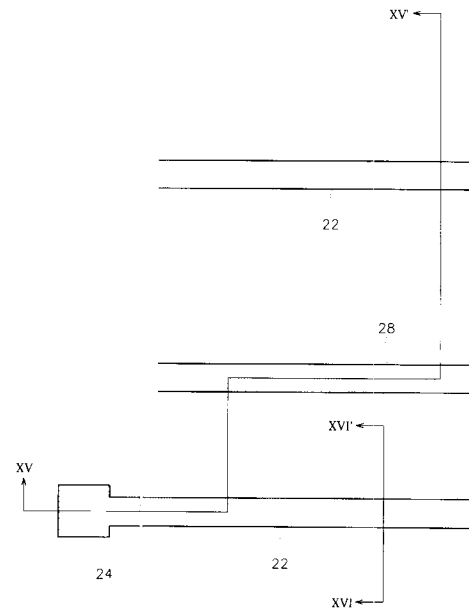
【図 10】



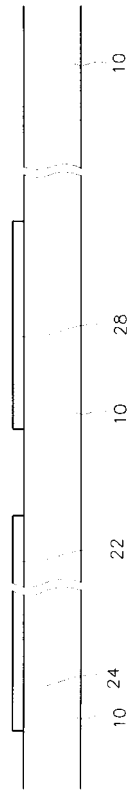
【 図 1 2 】



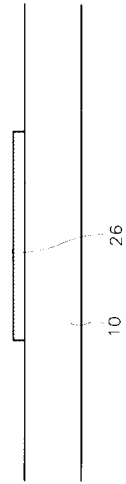
【 図 1 4 】



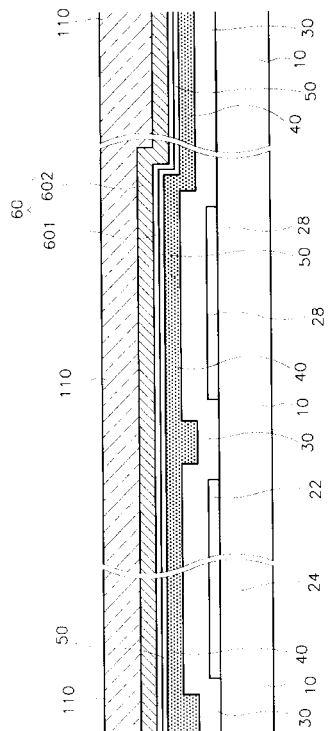
【図 15】



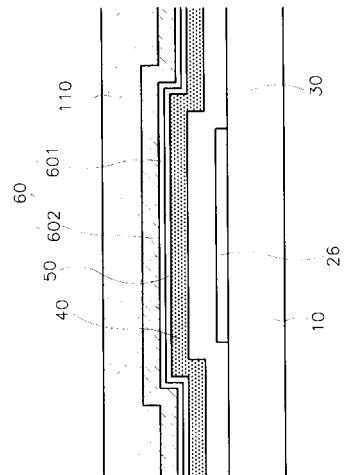
【図 16】



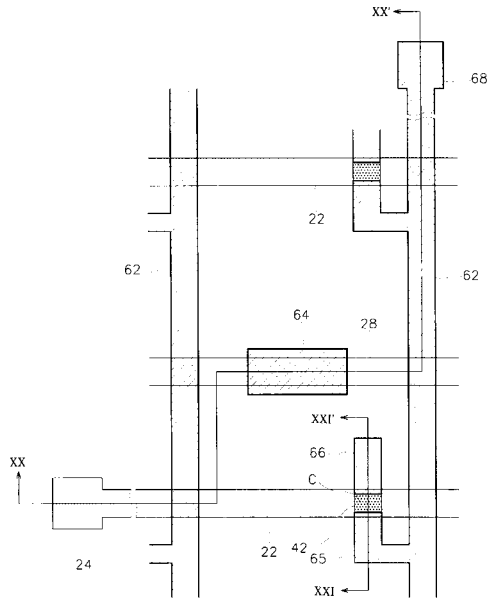
【図 17】



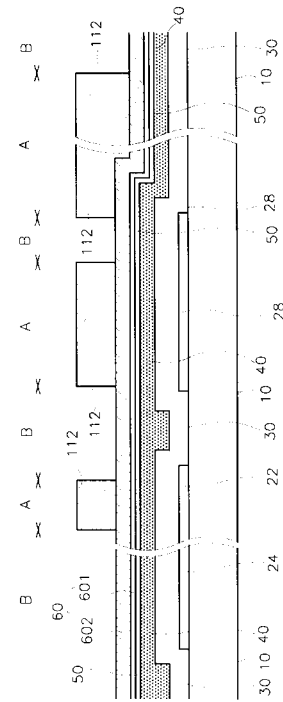
【図 18】



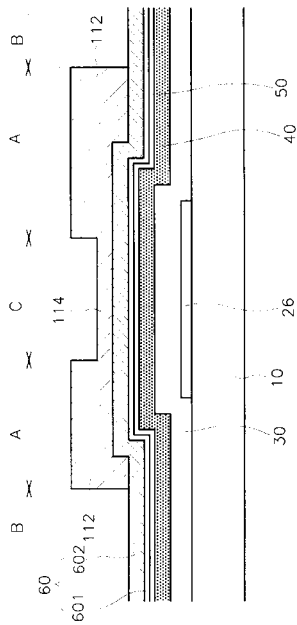
【図 19】



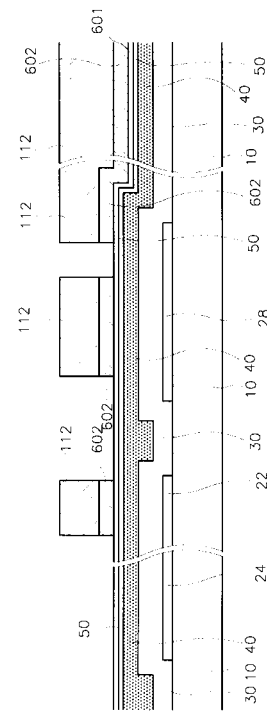
【図 20】



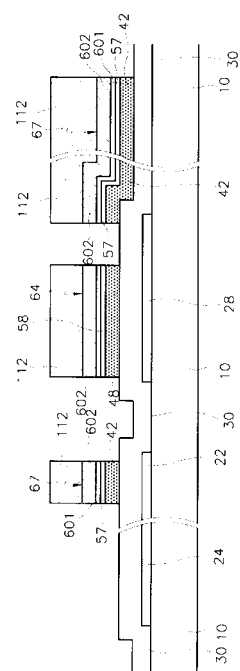
【図 21】



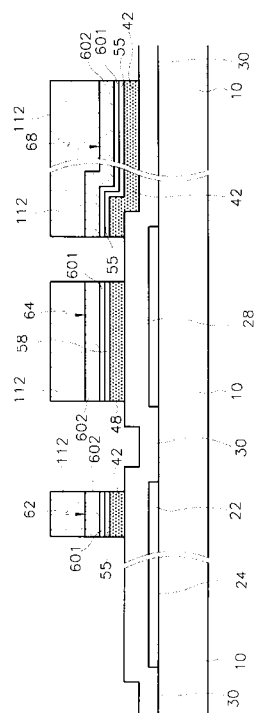
【図 22】



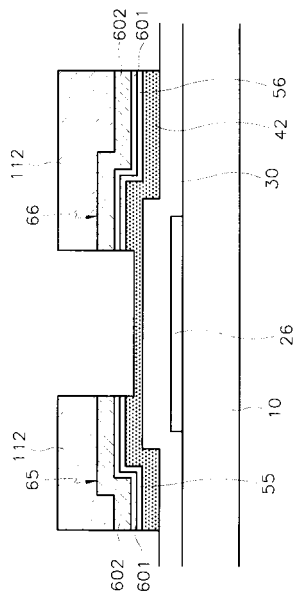
【图 24】



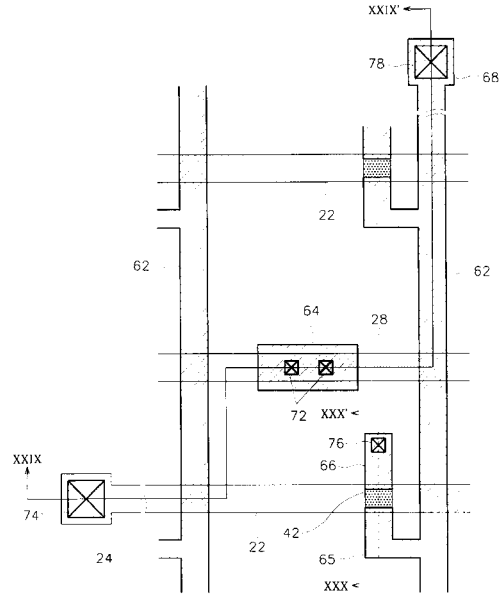
【图 26】



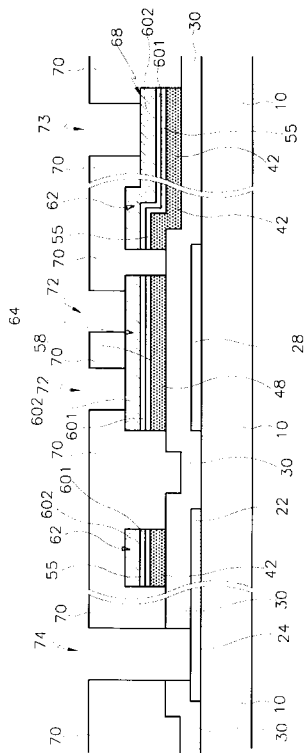
【図 27】



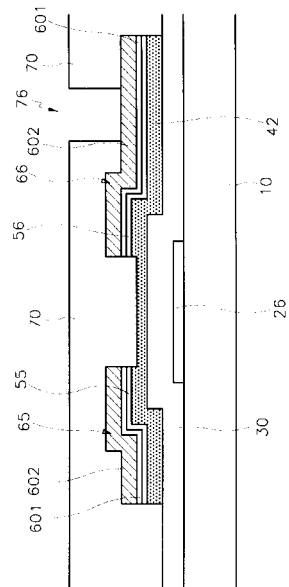
【図 28】



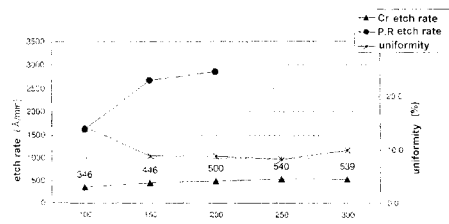
【図 29】



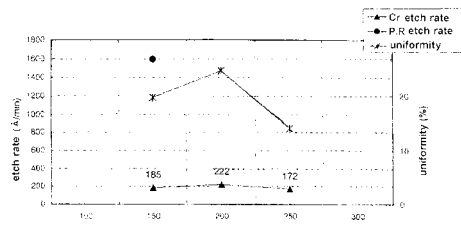
【図 30】



【図 3 1】



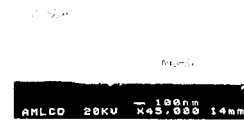
【図 3 2】



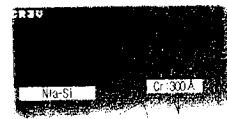
【図 3 3】



【図 3 4】

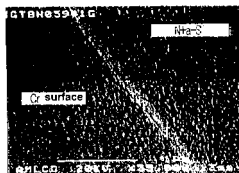


【図 3 5】



Etching Profile: about 25~30°

【図 3 6】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 2 7 C

(72)発明者 金 湘 甲
大韓民国ソウル市江東区明逸洞 3 0 9 - 1 番地 三益アパート 2 0 5 棟 9 1 3 号

(72)発明者 洪 むん 杓
大韓民国京畿道城南市盆唐区隋内洞 プルンマウル雙龍アパート 4 0 1 棟 2 2 0 2 号

審査官 右田 昌士

(56)参考文献 特開 2 0 0 0 - 1 6 2 6 4 7 (J P , A)
特開平 0 8 - 0 1 8 0 5 8 (J P , A)
特開平 1 1 - 3 5 2 5 1 5 (J P , A)
特開平 0 4 - 2 5 3 3 4 2 (J P , A)
特開平 0 5 - 2 6 5 0 2 4 (J P , A)
特開 2 0 0 0 - 1 6 4 5 8 4 (J P , A)
特開 2 0 0 0 - 0 0 2 8 9 2 (J P , A)
米国特許第 0 6 3 3 8 9 8 9 (U S , B 1)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

G02F 1/1343

H01L 21/336

H01L 29/786

专利名称(译)	制造用于液晶显示装置的薄膜晶体管基板的方法		
公开(公告)号	JP4790134B2	公开(公告)日	2011-10-12
申请号	JP2001046234	申请日	2001-02-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金湘甲 洪むん杓		
发明人	金 湘 甲 洪 ▲むん▼ 杓		
IPC分类号	G02F1/1368 G02F1/1343 H01L21/336 H01L29/786 G02F1/136 H01L21/3205 H01L21/3213 H01L21/768 H01L21/77 H01L21/84 H01L23/52 H01L27/12 H01L29/45 H01L29/49		
CPC分类号	H01L29/66765 G02F2001/13629 H01L27/124 H01L29/456 H01L29/4908		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.612.D H01L29/78.616.U H01L29/78.616.V H01L29/78.627.C H01L21/88.C H01L21/88.R H01L21/90.A		
F-TERM分类号	2H092/GA29 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JA46 2H092/KA10 2H092/MA04 2H092/MA17 2H092/MA19 2H092/MA27 2H092/NA25 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC72 2H192/DA02 2H192/DA12 2H192/DA42 2H192/DA44 2H192/FA65 2H192/HA44 2H192/HA63 2H192/HA80 5F033/HH38 5F033/JJ38 5F033/KK08 5F033/KK09 5F033/KK17 5F033/MM05 5F033/MM13 5F033/QQ01 5F033/QQ08 5F033/QQ09 5F033/QQ10 5F033/QQ11 5F033/QQ19 5F033/QQ26 5F033/QQ37 5F033/RR06 5F033/RR21 5F033/VV06 5F033/VV07 5F033/VV15 5F033/XX33 5F110/AA03 5F110/AA16 5F110/BB01 5F110/CC07 5F110/EE03 5F110/FF03 5F110/GG02 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HK25 5F110/HK42 5F110/HL07 5F110/HL26 5F110/NN02 5F110/NN24 5F110/NN27 5F110/NN72 5F110/QQ02 5F110/QQ04 5F110/QQ09		
代理人(译)	山下大沽嗣		
优先权	1020000043505 2000-07-27 KR		
其他公开文献	JP2002055362A		
外部链接	Espacenet		

摘要(译)

(经修改) 要解决的问题：提供具有优异的接触特性和低电阻布线的薄膜晶体管基板的制造方法。 铝系列的导电性材料的基板上层叠的栅极线22，形成包括栅电极和栅极焊盘24的栅极布线，依次形成栅极绝缘膜30，半导体层和欧姆接触层并且，通过层叠包括下层的上层和基于铝的铬，数据线交叉的栅线的导电材料，从而形成包括源电极，漏电极和数据焊盘的数据线。此时，使用含有Cl₂或HCl的蚀刻气体对下部铬膜进行图案化。然后，层叠漏电极保护膜，形成接触孔暴露栅极焊盘和数据焊盘，并通过堆叠IZO图案化，漏极电极66，栅极焊盘和数据焊盘和分别连接到像素电极，所述辅助从而形成栅极焊盘和辅助数据焊盘。

