

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4622917号
(P4622917)

(45) 発行日 平成23年2月2日(2011.2.2)

(24) 登録日 平成22年11月12日(2010.11.12)

(51) Int.Cl.

F I

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2006-95808 (P2006-95808)	(73) 特許権者	304053854 エプソンイメージングデバイス株式会社 長野県安曇野市豊科田沢6925
(22) 出願日	平成18年3月30日(2006.3.30)	(74) 代理人	100075258 弁理士 吉田 研二
(65) 公開番号	特開2007-271804 (P2007-271804A)	(74) 代理人	100096976 弁理士 石田 純
(43) 公開日	平成19年10月18日(2007.10.18)	(72) 発明者	松田 洋史 東京都港区浜松町二丁目4番1号 三洋エ プソンイメージングデバイス株式会社内
審査請求日	平成19年4月13日(2007.4.13)	(72) 発明者	宮島 康志 東京都港区浜松町二丁目4番1号 三洋エ プソンイメージングデバイス株式会社内
		審査官	鈴木 俊光
		最終頁に続く	

(54) 【発明の名称】 液晶パネル用アレイ基板および液晶パネル

(57) 【特許請求の範囲】

【請求項 1】

複数の画素に対応する複数の画素電極と前記複数の画素電極に対して共通に設けられた共通電極とを含んで構成されたアレイ基板と、前記アレイ基板に対向配置された対向基板と、前記アレイ基板と前記対向基板との間に封入された液晶とを備え、前記複数の画素電極と前記共通電極との間の各電界によって前記液晶の配向状態を制御する、液晶パネルにおいて、

前記アレイ基板は、

前記複数の画素を順次を選択し、前記共通電極が設けられる表示領域の周辺領域において4辺からなる前記表示領域の1辺に沿った領域に設けられる画素選択回路と、

前記画素選択回路の入力端群に接続された画素選択回路用配線群と、

選択された画素の前記画素電極へ電位を印加し、前記周辺領域において前記表示領域の4辺のうちで前記画素選択回路が隣接する前記1辺と交差する他の1辺に沿った領域に設けられる電位印加回路と、

前記電位印加回路に対し前記画素選択回路が設けられる側と反対側に引き廻され、前記電位印加回路の入力端群に接続された電位印加回路用配線群と、

前記共通電極に接続された共通電極用配線と、
を備え、

前記共通電極用配線は、前記画素選択回路と前記電位印加回路との間および前記画素選択回路用配線群と前記電位印加回路用配線群との間を延在し、前記画素選択回路、前記電

10

20

位印加回路、前記画素選択回路用配線群及び前記電位印加回路用配線群と交差することを避けて配置されており、

前記共通電極は、層間絶縁膜を介して前記複数の画素電極と積層され、前記アレイ基板の表示領域内で前記液晶の最も近くに位置する導電膜として構成されており、

前記アレイ基板は、前記共通電極から引き出されたアレイ基板側引き出し線をさらに含んで構成され、

前記対向基板は、

前記対向基板の前記表示領域内で前記液晶の最も近くに位置する導電膜として構成された導電性遮光膜と、

前記導電性遮光膜から引き出された対向基板側引き出し線と、
を含んで構成され、

10

前記液晶パネルは、前記アレイ基板と前記対向基板との間に配置され前記アレイ基板側引き出し線と前記対向基板側引き出し線とを電気的に接続する導電部材をさらに備え、

前記アレイ基板側引き出し線は、前記画素選択回路と前記画素選択回路用配線群と前記電位印加回路と前記電位印加回路用配線群との交差を避けて引き出されていることを特徴とする液晶パネル。

【請求項 2】

請求項 1 に記載の液晶パネルにおいて、

前記アレイ基板上に実装され前記共通電極用配線と前記画素選択回路用配線群と前記電位印加回路用配線群とに接続された集積回路チップをさらに備え、

20

前記共通電極用配線は、前記集積回路チップと前記共通電極とを接続していることを特徴とする液晶パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネル用アレイ基板および液晶パネルに係り、アレイ基板に液晶の配向状態を制御するための電界を形成する画素電極と共通電極との両方が設けられた構造において配線の交差を抑制する技術に関する。

【背景技術】

【0002】

30

従来より、アレイ基板の画素電極と対向基板の対向電極との間の電界（縦電界）の制御によって液晶の配向状態を制御する液晶パネルが知られている。また、広視野角の液晶パネルとして、IPS（In-Plane Switching）モードやFFS（Fringe Field Switching）モード等の液晶パネルがある。これらのモードでは、アレイ基板側に画素電極と上記対向電極に相当する共通電極との両方を設け、両電極間に生じる電界（横電界）の制御によって液晶の配向状態を制御する。なお、IPSモードについては例えば特許文献 1 に紹介され、FFSモードについては例えば特許文献 2 に紹介されている。

【0003】

【特許文献 1】特開平 10 - 62767 号公報

【特許文献 2】特開 2002 - 296611 号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、横電界を利用した液晶パネルでは、電界を制御する 2 つの電極がいずれもアレイ基板に設けられているので、アレイ基板側に画素電極のみが設けられた縦電界型の液晶パネルに比べてアレイ基板側の配線数が多くなる。このため、配線レイアウトによっては配線の交差が生じるとの問題がある。

【0005】

本発明の目的は、画素電極および共通電極の両方がアレイ基板に設けられた構造であっても配線の交差を抑制可能な液晶パネルおよび液晶パネル用アレイ基板を提供することで

50

ある。

【課題を解決するための手段】

【0008】

さらに、本発明に係る液晶パネルは、複数の画素に対応する複数の画素電極と前記複数の画素電極に対して共通に設けられた共通電極とを含んで構成されたアレイ基板と、前記アレイ基板に対向配置された対向基板と、前記アレイ基板と前記対向基板との間に封入された液晶とを備え、前記複数の画素電極と前記共通電極との間の各電界によって前記液晶の配向状態を制御する、液晶パネルにおいて、前記アレイ基板は、前記複数の画素を順次に選択し、前記共通電極が設けられる表示領域の周辺領域において4辺からなる前記表示領域の1辺に沿った領域に設けられる画素選択回路と、前記画素選択回路の入力端群に接続された画素選択回路用配線群と、選択された画素の前記画素電極へ電位を印加し、前記周辺領域において前記表示領域の4辺のうちで前記画素選択回路が隣接する前記1辺と交差する他の1辺に沿った領域に設けられる電位印加回路と、前記電位印加回路に対し前記画素選択回路が設けられる側と反対側に引き廻され、前記電位印加回路の入力端群に接続された電位印加回路用配線群と、前記共通電極に接続された共通電極用配線と、を備え、前記共通電極用配線は、前記画素選択回路と前記電位印加回路との間および前記画素選択回路用配線群と前記電位印加回路用配線群との間を延在し、前記画素選択回路、前記電位印加回路、前記画素選択回路用配線群及び前記電位印加回路用配線群と交差することを避けて配置されており、前記共通電極は、層間絶縁膜を介して前記複数の画素電極と積層され、前記アレイ基板の表示領域内で前記液晶の最も近くに位置する導電膜として構成されており、前記アレイ基板は、前記共通電極から引き出されたアレイ基板側引き出し線をさらに含んで構成され、前記対向基板は、前記対向基板の前記表示領域内で前記液晶の最も近くに位置する導電膜として構成された導電性遮光膜と、前記導電性遮光膜から引き出された対向基板側引き出し線と、を含んで構成され、前記液晶パネルは、前記アレイ基板と前記対向基板との間に配置され前記アレイ基板側引き出し線と前記対向基板側引き出し線とを電氣的に接続する導電部材をさらに備え、前記アレイ基板側引き出し線は、前記画素選択回路と前記画素選択回路用配線群と前記電位印加回路と前記電位印加回路用配線群との交差を避けて引き出されていることを特徴とする。

【0009】

また、前記アレイ基板上に実装され前記共通電極用配線と前記画素選択回路用配線群と前記電位印加回路用配線群とに接続された集積回路チップをさらに備え、前記共通電極用配線は、前記集積回路チップと前記共通電極とを接続していることが好ましい。

【発明の効果】

【0011】

上記構成により、画素電極および共通電極の両方がアレイ基板に設けられていても配線の交差を抑制することができる。その結果、消費電力増加等を抑制することができる。

【発明を実施するための最良の形態】

【0012】

図1に本発明に係る第1実施形態の液晶パネル10を説明する断面図を示す。なお、図1には、液晶パネル10について、画素が例えばマトリクス配列されて映像等の表示を行う領域である表示領域A10内の構成を図示している。

【0013】

図1に示すように、液晶パネル10は、アレイ基板100と、アレイ基板100に対向配置された対向基板200と、これら2枚の基板100, 200の間に封入された液晶310とを含んで構成されている。なお、アレイ基板100はTFT基板、素子基板等とも呼ばれ、対向基板はカラーフィルタ基板等とも呼ばれる。

【0014】

図2の(a)および(b)にアレイ基板100について表示領域A10内の平面図および断面図を示す。図1および図2に示すように、アレイ基板100は、ガラス等で構成された基板110と、画素TFT(Thin Film Transistor)120T等が作り込まれた回

10

20

30

40

50

回路層 120 と、画素電極 131 と、層間絶縁膜 132 と、共通電極 133 と、不図示の配向膜とが積層されて構成されている。画素 TFT 120T および画素電極 131 は画素ごとに設けられており、したがって図 1 では画素 2 個分の構成を図示し、図 2 では画素 1 個分の構成を図示している。

【0015】

回路層 120 は、図 2 に示すように、半導体膜 121 と、ゲート絶縁膜 122 と、ゲート電極 123 と、層間絶縁膜 124 と、ソース電極 125S と、ドレイン電極 125D と、層間絶縁膜 126 と、が積層されて構成されている。ゲート電極 123 とゲート絶縁膜 122 と半導体膜 121 とで画素 TFT 120T の M I S (Metal Insulator Semiconductor) 構造または M O S (Metal Oxide Semiconductor) 構造が構成される。

10

【0016】

半導体膜 121 は、画素ごとに設けられており、基板 110 の対向基板 200 側の表面上に局所的に配置されている。半導体膜 121 は例えばシリコン膜で構成されており、半導体膜 121 には画素 TFT 120T のためのソース領域、ドレイン領域および両領域間のチャンネル領域（いずれも不図示）が設けられている。

【0017】

ゲート絶縁膜 122 は、例えばシリコン酸化膜やシリコン窒化膜で構成されており、半導体膜 121 上および基板 110 上に積層されている。

【0018】

ゲート電極 123 は、例えばシリコン等の半導体膜や金属膜で構成されており、ゲート絶縁膜 122 上に、ゲート絶縁膜 122 を介して半導体膜 121 のチャンネル領域に対向する位置に配置されている。

20

【0019】

層間絶縁膜 124 は、例えばシリコン酸化膜で構成されており、ゲート電極 123 およびゲート絶縁膜 122 上に積層されている。層間絶縁膜 124 は平坦化膜を兼ねている。

【0020】

ソース電極 125S およびドレイン電極 125D は、例えば金属膜で構成されており、層間絶縁膜 124 上に積層されている。層間絶縁膜 124 およびゲート絶縁膜 122 には半導体膜 121 のソース領域に至るコンタクトホールが形成されており、ソース電極 125S は、このコンタクトホールを介してソース領域に電氣的に接続されている。同様に、ドレイン電極 125D は、層間絶縁膜 124 およびゲート絶縁膜 122 を貫くコンタクトホールを介して半導体膜 121 のドレイン領域に電氣的に接続されている。

30

【0021】

層間絶縁膜 126 は、例えばシリコン酸化膜で構成されており、ソース電極 125S 上、ドレイン電極 125D 上および層間絶縁膜 124 上に積層されている。層間絶縁膜 124 は平坦化膜を兼ねている。

【0022】

画素電極 131 は、回路層 120 の層間絶縁膜 126 上に積層されており、画素ごとに設けられている。画素電極 131 は、例えば I T O (Indium Tin Oxide) や I Z O (Indium Zinc Oxide) 等の光透過性導電膜で構成されている。なお、画素電極 131 の全部または一部を金属等の光反射性導電膜で構成することにより、液晶パネル 10 を反射型または半透過型に構成することができる。層間絶縁膜 126 にはドレイン電極 125D に至るコンタクトホールが形成されており、画素電極 131 は、このコンタクトホールを介してドレイン電極 125D に電氣的に接続されている。したがって、画素電極 131 の駆動時の電位（駆動電位）は画素 TFT 120T を介して不図示の駆動装置によって制御される。ここでは画素電極 131 が接続される側をドレイン電極 125D としたが、これをソース電極 125S と呼んでも構わない。

40

【0023】

層間絶縁膜 132 は、例えばシリコン酸化膜で構成されており、画素電極 131 上および回路層 120 の層間絶縁膜 126 上に積層されている。

50

【 0 0 2 4 】

共通電極 1 3 3 は、例えば I T O や I Z O 等の光透過性導電膜で構成されている。共通電極 1 3 3 は層間絶縁膜 1 3 2 上に積層されており、これにより表示領域 A 1 0 内において共通電極 1 3 3 と画素電極 1 3 1 とが層間絶縁膜 1 3 2 を介して積層されている。共通電極 1 3 3 は、表示領域 A 1 0 の全域に渡って配置され、表示領域 A 1 0 内の画素、換言すれば画素電極 1 3 1 に対して共通に設けられている。共通電極 1 3 3 には画素電極 1 3 1 に対向する位置に、共通電極 1 3 3 を厚さ方向に貫通した開口 1 3 4 が設けられている。なお、開口 1 3 4 の形状および数は図示の例に限られない。

【 0 0 2 5 】

共通電極 1 3 3 上に不図示の配向膜が配置されている。

10

【 0 0 2 6 】

ここで、図 3 および図 4 に、液晶パネル 1 0 における液晶 3 1 0 の配向状態の制御を説明する模式図を示す。まず、画素電極 1 3 1 と共通電極 1 3 3 とを同電位に設定した場合、図 3 に示すように、液晶 3 1 0 は所定の状態に配向している。これに対して、画素電極 1 3 1 と共通電極 1 3 3 とで電位を違えた場合、図 4 に示すように、両電極間 1 3 1 , 1 3 3 間には開口 1 3 4 を介して電界 E が形成され、液晶 3 1 0 は図 3 の無電界時の配向状態とは異なった状態に配向する。このとき、両電極 1 3 1 , 1 3 3 間の電界 E の強度によって液晶 3 1 0 の配向状態すなわち液晶 3 1 0 の透過率が制御され、表示光が調光される。画素電極 1 3 1 と共通電極 1 3 3 との間の電界 E によって配向状態が制御可能な限り、図 3 および図 4 の例示とは異なる配向状態を適用することも可能である。

20

【 0 0 2 7 】

なお、液晶パネル 1 0 のように、アレイ基板側に層間絶縁膜を挟んで積層された画素電極 1 3 1 と共通電極 1 3 3 とを有し両電極 1 3 1 , 1 3 3 間の電界によって液晶配向状態を制御する技術は F F S (Fringe Field Switching) モードと呼ばれる。

【 0 0 2 8 】

対向基板 2 0 0 は、図 1 に示すように、ガラス等で構成された基板 2 1 0 と、カラーフィルタ 2 2 0 と、遮光膜 2 3 0 と、不図示の配向膜とを含んで構成されている。

【 0 0 2 9 】

カラーフィルタ 2 2 0 は、基板 2 1 0 のアレイ基板 1 0 0 側の表面上に、アレイ基板 1 0 0 の画素電極 1 3 1 に対向する位置に配置されている。すなわち、画素ごとに設けられている。カラーフィルタ 2 2 0 はその画素の表示色に応じた色の例えば樹脂膜で構成されている。

30

【 0 0 3 0 】

遮光膜 2 3 0 は、樹脂膜やクロム (C r) 等の金属膜で構成され、隣接するカラーフィルタ 2 2 0 間の隙間を埋めるように基板 2 1 0 上に設けられている。

【 0 0 3 1 】

カラーフィルタ 2 2 0 上および遮光膜 2 3 0 上に不図示の配向膜が配置されている。

【 0 0 3 2 】

アレイ基板 1 0 0 と対向基板 2 0 0 とはそれぞれの不図示の配向膜を向き合わせて配置されており、両基板 1 0 0 , 2 0 0 間の隙間に液晶 3 1 0 が封入されている。

40

【 0 0 3 3 】

図 5 に液晶パネル 1 0 の平面図 (レイアウト図) を示す。なお、図 5 では、画素電極 1 3 1 や遮光膜 2 3 0 等の図示を省略し、画素 P を ○ 印で模式的に図示し、表示領域 A 1 0 を破線で示し、対向基板 2 0 0 の輪郭を一点鎖線で図示している。また、説明の簡単のため、表示領域 A 1 0 および共通電極 1 3 3 は図 5 において四角形とする。図 5 では共通電極 1 3 3 を表示領域 A 1 0 よりも広く図示しているが、共通電極 1 3 3 を表示領域 A 1 0 に一致させてもよい。

【 0 0 3 4 】

図 5 に示すように、アレイ基板 1 0 0 は、駆動装置の一部である垂直ドライバ 5 1 (図中では V D R 5 1 と表記している) および水平ドライバ 5 2 (図中では H D R 5 2 と表記

50

している)と、例えば金属膜で構成された配線 L 1 2 3 , L 5 1 , L 1 2 5 S , L 5 2 , L 1 3 3 と、をさらに含んで構成されており、これらは回路層 1 2 0 (図 1 参照) 内に設けられている。

【 0 0 3 5 】

配線 L 5 1 は周辺領域 A 2 0 内に延在しており、各配線 L 5 1 の一端は端子領域 A 2 1 内に設けられており、端子領域 A 2 1 内において各配線 L 5 1 の端部は外部接続端子部を構成している。ここで、端子領域 A 2 1 は、周辺領域 A 2 0 の一部であり、アレイ基板 1 0 0 のうちで対向基板 2 0 0 に覆われてない部分に設けられており、図 5 の例では図面においてアレイ基板 1 0 0 の下方端部に設けられている。各配線 L 5 1 の他端は、薄膜トランジスタ (T F T) 等の回路素子によって構成された垂直ドライバ 5 1 の入力端に接続されている。なお、これら複数の配線 L 5 1 をまとめて配線群 G 5 1 と呼ぶことにする。

10

【 0 0 3 6 】

垂直ドライバ 5 1 は、入力端を介して受信した信号等処理して画素 T F T 1 2 0 T (図 2 参照) のゲート電極 1 2 3 へ印加する駆動電位を生成し、生成した駆動電位を所定のタイミングで所定の出力端から出力するように構成されている。垂直ドライバ 5 1 は、周辺領域 A 2 0 内において表示領域 A 1 0 (または共通電極 1 3 3) の 1 辺に沿った領域に設けられており、図 5 の例では図面において表示領域 A 1 0 の左横に設けられている。

【 0 0 3 7 】

垂直ドライバ 5 1 の各出力端には配線 L 1 2 3 が接続されている。各配線 L 1 2 3 は表示領域 A 1 0 内へ延在し、複数の画素 P に共通に設けられている。具体的には、 1 本の配線 L 1 2 3 に複数の画素 T F T 1 2 0 T (図 2 参照) のゲート電極 1 2 3 が接続されている。

20

【 0 0 3 8 】

この構成により、垂直ドライバ 5 1 は、駆動装置の他の一部を構成する不図示の外部装置から配線 L 5 1 を介して信号等を受信し、受信した信号等から駆動電位を生成し、この駆動電位を配線 L 1 2 3 へ出力する。このとき、垂直ドライバ 5 1 は、複数の配線 L 1 2 3 を順次を選択し、すなわち複数の配線 L 1 2 3 を走査し、その選択した配線 L 1 2 3 へ駆動電位を印加する。これにより、選択された配線 L 1 2 3 に接続された複数の画素 T F T 1 2 0 T のゲート電極 1 2 3 に同時に駆動電位が印加される。

【 0 0 3 9 】

30

配線 L 5 2 は周辺領域 A 2 0 内に延在しており、各配線 L 5 2 の一端は端子領域 A 2 1 内に設けられており、端子領域 A 2 1 内において各配線 L 5 2 の端部は外部接続端子部を構成している。各配線 L 5 2 の他端は、薄膜トランジスタ (T F T) 等の回路素子によって構成された水平ドライバ 5 2 の入力端に接続されている。なお、これら複数の配線 L 5 2 をまとめて配線群 G 5 2 と呼ぶことにする。

【 0 0 4 0 】

水平ドライバ 5 2 は、入力端を介して受信した信号等処理して画素 P の表示データに応じた所定の駆動電位を生成し、生成した駆動電位を所定のタイミングで出力端から出力するように構成されている。水平ドライバ 5 2 は、周辺領域 A 2 0 内に設けられ、表示領域 A 1 0 (または共通電極 1 3 3) の 4 辺のうちで垂直ドライバ 5 1 が隣接する上記 1 辺と交差する他の 1 辺に沿った領域に設けられており、図 5 の例では図面において表示領域 A 1 0 の下に設けられ、表示領域 A 1 0 と端子領域 A 2 1 との間に設けられている。

40

【 0 0 4 1 】

水平ドライバ 5 2 の各出力端には配線 L 1 2 5 S が接続されている。各配線 L 1 2 5 S は表示領域 A 1 0 内へ延在し、複数の画素 P に共通に設けられている。具体的には、 1 本の配線 L 1 2 5 S に複数の画素 T F T 1 2 0 T (図 2 参照) のソース電極 1 2 5 S が接続されている。

【 0 0 4 2 】

この構成により、水平ドライバ 5 2 は、駆動装置の他の一部を構成する不図示の外部装置から配線 L 5 2 を介して信号等を受信し、受信した信号等から表示データに応じた駆動

50

電位を生成し、この駆動電位を配線 L 1 2 5 S へ出力する。このとき、水平ドライバ 5 2 は、垂直ドライバ 5 1 による配線 L 5 1 の走査に同期して、選択された配線 L 5 1 に接続された各画素 P へその画素 P ごとの駆動電位を出力する。これにより、選択された配線 L 1 2 3 に接続された複数の画素 T F T 1 2 0 T を介して画素電極 1 3 1 に駆動電位が印加される。水平ドライバ 5 2 は複数の配線 L 1 2 5 S への出力を同時に行う。

【 0 0 4 3 】

ここで、垂直ドライバ 5 1 による配線 L 5 1 の順次選択動作は表示データに応じた駆動電位を印加すべき画素 P を順次に選択する動作に等しく、このため垂直ドライバ 5 1 を画素選択回路と呼ぶことができる。他方、水平ドライバ 5 2 は、選択された画素 P の画素電極 1 3 1 へその画素 P の表示データに応じた駆動電位を印加するので、電位印加回路と呼ぶことができる。このとき、垂直ドライバ 5 1 の入力端群に接続された配線群 G 5 1 を画素選択回路用配線群と呼ぶことができ、水平ドライバ 5 2 の入力端群に接続された配線群 G 5 2 を電位印加回路用配線群と呼ぶことができ、これらの配線群 G 5 1 , G 5 2 、換言すれば複数の配線 L 5 1 および複数の配線 L 5 2 は各画素電極 1 3 1 の電位を制御するために設けられている。

10

【 0 0 4 4 】

配線 L 1 3 3 は周辺領域 A 2 0 内に延在しており、一端は端子領域 A 2 1 内に設けられており、端子領域 A 2 1 内において配線 L 1 3 3 の端部は外部接続端子部を構成している。配線 L 1 3 3 の他端は、共通電極 1 3 3 のうちで垂直ドライバ 5 1 と水平ドライバ 5 2 との両方に近接した隅部付近において共通電極 1 3 3 に電気的に接続されている。この構成により、駆動装置の他の一部を構成する不図示の外部装置から配線 L 1 3 3 の外部接続端子部へ印加された電位が共通電極 1 3 3 へ印加される。すなわち、配線 L 1 3 3 は共通電極への電位印加用に設けられている。

20

【 0 0 4 5 】

共通電極用配線 L 1 3 3 は、垂直ドライバ 5 1 、水平ドライバ 5 2 および配線群 G 5 1 , G 5 2 との交差を避けて配置されている。具体的には、配線 L 1 3 3 は、共通電極 1 3 3 の上記隅部付近から引き出され（すなわち 2 つのドライバ 5 1 , 5 2 の間を通り）、2 つの配線群 G 5 1 , G 5 2 の間の領域を通して端子領域 A 2 1 内へ延在している。さらに、端子領域 A 2 1 内では、配線 L 1 3 3 の外部接続端子部は配線群 G 5 1 の外部接続端子部と配線群 G 5 2 の外部接続端子部との間に設けられている。この配置形態によれば、共通電極用配線 L 1 3 3 は上述の交差を避けた配置において許容される領域内で最短の長さで端子領域 A 2 1 内へ引き出されている。

30

【 0 0 4 6 】

液晶パネル 1 0 の構成によれば、画素電極 1 3 1 および共通電極 1 3 3 の両方がアレイ基板 1 0 0 に設けられていても配線 L 5 1 , L 5 2 , L 1 3 3 の交差を抑制することができる。その結果、消費電力増加、信頼性低下、信号遅延（電位変化の遅延）、電圧降下等を抑制することができる。

【 0 0 4 7 】

図 6 に本発明の第 2 実施形態の液晶パネル 1 0 B を説明する平面図を示す。液晶パネル 1 0 B は、図 5 の液晶パネル 1 0 の水平ドライバ 5 2 および複数の配線 L 5 2 を水平スイッチング回路 5 4（図中では H S W 5 4 と表記している）および複数の配線 L 5 4 に替え、かつ、液晶パネル 1 0 に集積回路チップ 1 6 0 および配線 L 1 6 0 を追加した構成を有している。液晶パネル 1 0 B のその他の構成は液晶パネル 1 0 と同様であるため、同様の構成要素には同じ符号を付し、重複した説明は省略する。

40

【 0 0 4 8 】

配線 L 1 6 0 は周辺領域 A 2 0 内に延在しており、各配線 L 1 6 0 の一端は端子領域 A 2 1 内に設けられ、端子領域 A 2 1 内において各配線 L 1 6 0 の端部は外部接続端子部を構成している。各配線 L 1 6 0 の他端は集積回路チップ 1 6 0 の入力端に接続されている。

【 0 0 4 9 】

50

集積回路チップ１６０は、アレイ基板１００上に実装されており、不図示の樹脂等で封止されている。集積回路チップ１６０は、周辺領域Ａ２０のうちで対向基板２００に覆われていない箇所に配置されている。集積回路チップ１６０は、垂直ドライバ５１および水平スイッチング回路５４とともに、不図示の駆動装置を構成するものである。具体的には、集積回路チップ１６０は入力端を介して受信した信号等から、垂直ドライバ５１へ供給する信号等を生成し複数の出力端１６１から出力するとともに、図５の水平ドライバ５２の一部機能と同様に各画素Ｐの表示データに応じた駆動電位を生成し複数の出力端１６４から出力する。また、集積回路チップ１６０は、共通電極１３３への印加電位を生成し、出力端１６３から出力する。

【００５０】

10

集積回路チップ１６０の出力端１６１，１６４，１６３には配線Ｌ５１，Ｌ５４，Ｌ１３３の一端がそれぞれ接続されており、これにより垂直ドライバ５１、水平スイッチング回路５４および共通電極１３３へ所定の信号等や駆動電位が供給される。

【００５１】

配線Ｌ５４は周辺領域Ａ２０内に延在しており、各配線Ｌ５４の一端は上述のように集積回路チップ１６０の出力端１６４に接続され、各配線Ｌ５４の他端は薄膜トランジスタ（ＴＦＴ）等の回路素子によって構成された水平スイッチング回路５４の入力端に接続されている。なお、これら複数の配線Ｌ５４をまとめて配線群Ｇ５４と呼ぶことにする。

【００５２】

水平スイッチング回路５４は図５の水平ドライバ５２と同様の位置に設けられている。水平スイッチング回路５４は、集積回路チップ１６０から入力端を介して入力された駆動電位を所定のタイミングで出力端から出力するように構成されている。このとき、水平スイッチング回路５４は、図５の水平ドライバ５２と同様に、垂直ドライバ５１による配線Ｌ５１の走査に同期しかつ複数の出力端から同時に駆動電位を出力する。つまり、集積回路チップ１６０による表示データに応じた駆動電位の生成機能と水平スイッチング回路５４の上記機能によって、図５の水平ドライバ５２と同様の機能が実現される。このような水平スイッチング回路５４は、選択された画素Ｐの画素電極１３１へその画素Ｐの表示データに応じた駆動電位を印加するので、電位印加回路と呼ぶことができる。このとき、水平スイッチング回路５４の入力端群に接続された配線群Ｇ５４は電位印加回路用配線群と呼ぶことができ、配線群Ｇ５４すなわち複数の配線Ｌ５４は各画素電極１３１の電位を制御するために設けられている。

20

30

【００５３】

水平スイッチング回路５４の各出力端には配線Ｌ１２５Ｓが接続されている。この構成により、垂直ドライバ５１によって選択された配線Ｌ１２３に接続された複数の画素ＴＦＴ１２０Ｔを介して画素電極１３１に駆動電位が印加される。

【００５４】

液晶パネル１０Ｂにおいても、共通電極用配線Ｌ１３３は、垂直ドライバ５１、水平スイッチング回路５４および配線群Ｇ５１，Ｇ５４との交差を避けて配置されている。具体的には、共通電極用配線Ｌ１３３は、垂直ドライバ５１と水平スイッチング回路５４との間および２つの配線群Ｇ５１，Ｇ５４の間を延在している。この配置形態によれば、共通電極用配線Ｌ１３３は上述の交差を避けた配置において許容される領域内で最短の長さで集積回路チップ１６０と共通電極１３３とを接続している。したがって、液晶パネル１０Ｂは液晶パネル１０と同様の効果を奏する。

40

【００５５】

図７および図８に本発明の第３実施形態の液晶パネル１０Ｃを説明する平面図および断面図を示す。なお、図７では遮光膜２３０を一点鎖線で図示しているが、遮光膜２３０の配置範囲は図示の例に限られない。液晶パネル１０Ｃでは、遮光膜２３０がクロム（Ｃｒ）等の金属膜で構成されており、この導電性遮光膜２３０に共通電極１３３と同じ電位を印加するための構成をさらに有している。

【００５６】

50

具体的には、液晶パネル１０Ｃのアレイ基板１００Ｃはアレイ基板１００（図１等参照）の周辺領域Ａ２０内にアレイ基板側引き出し線Ｌ１９０と、絶縁膜１８０と、アレイ基板側パッド１９２とを追加した構成を有している。また、液晶パネル１０Ｃの対向基板２００Ｃは対向基板２００（図１等参照）の周辺領域Ａ２０内に対向基板側引き出し線Ｌ２９０と、絶縁膜２８０と、対向基板側パッド２９２とを追加した構成を有している。また、液晶パネル１０Ｃは、両基板１００Ｃ，２００Ｃ間に導電部材３９０をさらに備えている。液晶パネル１０Ｃのその他の構成は液晶パネル１０と同様であるため、同様の構成要素には同じ符号を付し、重複した説明は省略する。

【００５７】

アレイ基板側引き出し線Ｌ１９０は、ここでは基板１１０上に配置されており、一端において共通電極１３３に電氣的に接続され、共通電極１３３から離れた位置へ引き出されている。引き出し線Ｌ１９０は、例えば金属膜で構成してもよいし、共通電極１３３用の導電膜をパターンングすることによって共通電極１３３とともに形成してもよい。

10

【００５８】

絶縁膜１８０は、例えばシリコン酸化膜で構成されており、アレイ基板側引き出し線Ｌ１９０上に積層され、引き出し線Ｌ１９０の一部１９１上に開口を有している。

【００５９】

アレイ基板側パッド１９２は、絶縁膜１８０上に配置され、絶縁膜１８０の開口を介してアレイ基板側引き出し線Ｌ１９０の一部１９１に接している。これにより、引き出し線Ｌ１９０の一部１９１とパッド１９２とによってアレイ基板側電極部１９０が構成されている。アレイ基板側パッド１９２は、金属、ＩＴＯ、ＩＺＯ等の導電膜で構成されている。

20

【００６０】

対向基板側引き出し線Ｌ２９０は、ここでは基板２１０上に配置されており、一端において導電性の遮光膜２３０に電氣的に接続され、遮光膜２３０から離れた位置へ引き出されている。引き出し線Ｌ２９０は、例えば金属膜で構成してもよいし、遮光膜２３０用の導電膜をパターンングすることによって遮光膜２３０とともに形成してもよい。

【００６１】

絶縁膜２８０は、例えばシリコン酸化膜で構成されており、対向基板側引き出し線Ｌ２９０上に積層され、引き出し線Ｌ２９０の一部２９１上に開口を有している。

30

【００６２】

対向基板側パッド２９２は、絶縁膜２８０上に配置され、絶縁膜２８０の開口を介して対向基板側引き出し線Ｌ２９０の一部２９１に接している。これにより、引き出し線Ｌ２９０の一部２９１とパッド２９２とによって対向基板側電極部２９０が構成されている。対向基板側パッド２９２は、金属、ＩＴＯ、ＩＺＯ等の導電膜で構成されている。

【００６３】

アレイ基板側電極部１９０と対向基板側電極部２９０とは周辺領域Ａ２０内において対向して設けられている。このため、アレイ基板側引き出し線Ｌ１９０はアレイ基板側電極部１９０の位置へ向かって共通電極１３３から引き出されており、対向基板側引き出し線Ｌ２９０は対向基板側電極部２９０の位置へ向かって導電性の遮光膜２３０から引き出されている。図７では２つの引き出し線Ｌ１９０，Ｌ２９０の全体が対向する形態を例示している。引き出し線Ｌ１９０，Ｌ２９０の引き出し位置および引き出し方向は図７の例に限られないが、アレイ基板側引き出し線Ｌ１９０をドライバ５１，５２および配線群Ｇ５１，Ｇ５２との交差を避けて引き出すことにより、液晶パネル１０（図１参照）と同様に消費電力増加等を抑制することができる。

40

【００６４】

導電部材３９０は、アレイ基板１００Ｃと対向基板２００Ｃとの間に配置され、アレイ基板側電極部１９０と対向基板側電極部２９０とに接している。これにより、アレイ基板側引き出し線Ｌ１９０と対向基板側引き出し線Ｌ２９０とが電氣的に接続され、導電性遮光膜２３０に共通電極１３３と同じ電位が印加される。

50

【0065】

導電部材390として図7には金属等の導電性材料から成る球体（ビーズ）を1個例示しているが、複数個の球体であってもよいし、1個または複数個のファイバ等であってもよい。また、共通電極133と導電性の遮光膜230とを電氣的に接続可能な限り、例えば樹脂球の表面を金属メッキしたものを導電部材390として用いることもできる。このような導電部材390を例えば不図示のペースト材料（導電性の有無は問わない）と混練し、混練したペーストを2つの電極部190, 290上の少なくとも一方に配置し、アレ基板100Cと対向基板200Cとを貼り合わせることによって、両基板100C, 200C間に導電部材390を配置することができる。上記ペースト材料として例えば液晶310を封入するためのシールを利用することが可能である。

10

【0066】

また、導電部材390は、上述の球体等のような固形物以外に、金（Au）ペースト等の導電性ペーストであってもよい。具体的には、ペースト状の導電部材390を2つの電極部190, 290上の少なくとも一方に配置し、アレ基板100Cと対向基板200Cとを貼り合わせることによって、両基板100C, 200C間に導電部材390を配置することができる。導電部材390を構成する導電ペースト中にスペーサ（導電性の有無は問わない）を混練してもよい。

【0067】

この構成により、導電性遮光膜230に共通電極133と同じ電位が印加される。このため、遮光膜230の電位がフローティング状態になることがない。また、共通電極133はアレ基板100Cにおいて液晶310の最も近くに位置する導電膜であり、遮光膜230は対向基板200Cにおいて液晶310の最も近くに位置する導電膜である。すなわち、共通電極133と遮光膜230とは互いに液晶310を介して最も近くに位置する導電膜であるので、共通電極133と遮光膜230との間には電界が形成されない。したがって、遮光膜230の電位が液晶310の配向状態に不具合を生じさせることがない。

20

【0068】

しかも、導電性の遮光膜230によれば、遮光膜230上にさらにITO膜等の導電膜を設ける必要がないので、低コストである。また、クロム（Cr）等の金属膜で構成された遮光膜230によれば、樹脂製の遮光膜と比べて、薄く形成可能なので、微細加工が容易であり、平坦性に優れる。さらに、金属膜で構成された遮光膜230によれば、樹脂製の遮光膜よりも低コストである。

30

【0069】

なお、パッド192を用いずにアレ基板側電極部190を構成してもよいし、同様にパッド292を用いずに対向基板側電極部290を構成してもよい。また、引き出し線L190, L290、電極部190, 290および導電部材390を図6の液晶パネル10Bに設けてもよい。

【0070】

液晶パネル10, 10B, 10Cの表示領域A10の構成に図9の断面図に示す第4実施形態の液晶パネル10Dを適用することも可能である。なお、図9には液晶パネル10Dの表示領域A10内の構成のみを図示している。

40

【0071】

液晶パネル10Dは、図1の液晶パネル10においてアレ基板100をアレ基板100Dに替えた構成を有している。アレ基板100Dでは、画素電極131と共通電極133との配置位置が図1のアレ基板100とは逆になっており、回路層120上に共通電極133、層間絶縁膜132および画素電極131がこの順序で積層されている。また、アレ基板100Dでは、画素電極131に開口134が設けられており、この開口134を介して画素電極131と共通電極133との間の電界E（図4参照）が形成される。液晶パネル10DもFFSモードの液晶パネルである。アレ基板100Dのその他の構成は図1のアレ基板100と同様である。

【0072】

50

液晶パネル 10D においても画素電極 131 および共通電極 133 の両方がアレイ基板 100D に設けられているので、共通電極配線 L133、配線群 G51、G52 等を液晶パネル 10、10B、10C と同様に配置することができる。

【0073】

液晶パネル 10、10B、10C の表示領域 A10 の構成に図 10 の断面図に示す第 5 実施形態の液晶パネル 10E を適用することも可能である。なお、図 10 には液晶パネル 10E の表示領域 A10 内の構成のみを図示している。

【0074】

液晶パネル 10E は、図 1 の液晶パネル 10 においてアレイ基板 100 をアレイ基板 100E に替えた構成を有している。アレイ基板 100E では、画素電極 131 および共通電極 133 の両方が回路層 120 上に間隔をあけて配置されており、画素電極 131 と共通電極 133 との間に形成される電界 E によって液晶 310 の配向状態を制御する。液晶パネル 10E は、いわゆる IPS (In-Plane Switching) モードの液晶パネルである。アレイ基板 100E のその他の構成は図 1 のアレイ基板 100 と同様である。

【0075】

液晶パネル 10E においても画素電極 131 および共通電極 133 の両方がアレイ基板 100E に設けられているので、共通電極配線 L133、配線群 G51、G52 等を液晶パネル 10、10B、10C と同様に配置することができる。

【図面の簡単な説明】

【0076】

【図 1】本発明に係る第 1 実施形態の液晶パネルを説明する断面図である。

【図 2】本発明に係る第 1 実施形態のアレイ基板を説明する平面図および断面図である。

【図 3】本発明に係る第 1 実施形態の液晶パネルにおいて液晶の配向状態の制御を説明する模式図である（電界無しの場合）。

【図 4】本発明に係る第 1 実施形態の液晶パネルにおいて液晶の配向状態の制御を説明する模式図である（電界有りの場合）。

【図 5】本発明に係る第 1 実施形態の液晶パネルを説明する平面図である。

【図 6】本発明に係る第 2 実施形態の液晶パネルを説明する平面図である。

【図 7】本発明に係る第 3 実施形態の液晶パネルを説明する平面図である。

【図 8】本発明に係る第 3 実施形態の液晶パネルを説明する断面図である。

【図 9】本発明に係る第 4 実施形態の液晶パネルを説明する断面図である。

【図 10】本発明に係る第 5 実施形態の液晶パネルを説明する断面図である。

【符号の説明】

【0077】

10、10B～10E 液晶パネル、51 垂直ドライバ（画素選択回路）、52 水平ドライバ（電位印加回路）、54 水平スイッチング回路（電位印加回路）、100、100B～100E アレイ基板、131 画素電極、132 層間絶縁膜、133 共通電極、160 集積回路チップ、200、200C 対向基板、230 遮光膜、310 液晶、390 導電部材、A10 表示領域、A21 端子領域、E 電界、G51 配線群（画素選択回路用配線群）、G52、G54 配線群（電位印加回路用配線群）、L133 共通電極用配線、L190 アレイ基板側引き出し線、L290 対向基板側引き出し線、P 画素。

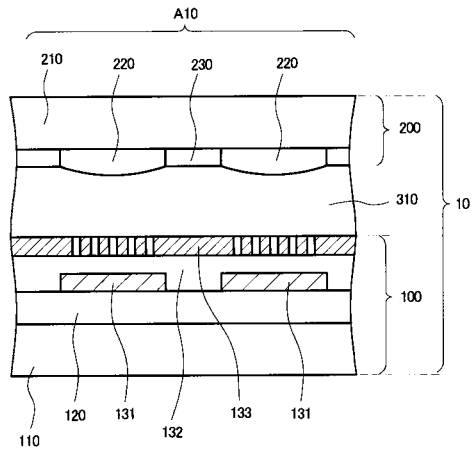
10

20

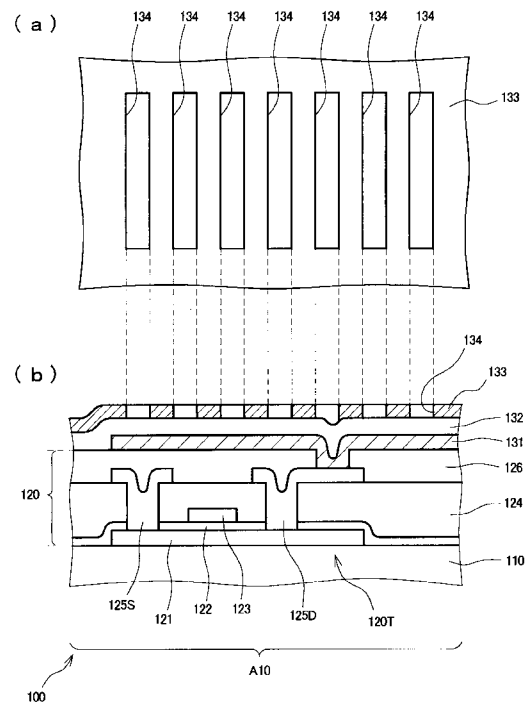
30

40

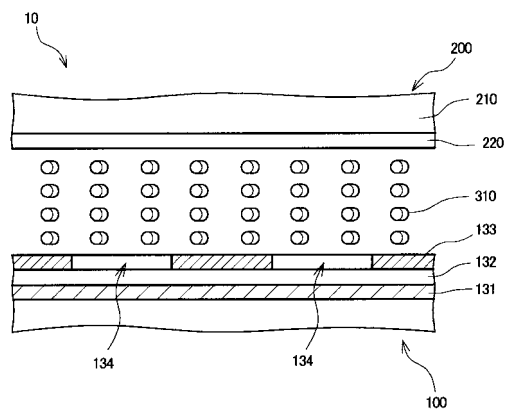
【図 1】



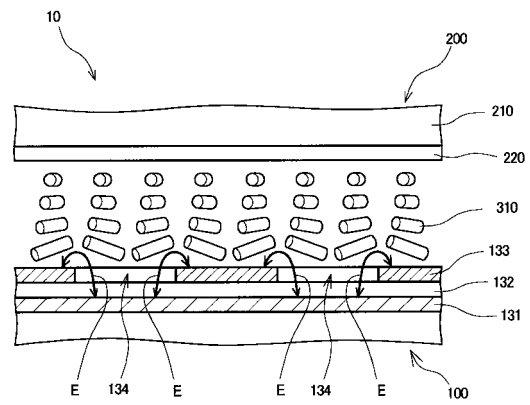
【図 2】



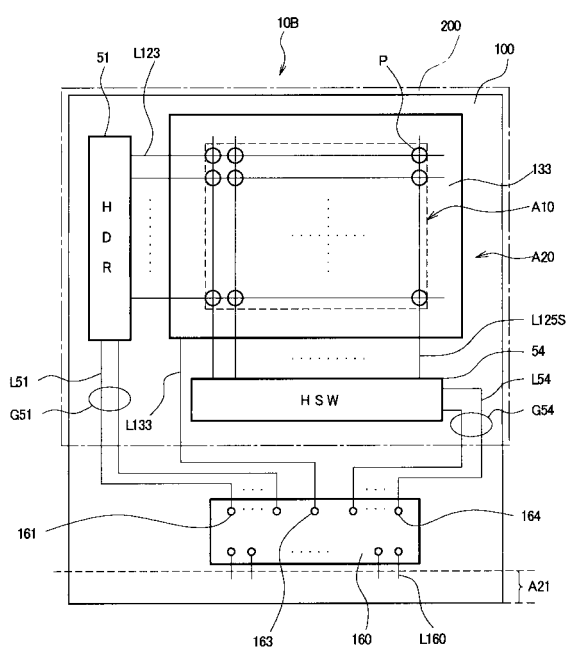
【図 3】



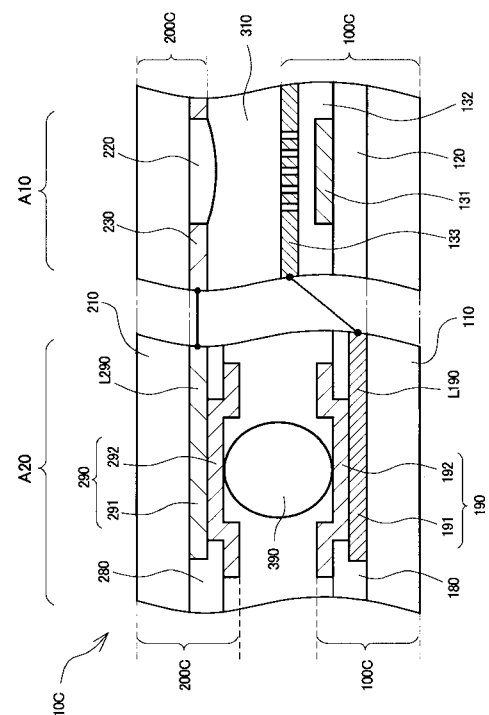
【図 4】



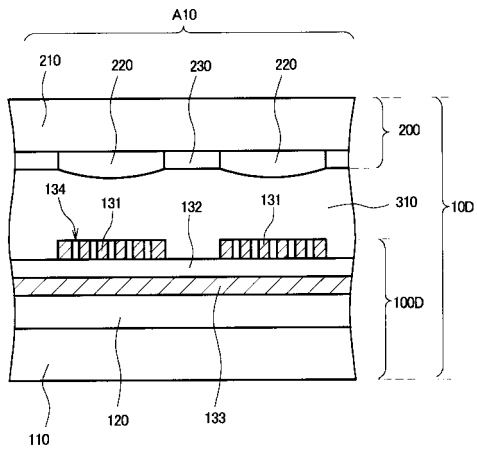
【 図 6 】



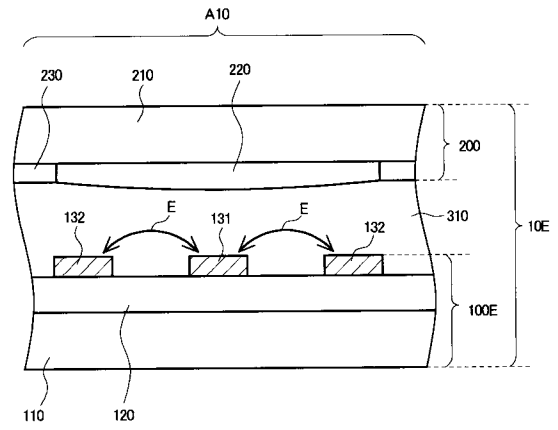
【 図 8 】



【図 9】



【図 10】



フロントページの続き

- (56)参考文献 特開平 1 1 - 2 0 2 3 6 6 (J P , A)
特開 2 0 0 2 - 2 9 6 6 1 1 (J P , A)
特開 2 0 0 5 - 2 3 4 5 2 5 (J P , A)
特開 2 0 0 1 - 0 5 9 9 7 6 (J P , A)
特開 2 0 0 5 - 2 8 4 0 5 7 (J P , A)
特開平 1 1 - 2 0 2 3 6 7 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 5

专利名称(译)	用于液晶面板和液晶面板的阵列基板		
公开(公告)号	JP4622917B2	公开(公告)日	2011-02-02
申请号	JP2006095808	申请日	2006-03-30
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	松田洋史 宮島康志		
发明人	松田 洋史 宮島 康志		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1345		
FI分类号	G02F1/1345		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA33 2H092/GA35 2H092/GA41 2H092/GA60 2H092/JA25 2H092/JB05 2H092/JB16 2H092/JB22 2H092/JB32 2H092/JB56 2H092/NA11		
代理人(译)	吉田健治 石田 纯		
审查员(译)	铃木俊光		
其他公开文献	JP2007271804A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了抑制液晶面板的阵列基板的布线的交叉，使得阵列基板设置有像素电极和公共电极。ŽSOLUTION：用于公共电极133的布线L133的一端设置在端子区域A21中以形成外部连接端子部分，并且布线L133的另一端电连接到公共角落附近的公共电极133电极133靠近垂直驱动器51和水平驱动器52.布线L133通过在两个驱动器51和52之间通过而进一步通过连接到驱动器51的两个布线组G51和G52之间延伸到端子区域A21中。并且，布置成避免使驱动器51和52与布线组G51和G52交叉。布线L133的外部连接端子部分设置在布线组G51的外部连接端子部分和布线组G52的外部连接端子部分之间。布线L133以最短的长度引出到端子区域A21中。Ž

【图2】

