

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4395612号  
(P4395612)

(45) 発行日 平成22年1月13日(2010.1.13)

(24) 登録日 平成21年10月30日(2009.10.30)

(51) Int.Cl.	F 1
<b>GO2F 1/1339 (2006.01)</b>	GO2F 1/1339 500
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368
<b>HO1L 21/336 (2006.01)</b>	HO1L 29/78 612Z
<b>HO1L 29/786 (2006.01)</b>	

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2001-294680 (P2001-294680)	(73) 特許権者	000001443
(22) 出願日	平成13年9月26日(2001.9.26)		カシオ計算機株式会社
(65) 公開番号	特開2003-107490 (P2003-107490A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成15年4月9日(2003.4.9)	(74) 代理人	100058479
審査請求日	平成17年3月1日(2005.3.1)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項1】

液晶層を挟んで対向する第1と第2の一对の基板のうち、第1の基板の内面に、マトリックス状に配列する複数の画素電極と、ゲート電極とゲート絶縁膜とi型半導体膜とブロッキング絶縁膜とn型半導体膜とソース、ドレイン電極とオーバーコート絶縁膜との積層膜からなり、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、第2の基板の内面に対向電極が設けられた液晶表示素子において、

前記第1の基板の内面の、前記薄膜トランジスタに隣接し且つ前記薄膜トランジスタと前記画素電極の上を除いた領域に、前記ドレイン配線に一端が接続された前記ドレイン電極の他端から該ドレイン配線の配置方向とは異なる方向に向けて前記ゲート配線上を該ゲート配線に沿って延長させた延長電極を形成し、

この延長電極と前記薄膜トランジスタを形成する前記積層膜のうちの前記i型半導体膜とブロッキング絶縁膜とn型半導体膜とを除く各膜と同じ膜を積層してなる複数のスペーサ支持部を前記延長電極が形成された前記領域毎に所定のピッチで設け、

前記一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサが、前記複数のスペーサ支持部にそれぞれ対応させて設けられていることを特徴とする液晶表示素子。

【請求項2】

10

20

複数の画素電極と対向電極とが互いに対向する複数の画素部の液晶層厚が  $1.475 \mu\text{m} \sim 2.2 \mu\text{m}$  の範囲であることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

画素部の液晶層厚が  $1.475 \mu\text{m}$  以上  $1.625 \mu\text{m}$  未満であることを特徴とする請求項 2 に記載の液晶表示素子。

【請求項 4】

薄膜トランジスタのゲート電極がゲート配線と一体に形成されており、スペーサ支持部が、前記ゲート配線と、ゲート絶縁膜と、前記薄膜トランジスタのソース電極とドレイン電極のいずれか一方から前記ゲート配線上の部分に延長された延長電極と、オーバーコート絶縁膜とにより形成されていることを特徴とする請求項 1 ~ 3 のいずれかに記載の液晶表示素子。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、薄膜トランジスタ（以下、TFTと記す）を能動素子とするアクティブマトリックス型の液晶表示素子に関する。

【0002】

【従来の技術】

TFTを能動素子とするアクティブマトリックス型の液晶表示素子は、液晶層を挟んで対向する第1と第2の一对の基板のうち、第1の基板の内面に、マトリクス状に配列する複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、第2の基板の内面に対向電極が設けられたものであり、前記TFTは、ゲート電極とゲート絶縁膜とi型半導体膜とブロッキング絶縁膜とn型半導体膜とソース、ドレイン電極とオーバーコート絶縁膜との積層膜からなっている。

20

【0003】

一方、液晶表示素子の一对の基板の間隔は、従来、前記複数の画素電極と前記対向電極とが互いに対向する複数の画素部の液晶層厚が  $4 \mu\text{m} \sim 5 \mu\text{m}$  になるように規定されている。

30

【0004】

前記液晶表示素子には、一方の基板上に粒子状スペーサを散布し、その粒子状スペーサを一对の基板間に挟持させて基板間隔を規定しているものと、一方の基板の内面に柱状スペーサを所定のピッチで設け、これらの柱状スペーサを他方の基板の内面に当接させて基板間隔を規定しているものがある。

【0005】

しかし、前記基板上に散布される粒子状スペーサは、画素部内にも分布するため、前記粒子状スペーサに対応する部分から光が漏れ、液晶表示素子の表示のコントラストを低下させるだけでなく、基板間隔を均一に規定することが難しいため、複数の画素部の液晶層厚が不均一になり、表示むらを発生する。

40

【0006】

一方、前記柱状スペーサは、基板上に樹脂材料を所定の膜厚に塗布し、その樹脂膜をパターンニングすることにより形成されるため、画素部を避けた所定の位置に設けることができ、したがって、液晶表示素子の画素部に光漏れを生じさせることは無く、また基板間隔を均一に規定し、複数の画素部の液晶層厚を均一にすることができる。

【0007】

前記柱状スペーサを備えたアクティブマトリックス型液晶表示素子は、従来、前記樹脂材料を厚くしかも均一な膜厚に塗布することが困難であるため、対向電極が設けられた第2の基板の内面に、第1の基板に設けられた複数のTFTにそれぞれ対応させて前記柱状スペーサを設け、これらの柱状スペーサを、前記第1の基板の内面の前記TFT上の最も高

50

く盛り上がった部分に当接させた構成となっている。

【0008】

【発明が解決しようとする課題】

ところで、液晶表示素子は、応答速度を速くすることが望まれており、そのためには、画素部の液晶層厚を例えば1, 5 μm程度に小さくする必要がある。

【0009】

しかし、前記柱状スペーサをTFTに対応させて設けている従来の液晶表示素子は、画素部の液晶層厚を小さくするために前記柱状スペーサの高さを小さくすると、複数の柱状スペーサの高さにばらつきが生じ、複数の画素部の液晶層厚が不均一になる。

【0010】

すなわち、前記柱状のペーサは、上述したように、基板の上に樹脂材料を所定の厚さに塗布し、その樹脂膜をパターンニングすることにより形成されている。

【0011】

このスペーサの形成における基板上への樹脂材料の塗布は、スピコート法により行なわれており、その塗布厚は、前記樹脂材料の粘性に応じて基板の回転速度と回転時間を制御することによりコントロールされている。

【0012】

しかし、前記樹脂材料の塗布厚を精度良くコントロールすることができる塗布厚値の範囲には限界があり、その範囲外の厚さに樹脂材料を塗布する場合は、その厚さを薄くするほど、または厚くするほど、塗布厚のコントロールが難しくなる。

【0013】

上記従来の液晶表示素子は、前記柱状スペーサを、第1の基板の内面の複数のTFT上の最も高く盛り上がった部分に当接させているため、画素部の液晶層厚を1.5 μm程度に小さくするには、前記スペーサの高さを極端に小さくしなければならない。

【0014】

そして、このような高さが極端に小さい柱状スペーサを形成するには、前記樹脂材料を、その塗布厚を精度良くコントロールすることができる塗布厚値の範囲よりも薄く塗布しなければならないため、その塗布厚にむらが生じ、前記樹脂膜をパターンニングして形成された複数の柱状スペーサの高さにばらつきが生じる。

【0015】

そのため、前記複数の柱状スペーサにより規定される基板間隔が不均一になり、複数の画素部の液晶層厚が不均一になって表示むらを発生する。

【0016】

この発明は、画素部の液晶層厚を小さくして応答速度を速くするとともに、複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができるアクティブマトリックス型の液晶表示素子を提供することを目的としたものである。

【0017】

【課題を解決するための手段】

この発明は、液晶層を挟んで対向する第1と第2の一对の基板のうち、第1の基板の内面に、マトリックス状に配列する複数の画素電極と、ゲート電極とゲート絶縁膜とi型半導体膜とブロッキング絶縁膜とn型半導体膜とソース、ドレイン電極とオーバーコート絶縁膜との積層膜からなり、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、第2の基板の内面に対向電極が設けられた液晶表示素子において、前記第1の基板の内面の、前記薄膜トランジスタに隣接し且つ前記薄膜トランジスタと前記画素電極の上を除いた領域に、前記ドレイン配線に一端が接続された前記ドレイン電極の他端から該ドレイン配線の配置方向とは異なる方向に向けて前記ゲート配線上を該ゲート配線に沿って延長させた延長電極を形成し、この延長電極と前記薄膜トランジスタを形成する前記積層膜のうちの

10

20

30

40

50

前記 i 型半導体膜とブロッキング絶縁膜と n 型半導体膜とを除く各膜と同じ膜を積層してなる複数のスペーサ支持部を前記延長電極が形成された前記領域毎に所定のピッチで設け、前記一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサが、前記複数のスペーサ支持部にそれぞれ対応させて設けられていることを特徴とする。

#### 【 0 0 1 8 】

この液晶表示素子は、複数の画素電極と薄膜トランジスタとゲート配線およびドレイン配線とが設けられた第 1 の基板の内面の、前記薄膜トランジスタに隣接し且つ前記薄膜トランジスタと前記画素電極の上を除いた領域に、前記ドレイン配線に一端が接続されたドレイン電極の他端から該ドレイン配線の配置方向とは異なる方向に向けて前記ゲート配線上を該ゲート配線に沿って延長させた延長電極を形成し、この延長電極と前記薄膜トランジスタを形成する前記積層膜のうちの前記 i 型半導体膜とブロッキング絶縁膜と n 型半導体膜とを除く各膜と同じ膜を積層してなる複数のスペーサ支持部を前記延長電極が形成された前記領域毎に所定のピッチで設け、前記一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサが、前記複数のスペーサ支持部にそれぞれ対応させて設けられたものであるため、前記柱状スペーサの高さを極端に小さくしなくても、この柱状スペーサにより規定される基板間隔を小さくし、前記複数の画素電極と対向電極とが互いに対向する複数の画素部の液晶層厚を小さくすることができる。

10

#### 【 0 0 1 9 】

そのため、この液晶表示素子によれば、画素部の液晶層厚を小さくして応答速度を速くするとともに、前記複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができる。

20

#### 【 0 0 2 0 】

このように、この発明の液晶表示素子は、複数の画素電極と T F T とゲート配線およびドレイン配線とが設けられた第 1 の基板の内面の、前記薄膜トランジスタに隣接し且つ前記薄膜トランジスタと前記画素電極の上を除いた領域に、前記ドレイン電極の先端から前記ゲート配線に沿って、そのゲート配線上の部分に延長させた延長電極を形成し、この延長電極と前記薄膜トランジスタを形成する前記積層膜のうちの前記 i 型半導体膜とブロッキング絶縁膜と n 型半導体膜とを除く各膜と同じ膜を積層してなる複数のスペーサ支持部を前記延長電極が形成された前記領域毎に所定のピッチで設け、前記一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサが、前記複数のスペーサ支持部にそれぞれ対応させて設けることにより、前記画素部の液晶層厚を小さくして応答速度を速くするとともに、前記複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができるようにしたものである。

30

#### 【 0 0 2 1 】

この発明の液晶表示素子において、前記画素部の液晶層厚は  $1.475 \mu\text{m} \sim 2.2 \mu\text{m}$  の範囲が好ましく、より望ましくは  $1.475 \mu\text{m}$  以上  $1.625 \mu\text{m}$  未満であるのが好ましい。

#### 【 0 0 2 2 】

また、この液晶表示素子においては、前記 T F T のゲート電極をゲート配線と一体に形成し、前記スペーサ支持部を、前記ゲート配線と、前記ゲート絶縁膜と、前記延長電極と、前記パーコート絶縁膜とにより形成するのが好ましい。

40

#### 【 0 0 2 3 】

##### 【発明の実施の形態】

図 1 ~ 図 3 はこの発明の第 1 の実施例を示しており、図 1 は液晶表示素子の第 1 の基板の一部分の平面図、図 2 は前記液晶表示素子の図 1 の II - II 線に沿う拡大断面図、図 3 は前記液晶表示素子の図 1 の III - III 線に沿う拡大断面図である。

#### 【 0 0 2 4 】

この実施例の液晶表示素子は、フィールドシーケンシャル液晶表示装置に用いられるアク

50

ティブマトリックス型液晶表示素子であり、基本的には、液晶層 21 を挟んで対向する第 1 と第 2 の一対の透明基板 1, 2 のうち、図 2 および図 3 において下側の第 1 の基板（以下、後側基板と言う）1 の内面に、マトリックス状に配列する複数の画素電極 3 と、前記複数の画素電極 3 にそれぞれ接続された複数の T F T 4 と、前記複数の T F T 4 にゲート信号を供給する複数のゲート配線 13 と、前記複数の T F T にデータ信号を供給する複数のドレイン配線 14 とが設けられ、図 2 および図 3 において上側の第 2 の基板（以下、前側基板と言う）2 の内面に、対向電極 17 が設けられた構成となっている。

【0025】

まず、前記後側基板 1 について説明すると、前記複数の画素電極 3 は、行方向（図 1 において左右方向）および列方向（図 1 において上下方向）にマトリックス状に配列させて設けられており、前記複数の書込み用ゲート配線 13 は、各画素電極行毎にその一側（図 1 において左側）に沿わせて形成され、前記複数のドレイン配線 14 は、各画素電極列毎にその一側（図 1 において下側）に沿わせて形成されている。

10

【0026】

なお、前記後側基板 1 は、その左右の側縁のいずれか一方と上下の側縁のいずれか一方の側縁に、前側基板 2 の外側に張出す端子配列部（図示せず）を有しており、前記複数のゲート配線 13 の一端と、前記複数のドレイン配線 14 の一端は、前記端子配列部に導出され、その端部に、駆動回路接続端子が形成されている。

【0027】

前記複数の T F T 4 は、図 1 および図 2 に示したように、後側基板 1 の基板面に形成されたゲート電極 5 と、このゲート電極 5 を覆うゲート絶縁膜 6 と、前記ゲート絶縁膜 6 の上に前記ゲート電極 5 と対向させて形成された i 型半導体膜 7 と、この i 型半導体膜 7 のチャンネル領域となる中央部の上に形成されたブロッキング絶縁膜 8 と、前記 i 型半導体膜 7 の両側部の上に n 型半導体膜 9 を介して形成されたソース電極 10 およびドレイン電極 11 と、その上に形成されたオーバーコート絶縁膜 12 との積層膜からなっている。

20

【0028】

なお、図 2 では前記ソース電極 10 とドレイン電極 11 を単層膜として示しているが、このソース電極 10 とドレイン電極 11 は、前記 n 型半導体膜 9 とのコンタクト層であるクロム膜と、その上に形成されたアルミニウム系合金膜とからなっている。

【0029】

また、前記複数のゲート配線 13 は、後側基板 1 の基板面に、低抵抗のアルミニウム系合金膜により形成されており、前記 T F T 4 のゲート電極 5 は、前記ゲート配線 13 に一体に形成されている。

30

【0030】

なお、前記 T F T 4 のゲート絶縁膜 6 は、後側基板 1 の内面全体にわたって設けられており、前記複数のゲート配線 13 は、前記ゲート絶縁膜 6 により覆われている。

【0031】

この実施例の液晶表示素子は、フィールドシーケンシャル液晶表示装置に用いられるものであり、例えば赤、緑、青の 3 色の単位色のうちの 1 つの単位色を表示する 1 フィールド毎に、前記 1 つの単位色の画像データを書込まれるため、高デューティで時分割駆動される。

40

【0032】

また、前記画素電極 3 と前側基板 2 の内面に設けられた対向電極 17 およびその間の液晶層 21 とにより形成される画素容量は、液晶層厚  $d$  を小さくするほど大きくなる。

【0033】

そのため、この実施例では、図 1 に示したように、前記ゲート配線 13 の各画素電極 3 に対応する部分を前記 T F T 4 のゲート電極 5 とするとともに、前記 i 型半導体膜 7 と n 型半導体膜 9 およびソース、ドレイン電極 10, 11 を前記ゲート配線 13 の長さ方向に沿わせて横長に形成することにより、チャンネル幅  $W$  の大きい T F T 4 を形成し、高デューティでの時分割駆動でも、また前記画素容量が大きくても、前記画素容量に、ドレイン配

50

線 1 4 から供給されるデータ信号に応じた電荷を十分にチャージすることができるようにしている。

【 0 0 3 4 】

一方、前記複数のドレイン配線 1 4 は、前記ゲート絶縁膜 6 の上に、前記 T F T 4 のソース、ドレイン電極 1 0、1 1 と同じ金属膜（クロム膜とその上に形成されたアルミニウム系合金膜との積層膜）により形成されており、前記 T F T 4 のドレイン電極 1 1 は、前記ドレイン配線 1 4 に一体に形成されている。

【 0 0 3 5 】

そして、前記画素電極 3 は、前記ゲート絶縁膜 6 の上に I T O 膜等の透明導電膜により形成されており、この画素電極 3 の縁部に前記 T F T 4 のソース電極 1 0 が接続されている。

10

【 0 0 3 6 】

また、前記 T F T 4 のオーバーコート絶縁膜 1 2 は、前記後側基板 1 の内面全体にわたって設けられており、前記複数のドレイン配線 1 4 は、前記オーバーコート絶縁膜 1 2 により覆われている。

【 0 0 3 7 】

なお、前記オーバーコート絶縁膜 1 2 には、前記複数の画素電極 3 にそれぞれ対応する部分に開口が設けられており、さらに前記複数のゲート配線 1 3 の端部に形成された図示しない駆動回路接続端子は、その上のオーバーコート絶縁膜 1 2 とゲート絶縁膜 6 に開口を設けることにより露出され、前記複数のドレイン 1 4 の端部に形成された図示しない駆動回路接続端子は、その上のオーバーコート絶縁膜 1 2 に開口を設けることにより露出されている。

20

【 0 0 3 8 】

さらに、前記後側基板 1 の内面には、図 1 および図 3 に示したように、前記複数の画素電極 3 と T F T 4 とを避けて、前記 T F T 4 を形成する前記積層膜のうちの i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部 1 5 が所定のピッチで設けられている。

【 0 0 3 9 】

この実施例では、前記スペーサ支持部 1 5 を、前記複数の T F T 4 の側方にそれぞれ位置させて、前記 T F T 4 の配列ピッチと同じピッチで設けるとともに、このスペーサ支持部 1 5 を、前記 T F T 4 のゲート電極 5 が一体に形成された前記ゲート配線 1 3 と、前記ゲート絶縁膜 6 と、前記 T F T 4 のソース電極 1 0 とドレイン電極 1 1 のいずれか一方、例えばドレイン電極 1 1 から前記ゲート配線 1 3 上の部分に延長された延長電極 1 1 a と、前記オーバーコート絶縁膜 1 2 とにより形成している。

30

【 0 0 4 0 】

そして、前記後側基板 1 の最も内面には、前記複数の画素電極 3 がマトリックス状に配列する表示エリアの全域にわたって、ポリイミド等からなる配向膜 1 5 が設けられている。

【 0 0 4 1 】

次に、前側基板 2 について説明すると、この前側基板 2 の内面には、図 2 および図 3 に示したように、前記複数の画素電極 3 と対向する対向電極 1 7 と、前記複数の画素電極 3 の間の領域に対応する遮光膜 1 8 とが設けられている。

40

【 0 0 4 2 】

前記遮光膜 1 8 は、前記複数の画素電極 3 と対応する領域にそれぞれ開口が設けられた格子状膜であり、図では遮光膜 1 8 を単層膜として示しているが、この遮光膜 1 8 は、前側基板 2 の基板面に形成された酸化クロム膜と、その上に形成されたクロム膜とからなっている。

【 0 0 4 3 】

また、前記対向電極 1 7 は、I T O 膜等の透明導電膜からなっており、この対向電極 1 7 は、前記遮光膜 1 8 を覆って、前記表示エリアの全域にわたる一枚膜状に形成されている。

50

## 【0044】

さらに、前記前側基板2の内面には、図1および図3に示したように、一对の基板1, 2の間隔を規定するための複数の柱状スペーサ19が、前記後側基板1の内面に設けられた前記複数のスペーサ支持部15にそれぞれ対応させて設けられており、この柱状スペーサ19は、前側基板2の内面に設けられた前記遮光膜18と対向電極17との積層膜の上に形成されている。

## 【0045】

前記柱状スペーサ19は、前側基板2の内面に前記遮光膜18と対向電極17とを形成した後、この前側基板2の内面上に、例えばフォトレジストからなる樹脂材料を、スピコート法により、前記柱状スペーサ19の高さに応じた膜厚に塗布し、その樹脂膜をフォト

10

## 【0046】

また、前記前側基板2の最も内面には、前記表示エリアの全域にわたって、ポリイミド等からなる配向膜20が設けられており、前記柱状スペーサ19は、前記配向膜20により覆われている。

## 【0047】

そして、前記一对の基板1, 2は、前側基板2の内面に設けられた前記複数の柱状スペーサ19を、この柱状スペーサ19を覆って設けられた配向膜20を介して後側基板1の内面に設けられた複数のスペーサ支持部15の上の配向膜16面に当接させることにより、これらの柱状スペーサ19により基板間隔(一对の基板1, 2の基板面間隔)  $d_0$  を

20

## 【0048】

なお、図示しないが、前記前側基板2の内面に設けられた対向電極17には、前記枠状シール材に対応する部分または前記枠状シール材の外側に導出された複数のクロス接続部が形成され、前記後側基板1の内面には、前記対向電極17の複数のクロス接続部に対応するクロス電極と、このクロス電極から端子配列部に導出された対向電極用端子とが設けられており、前記対向電極17のクロス接続部は、前記枠状シール材内またはその外側に設けられた導電性クロス材により前記クロス電極に接続されている。

## 【0049】

さらに、図示しないが、前記枠状シール材には、このシール材を部分的に欠落させて形成された液晶注入口が設けられており、前記液晶層21は、前記一对の基板1, 2間の前記枠状シール材により囲まれた領域に前記液晶注入口から真空注入法により液晶を注入することにより形成され、前記前記液晶注入口は、前記液晶の注入後に封止樹脂により封止されている。

30

## 【0050】

この実施例の液晶表示素子は、例えば、前記液晶層21の液晶分子を一方向にホモジニアス配向させたホモジニアス配向型液晶表示素子であり、前記一对の基板1, 2の外面にそれぞれ偏光板を配置し、いずれか一方の基板とその基板側の前記偏光板との間に、表示のコントラストを高くするとともに視野角を広くするための位相板を配置して構成される。

## 【0051】

この液晶表示素子は、一对の基板1, 2の間隔  $d_0$  を規定するための複数の柱状スペーサ19が、前記複数の画素電極3と対向電極17とが互いに対向する複数の画素部を避けた位置に設けられているため、前記画素部に光漏れを生じさせることは無い。

40

## 【0052】

そして、この液晶表示素子では、後側基板1の内面に、画素電極3とTF T4とを避けて、前記TF T4を形成する積層膜のうちのi型半導体膜7とブロッキング絶縁膜8とn型半導体膜9とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部15を所定のピッチ(この実施例ではTF T4の配列ピッチと同じピッチ)で設け、前側基板2の内面に、一对の基板1, 2の間隔を規定するための複数の柱状スペーサ19を、前記複数のスペーサ支持部15にそれぞれ対応させて設けているため、前記柱状スペーサ19の高さを極

50

端に小さくしなくても、この柱状スペーサ 19 により規定される基板間隔  $d_0$  を小さくし、前記複数の画素電極 3 と対向電極 17 とが互いに対向する複数の画素部の液晶層厚  $d$  を小さくすることができる。

【0053】

すなわち、前記ゲート配線 13 およびゲート電極 5 の膜厚は  $0.23 \mu\text{m}$ 、ゲート絶縁膜 6 の膜厚は  $0.25 \mu\text{m}$ 、 $i$  型半導体膜 7 の膜厚は  $0.025 \mu\text{m}$ 、ブロッキング絶縁膜 8 の膜厚は  $0.10 \mu\text{m}$ 、 $n$  型半導体膜 9 の膜厚は  $0.025 \mu\text{m}$ 、ソース、ドレイン電極 10, 11 の膜厚は  $0.425 \mu\text{m}$ 、オーバーコート絶縁膜 12 の膜厚は  $0.20 \mu\text{m}$ 、画素電極 3 の膜厚は  $0.05 \mu\text{m}$ 、遮光膜 18 の膜厚は  $0.17 \mu\text{m}$ 、対向電極 17 の膜厚は  $0.14 \mu\text{m}$  であり、配向膜 16, 20 の膜厚はいずれも  $0.05 \mu\text{m}$  である。

10

【0054】

したがって、前記画素部の液晶層厚  $d$  を例えば  $1.5 \mu\text{m}$  にするには、前記柱状スペーサ 19 を、前記基板間隔  $d_0$  を  $2.04 \mu\text{m}$  に規定できる高さに形成すればよい。

【0055】

この液晶表示素子では、前記スペーサ支持部 15 を、前記 TFT 4 を形成する積層膜のうちの  $i$  型半導体膜 7 とブロッキング絶縁膜 8 と  $n$  型半導体膜 9 とを除く各膜と同じ膜の積層膜により形成しているため、前記スペーサ支持部 15 の高さは、前記 TFT 4 の高さよりも、前記  $i$  型半導体膜 7 とブロッキング絶縁膜 8 と  $n$  型半導体膜 9 の膜厚の合計値だけ低い。

【0056】

前記 TFT 4 の高さ（ゲート電極 5 とゲート絶縁膜 6 と  $i$  型半導体膜 7 とブロッキング絶縁膜 8 と  $n$  型半導体膜 9 とソース、ドレイン電極とオーバーコート絶縁膜 12 の膜厚の合計値）は  $1.255 \mu\text{m}$  であり、前記  $i$  型半導体膜 7 とブロッキング絶縁膜 8 と  $n$  型半導体膜 9 の膜厚の合計値は  $0.15 \mu\text{m}$  であるため、前記スペーサ支持部の高さは  $1.105 \mu\text{m}$  である。

20

【0057】

したがって、上記のように基板間隔  $d_0$  を  $2.04 \mu\text{m}$  に規定して液晶層厚  $d$  を  $1.5 \mu\text{m}$  にするために必要な柱状スペーサ 19 の高さは、 $0.525 \mu\text{m}$  である。

【0058】

一方、柱状スペーサ 19 は、上述したように、前側基板 2 の内面上に、例えばフォトレジストからなる樹脂材料を、スピコート法により、前記柱状スペーサ 19 の高さに応じた膜厚に塗布し、その樹脂膜をフォトグラフィ法によりパターンニングすることにより形成する。

30

【0059】

その場合、前記樹脂材料の塗布厚は、前記樹脂材料の粘性に応じて基板 2 の回転速度と回転時間を調整することによりコントロールするが、前記樹脂材料の塗布厚を精度良くコントロールすることができる塗布厚値は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$  の範囲であり、それよりも塗布厚を厚くしたり薄くしたりすると、塗布厚にむらが生じ、その樹脂膜をパターンニングすることにより形成された柱状スペーサ 19 の高さにばらつきが生じる。

【0060】

しかし、この液晶表示素子では、基板間隔  $d_0$  を  $2.04 \mu\text{m}$  に規定して液晶層厚  $d$  を  $1.5 \mu\text{m}$  にするために必要な柱状スペーサ 19 の高さが  $0.525 \mu\text{m}$  であるため、前記樹脂材料の塗布厚は、その厚さを精度良くコントロールすることができる  $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$  の範囲内であり、したがって、前記樹脂材料を均一な厚さに塗布し、前記複数の柱状スペーサ 19 を均一な高さに形成することができる。

40

【0061】

そのため、この液晶表示素子によれば、前記画素部の液晶層厚  $d$  を小さくして応答速度を速くするとともに、前記複数の柱状スペーサ 19 を均一な高さに形成して複数の画素部の液晶層厚  $d$  を均一にし、表示むらの無い良好な表示品質を得ることができる。

【0062】

50

なお、前記液晶層厚  $d$  は、上述した  $1.5 \mu\text{m}$  に限らず、前記柱状スペーサ 19 の高さを、前記樹脂材料の塗布厚を精度良くコントロールすることができる  $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$  の範囲で選択することにより、 $1.475 \mu\text{m}$  (柱状スペーサ 19 の高さを  $0.5 \mu\text{m}$  にしたときの液晶層厚)  $\sim 2.975 \mu\text{m}$  (柱状スペーサ 19 の高さを  $2.0 \mu\text{m}$  にしたときの液晶層厚) の範囲で任意に設定することができる。

【0063】

ただし、前記液晶層厚  $d$  は、 $1.475 \mu\text{m} \sim 2.2 \mu\text{m}$  の範囲が好ましく、液晶層厚  $d$  をこの範囲とすることにより、応答速度を充分速くすることができる。その場合の前記柱状スペーサ 19 の高さは  $0.5 \mu\text{m} \sim 1.2 \mu\text{m}$  の範囲である。

【0064】

さらに、前記液晶層厚  $d$  は、 $1.475 \mu\text{m}$  以上  $1.625 \mu\text{m}$  未満の範囲がより好ましく、液晶層厚  $d$  をこのような値にすることにより、応答速度をより速くすることができる。

【0065】

なお、前記柱状スペーサ 19 を従来の液晶表示素子のように TFT4 に対応させて設ける場合は、前記柱状スペーサ 19 の高さを  $0.5 \mu\text{m}$  にしたときの液晶層厚が  $1.625 \mu\text{m}$  であり、それよりも柱状スペーサ 19 の高さを小さくしてさらに液晶層厚  $d$  を小さくしようとすると、複数の柱状スペーサ 19 の高さにはばらつきが生じ、複数の画素部の液晶層厚  $d$  が不均一になって表示むらを発生する。

【0066】

しかし、この実施例の液晶表示素子によれば、前記液晶層厚  $d$  を  $1.475 \mu\text{m}$  以上  $1.625 \mu\text{m}$  未満の範囲にして応答速度をより速くする場合でも、複数の柱状スペーサ 19 を均一な高さに形成し、複数の画素部の液晶層厚  $d$  を均一にして、表示むらの無い良好な表示品質を得ることができる。

【0067】

しかも、この実施例では、前記スペーサ支持部 15 を、ゲート配線 13 と、ゲート絶縁膜 6 と、TFT4 のドレイン電極 11 から前記ゲート配線 13 上の部分に延長された延長電極 11a と、オーバーコート絶縁膜 12 とにより形成しているため、前記スペーサ支持部 15 を、前記 TFT4 の形成工程を利用して同時に形成することができ、したがって、液晶表示素子の製造コストを低減することができる。

【0069】

図 4 はこの発明の第 2 の実施例を示す液晶表示素子の第 1 の基板 (後側基板) の一部分の平面図であり、この液晶表示素子も、フィールドシーケンシャル液晶表示装置に用いられるアクティブマトリクス型液晶表示素子である。

【0070】

この実施例の液晶表示素子は、1つの単位色を表示する 1 フィールド毎に全ての画素部の書込み状態を一括してリセットするための複数のリセット用 TFT4R と、前記複数のリセット用 TFT4R にゲート信号を供給する複数のリセット用ゲート配線 13R と、前記複数のリセット用 TFT4R にリセット信号を供給する複数のリセット用ドレイン配線 14R とを備えたものであり、前記リセット用の TFT4R とゲート配線 13R およびドレイン配線 14R は、画素電極 3 に対し、書込み用の TFT4 とゲート配線 13 およびドレイン配線 14 とは反対側に設けられている。

【0071】

なお、この実施例の液晶表示素子は、リセット用の TFT4R とゲート配線 13R およびドレイン配線 14R とを備えたものであるが、他の構成は上述した第 1 の実施例と同じであるから、重複する説明は図に同符号を付して省略する。

【0072】

前記複数のリセット用 TFT4R は、書込み用 TFT4 と同じ積層構造で平面形状が対称形なものであり、後側基板 1 の基板面に形成されたゲート電極 5 と、書込み用 TFT4 と共通のゲート絶縁膜 6 と、前記ゲート絶縁膜 6 の上に前記ゲート電極 5 と対向させて形成

10

20

30

40

50

された i 型半導体膜 7 と、この i 型半導体膜 7 のチャンネル領域となる中央部の上に形成されたブロッキング絶縁膜 8 と、前記 i 型半導体膜 7 の両側部の上に n 型半導体膜 9 ( 図 2 参照 ) を介して形成されたソース電極 10 およびドレイン電極 11 と、前記書込み用 T F T 4 と共通のオーバーコート絶縁膜 12 との積層膜からなっている。

【 0073 】

また、前記複数のリセット用ゲート配線 13 R は、後側基板 1 の基板面に、書込み用のゲート配線 13 と同じ金属膜 ( アルミニウム系合金膜 ) により形成されており、前記リセット用 T F T 4 R のゲート電極 5 は、前記リセット用ゲート配線 13 R に一体に形成されている。

【 0074 】

なお、この実施例では、前記リセット用ゲート配線 13 R の各画素電極 3 に対応する部分を前記リセット用 T F T 4 R のゲート電極 5 とするとともに、前記 i 型半導体膜 7 と n 型半導体膜 9 およびソース、ドレイン電極 10, 11 を前記リセット用ゲート配線 13 R の長さ方向に沿わせて横長に形成することにより、リセット用 T F T 4 R も、書込み用 T F T 4 と同じチャンネル幅の大きい T F T としている。

【 0075 】

一方、前記複数のリセット用ドレイン配線 14 R は、前記ゲート絶縁膜 6 の上に、書込み用およびリセット用 T F T 4, 4 R のソース、ドレイン電極 10, 11 と同じ金属膜 ( クロム膜とその上に形成されたアルミニウム系合金膜との積層膜 ) により形成されており、前記リセット用 T F T 4 R のドレイン電極 11 は、前記リセット用ドレイン配線 14 R に一体に形成され、前記リセット用 T F T 4 R のソース電極 10 は、前記画素電極 3 の書込み用 T F T 4 のソース電極 10 が接続された縁部とは反対側の縁部に接続されている。

【 0076 】

そして、この実施例では、前記後側基板 1 の内面に、複数の書込み用 T F T 4 の側方と、複数のリセット用 T F T 4 の側方とにそれぞれ位置させて、前記書込み用およびリセット用 T F T 4, 4 R を形成する前記積層膜のうちの i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部 15 を、前記書込み用およびリセット用 T F T 4, 4 R の配列ピッチと同じピッチで設けている。

【 0077 】

この実施例では、前記書込み用 T F T 4 の側方のスペーサ支持部 15 と、前記リセット用 T F T 4 の側方のスペーサ支持部 15 とをそれぞれ、前記書込み用およびリセット用ゲート配線 13, 13 R と、ゲート絶縁膜 6 と、前記書込み用およびリセット用 T F T 4, 4 R のドレイン電極 11 からそれぞれ前記書込み用およびリセット用ゲート配線 13, 13 R 上の部分に延長された延長電極 11 a と、オーバーコート絶縁膜 12 とにより形成している。

【 0078 】

また、この実施例では、画素電極 3 に対して、書込み用 T F T 4 を書込み用ドレイン配線 14 側に片寄らせて設け、リセット用 T F T 4 R をリセット用ドレイン配線 14 R 側に片寄らせて設けることにより、前記書込み用 T F T 4 の側方のスペーサ支持部 15 を、前記書込み用 T F T 4 とリセット用ドレイン配線 14 R との間の領域に設け、前記リセット用 T F T 4 の側方のスペーサ支持部 15 を、前記リセット用 T F T 4 R と書込み用ドレイン配線 14 との間の領域に設けている。

そして、この実施例では、図 2 および図 3 に示した前側基板 2 の内面 ( 遮光膜 18 と対向電極 17 との積層膜の上 ) に前記書込み用 T F T 4 の側方のスペーサ支持部 15 と前記リセット用 T F T 4 の側方のスペーサ支持部 15 とにそれぞれ対応させて同じ高さの柱状スペーサ 19 を設け、これらの柱状スペーサ 19 を、図 2 および図 3 に示したように、前記柱状スペーサ 19 を覆って設けられた配向膜 20 を介して後側基板 1 の内面に設けられた複数のスペーサ支持部 15 の上の配向膜 16 面に当接させて基板間隔  $d_0$  を規定している。

【 0079 】

この実施例の液晶表示素子は、リセット用のTFT4Rとゲート配線13Rおよびドレイン配線14Rとを備え、後側基板1の内面に、書込み用TFT4の側方とリセット用TFT4の側方とにそれぞれスペーサ支持部15を設けるとともに、前側基板2の内面に前記複数のスペーサ支持部15にそれぞれ対応させて柱状スペーサ19を設けているため、上述した第1の実施例の2倍の数の柱状スペーサ19により基板間隔 $d_0$ を規定することができる。

#### 【0080】

そして、この実施例においても、後側基板1の内面に、画素電極3と書込み用およびリセット用TFT4, 4Rとを避けて、前記TFT4, 4Rを形成する積層膜のうちのi型半導体膜7とブロッキング絶縁膜8とn型半導体膜9とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部15を所定のピッチ（この実施例では書込み用およびリセット用TFT4, 4Rの配列ピッチと同じピッチ）で設け、前側基板2の内面に、一对の基板1, 2の間隔を規定するための複数の柱状スペーサ19を、前記複数のスペーサ支持部15にそれぞれ対応させて設けているため、上述した第1の実施例の液晶表示素子と同様に、前記柱状スペーサ19の高さを極端に小さくしなくても、この柱状スペーサ19により規定される基板間隔 $d_0$ を小さくし、前記複数の画素電極3と対向電極17とが互いに対向する複数の画素部の液晶層厚 $d$ を小さくすることができる。

#### 【0081】

なお、上記第1および第2の実施例では、柱状スペーサ19を前側基板2の内面に設けているが、前記柱状スペーサ19を後側基板1の内面に設けられた複数のスペーサ支持部15の上にそれぞれ設け、これらの柱状スペーサ19を前側基板2の内面に当接させて基板間隔 $d_0$ を規定してもよい。

#### 【0082】

また、上記実施例の液晶表示素子は、液晶分子を一方向にホモジニアス配向させたホモジニアス配向型液晶表示素子であるが、この発明は、液晶分子をツイスト配向させたTN（ツイステッドネマティック）型液晶表示素子や、強誘電性または反強誘電性液晶表示素子等にも適用することができ、また、フィールドシーケンシャル液晶表示装置に限らず白黒画像を表示する液晶表示装置の液晶表示素子にも適用することができる。

#### 【0083】

##### 【発明の効果】

この発明の液晶表示素子は、複数の画素電極と薄膜トランジスタとゲート配線およびドレイン配線とが設けられた第1の基板の内面の、前記薄膜トランジスタに隣接し且つ前記薄膜トランジスタと前記画素電極の上を除いた領域に、前記ドレイン配線に一端が接続されたドレイン電極の他端から該ドレイン配線の配置方向とは異なる方向に向けて前記ゲート配線上を該ゲート配線に沿って延長させた延長電極を形成し、この延長電極と前記薄膜トランジスタを形成する前記積層膜のうちの前記i型半導体膜とブロッキング絶縁膜とn型半導体膜とを除く各膜と同じ膜を積層してなる複数のスペーサ支持部を前記延長電極が形成された前記領域毎に所定のピッチで設け、前記一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサが、前記複数のスペーサ支持部にそれぞれ対応させて設けられたものであるため、画素部の液晶層厚を小さくして応答速度を速くするとともに、前記複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができ、また、柱状スペーサと薄膜トランジスタとが占有する面積を小さくすることができ、開口率を高くすることができる。

#### 【0084】

この発明の液晶表示素子において、前記画素部の液晶層厚は $1.475\ \mu\text{m} \sim 2.2\ \mu\text{m}$ の範囲が好ましく、液晶層厚をこの範囲とすることにより、応答速度を充分速くすることができる。

#### 【0085】

前記画素部の液晶層厚は、より望ましくは $1.475\ \mu\text{m}$ 以上 $1.625\ \mu\text{m}$ 未満であり

10

20

30

40

50

、液晶層厚をこのような値にすることにより、応答速度をより速くすることができる。

【 0 0 8 6 】

また、この液晶表示素子においては、前記 T F T のゲート電極をゲート配線と一体に形成し、前記スペーサ支持部を、前記ゲート配線と、前記ゲート絶縁膜と、前記延長電極と、前記オーバーコート絶縁膜とにより形成するのが好ましく、このようにすることにより、前記スペーサ支持部を前記 T F T の形成工程を利用して同時に形成し、液晶表示素子の製造コストを低減することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施例を示す液晶表示素子の第 1 の基板の一部分の平面図。

【図 2】前記液晶表示素子の図 1 の II II 線に沿う拡大断面図。

10

【図 3】前記液晶表示素子の図 1 の III III 線に沿う拡大断面図。

【図 4】この発明の第 2 の実施例を示す液晶表示素子の第 1 の基板の一部分の平面図。

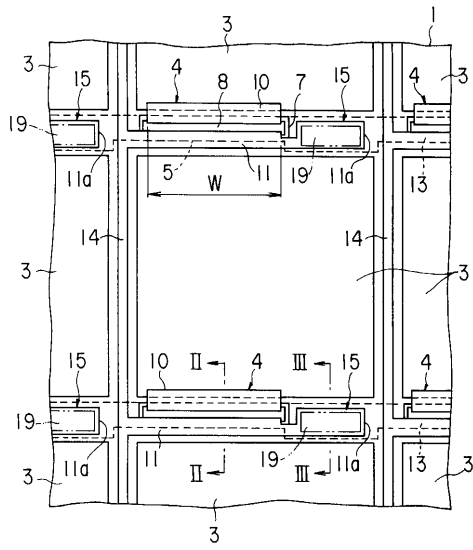
【符号の説明】

- 1 , 2 ... 基板
- 3 ... 画素電極
- 4 ... T F T
- 4 R ... リセット用 T F T
- 5 ... ゲート電極
- 6 ... ゲート絶縁膜
- 7 ... i 型半導体膜
- 8 ... ブロッキング絶縁膜
- 9 ... n 型半導体膜
- 1 0 ... ソース電極
- 1 1 ... ドレイン電極
- 1 1 a ... 延長電極
- 1 2 ... オーバーコート絶縁膜
- 1 3 ... ゲート配線
- 1 3 R ... リセット用ゲート配線
- 1 4 ... ドレイン配線
- 1 4 R ... リセット用ドレイン配線
- 1 5 ... スペーサ支持部
- 1 6 ... 配向膜
- 1 7 ... 対向電極
- 1 8 ... 遮光膜
- 1 9 ... 柱状スペーサ
- 2 0 ... 配向膜
- 2 1 ... 液晶層

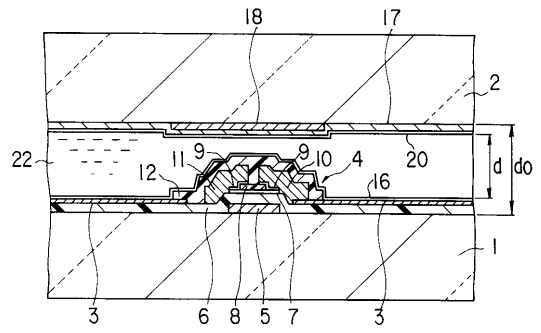
20

30

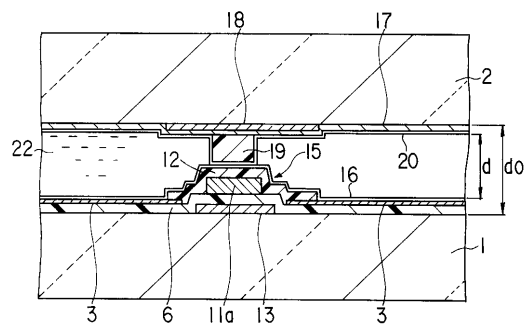
【図1】



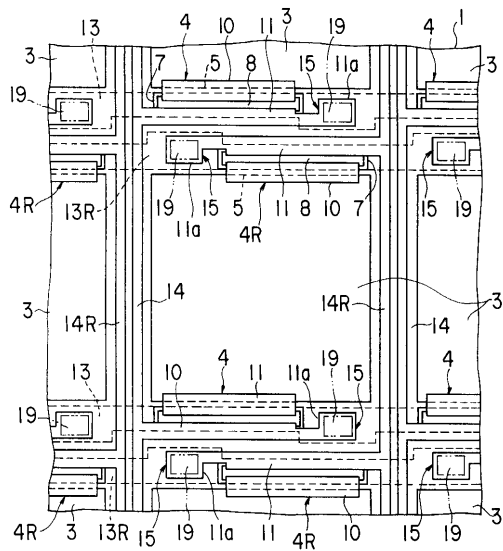
【図2】



【図3】



【図4】



---

フロントページの続き

(72)発明者 宮下 崇

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

審査官 奥田 雄介

(56)参考文献 特開2000-298280(JP,A)

特開2001-051253(JP,A)

特開平11-237635(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1339

G02F 1/1343

G02F 1/1368

专利名称(译)	液晶显示元件		
公开(公告)号	<a href="#">JP4395612B2</a>	公开(公告)日	2010-01-13
申请号	JP2001294680	申请日	2001-09-26
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	宫下崇		
发明人	宫下 崇		
IPC分类号	G02F1/1339 G02F1/1343 G02F1/1368 H01L21/336 H01L29/786 G02F1/136 G02F1/13357 G02F1/1362		
CPC分类号	G02F1/133621 G02F1/13394 G02F1/1362		
FI分类号	G02F1/1339.500 G02F1/1343 G02F1/1368 H01L29/78.612.Z		
F-TERM分类号	2H089/HA15 2H089/LA09 2H089/LA16 2H089/QA11 2H089/QA14 2H089/SA01 2H089/TA02 2H089/TA04 2H089/TA05 2H089/TA09 2H092/GA24 2H092/JA24 2H092/PA02 2H092/PA03 2H189/DA07 2H189/DA32 2H189/DA38 2H189/DA48 2H189/FA05 2H189/FA16 2H189/FA31 2H189/HA12 2H189/HA14 2H189/JA05 2H189/JA11 2H189/JA19 2H189/JA20 2H189/KA01 2H189/LA03 2H189/LA04 2H189/LA06 2H189/LA10 2H189/LA15 2H192/AA24 2H192/CB05 2H192/CB12 2H192/CB22 2H192/CB45 2H192/CB71 2H192/CC04 2H192/CC17 2H192/CC42 2H192/CC72 2H192/EA23 2H192/FA14 2H192/FA15 2H192/GD23 5F110/AA01 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE06 5F110/GG25 5F110/GG35 5F110/HK04 5F110/HK06 5F110/HK21 5F110/HM04 5F110/NN42 5F110/NN45 5F110/NN46 5F110/NN73		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP2003107490A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种有源矩阵型液晶显示元件，其能够通过减小像素部分中的液晶层的厚度并增加响应速度而获得良好的显示质量而没有显示不均匀性，并且还形成多个柱状在均匀高度处的间隔物并使多个像素部分中的液晶层的厚度均匀化。解决方案：在设置有像素电极，TFT，栅极布线和漏极布线的后侧基板1的内表面上，由栅极布线13的层叠膜制成的多个间隔物支撑部分15，栅极绝缘膜如图6所示，从TFT的漏电极延伸的延伸电极11a和覆盖绝缘膜12以预定间距排列，避开像素电极3和TFT，并且在前侧基板2的内表面上，多个柱状用于指定基板之间的空间d0的间隔物19对应于多个间隔物支撑部分15布置。

