

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4392325号
(P4392325)

(45) 発行日 平成21年12月24日(2009.12.24)

(24) 登録日 平成21年10月16日(2009.10.16)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1362 (2006.01)	GO2F 1/1362

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2004-315910 (P2004-315910)	(73) 特許権者	501426046
(22) 出願日	平成16年10月29日(2004.10.29)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2005-165285 (P2005-165285A)		ミテッド
(43) 公開日	平成17年6月23日(2005.6.23)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成16年10月29日(2004.10.29)		イドードン 20
(31) 優先権主張番号	2003-076080	(74) 代理人	100064447
(32) 優先日	平成15年10月29日(2003.10.29)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
前置審査			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100104352
			弁理士 朝日 伸光

最終頁に続く

(54) 【発明の名称】 インプレーンスイッチング方式の液晶表示素子及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 及び第 2 基板と、
 前記第 1 基板上に水平方向に配列された複数のゲートラインと、
 前記第 1 基板上に垂直方向に配列され、前記ゲートラインと共に画素領域を定義する複数のデータラインと、
 前記画素領域を第 1 領域と第 2 領域とに分割し、 2×2 配列を有する R、G、B、W サブ画素を定義する共通ラインと、
 前記サブ画素内に配置され、水平電界を発生する少なくとも一対の画素電極及び共通電極と、
 前段の画素領域のゲートライン上に配置された第 1 ストレージラインと、
 該当画素領域の共通ライン上に配置された第 2 ストレージラインと、
 前記共通電極と共通ラインとを電氣的に連結する第 1 コンタクトホールと、
 前記第 1 領域の画素電極と第 1 ストレージラインとを電氣的に連結する第 2 コンタクトホールと、
 前記第 2 領域の画素電極と第 2 ストレージラインとを電氣的に連結する第 3 コンタクトホールと、
 前記ゲートラインとデータラインとの交差領域に形成されたスイッチング素子と、
 前記第 1 基板と第 2 基板間に形成された液晶層と、
 を含んで構成されることを特徴とするインプレーンスイッチング方式の液晶表示素子。

10

20

【請求項 2】

前記データラインは、ジグザグ構造であることを特徴とする請求項 1 に記載のインプレーンスイッチング方式の液晶表示素子。

【請求項 3】

前記画素電極及び共通電極は、透明な伝導性物質により形成されることを特徴とする請求項 2 に記載のインプレーンスイッチング方式の液晶表示素子。

【請求項 4】

前記透明な伝導性物質は、ITO または IZO であることを特徴とする請求項 3 に記載のインプレーンスイッチング方式の液晶表示素子。

【請求項 5】

前記画素電極及び共通電極は、ジグザグ構造であることを特徴とする請求項 1 に記載のインプレーンスイッチング方式の液晶表示素子。

【請求項 6】

第 1 及び第 2 基板を用意する段階と、

前記第 1 基板上に、複数のゲートライン、及び前記ゲートライン間に前記ゲートラインと並んで共通ラインを形成する段階と、

前記ゲートラインに対し垂直に配置され、前記ゲートラインと画素領域を定義し、前記ゲートライン及び共通ラインと共に R、G、B、W サブ画素を定義する複数のデータライン、前段の画素領域のゲートラインと重畳して第 1 ストレージキャパシタを形成する第 1 ストレージライン、並びに該当画素領域の共通ラインと重畳して第 2 ストレージキャパシタを形成する第 2 ストレージラインを形成する段階と、

前記第 1 及び第 2 ストレージラインを含む基板の全面に保護膜を形成する段階と、

前記保護膜の一部をエッチングして前記共通ライン及びゲートラインを露出させる第 1 乃至第 3 コンタクトホールを形成する段階と、

前記保護膜上に共通電極及び画素電極を形成する段階と、

を含んでなることを特徴とするインプレーンスイッチング方式の液晶表示素子の製造方法。

【請求項 7】

前記共通電極及び画素電極は、透明な伝導性物質により形成することを特徴とする請求項 6 に記載のインプレーンスイッチング方式の液晶表示素子の製造方法。

【請求項 8】

前記透明な伝導性物質は、ITO または IZO により形成することを特徴とする請求項 7 に記載のインプレーンスイッチング方式の液晶表示素子の製造方法。

【請求項 9】

前記第 2 基板を用意する段階は、

透明な第 2 基板上にブラックマトリックスを形成する段階と、

前記第 2 基板上にカラーフィルタを形成する段階と、

を含んでなることを特徴とする請求項 6 に記載のインプレーンスイッチング方式の液晶表示素子の製造方法。

【請求項 10】

前記共通電極及び画素電極は、ジグザグ構造に形成することを特徴とする請求項 6 に記載のインプレーンスイッチング方式の液晶表示素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インプレーンスイッチング方式の液晶表示素子に関し、特に、開口率の向上を図ることができるクワッドタイプ(Quad type)インプレーンスイッチング方式の液晶表示素子及びその製造方法に関する。

【背景技術】

【0002】

高画質、低電力の平板表示素子として主に用いられるねじれネマチック方式(Twisted Nematic Mode)の液晶表示素子は、視野角が狭いという欠点がある。これは、液晶分子の屈折率異方性に起因するもので、基板と水平に配向された液晶分子が、液晶パネルに電圧が印加されるときに基板とほぼ垂直な方向に配向されるためである。

【0003】

従って、最近、液晶分子を基板とほぼ水平な方向に配向して視野角の問題を解決するインプレーンスイッチング方式(In Plane Switching Mode)の液晶表示素子が活発に研究されている。

【0004】

図7は、関連技術のインプレーンスイッチング方式の液晶表示素子の単位画素を概略的に示すもので、図7aは平面図、図7bは図7aのI-I'線断面図である。

10

【0005】

図に示すように、R(Red)、G(Green)、B(Blue)のサブ画素が一つの単位画素を構成し、それぞれのサブ画素は、透明な第1基板10上に縦横に配列されたゲートライン1及びデータライン3により定義される。実際の液晶表示素子においては、n個のゲートライン1とm個のデータライン3とが交差してn×m個のサブ画素が存在するが、図においては、説明の便宜のために、R、G、Bサブ画素のみを示す。以下、R、G、Bサブ画素を単位画素と定義して説明する。

【0006】

前記サブ画素を定義するゲートライン1とデータライン3との交差点には、薄膜トランジスタ9が配置され、前記薄膜トランジスタ9は、ゲート電極1a、半導体層5及びソース/ドレイン電極2a、2bにより構成される。

20

【0007】

また、前記サブ画素内には、前記ゲートライン1と平行に共通ライン4が配列され、液晶分子をスイッチングさせる少なくとも一対の電極、即ち、共通電極6(6a~6c)及び画素電極7(7a、7b)がデータライン3と平行に配列される。このとき、前記共通電極6及び画素電極7は、前記共通ライン4及びドレイン電極2bにそれぞれ接続される。且つ、前記ソース及びドレイン電極2a、2bを含む第1基板10の上部には、保護膜11及び第1配向膜12aが塗布されている。

【0008】

30

また、前記共通ライン4、前記共通ライン4と重畳して形成され、画素電極7と接続される画素電極ライン14、及びこれらの共通ライン4と画素電極ライン14との間に介在された絶縁膜8によりストレージキャパシタが形成される。

【0009】

一方、第2基板20には、光漏れを防止するためのブラックマトリックス21及びそれぞれのサブ画素に対応するR、G、Bのカラーフィルタ23a~23cが形成され、前記第1配向膜12aと共に液晶の初期配向状態を決定する第2配向膜12bが塗布される。また、前記第1基板10と第2基板20間には、前記共通電極6及び画素電極7に印加される電圧により光を透過させる液晶層13が形成されている。

【0010】

40

このような構造を有する関連技術のインプレーンスイッチング方式の液晶表示素子は、共通電極6及び画素電極7が同一平面上に配置されて横電界を発生するため、視野角を向上させることができるという利点を有する。

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、このような関連技術のインプレーンスイッチング方式の液晶表示素子においては、画面が表示される画素領域内に共通電極6及び画素電極7が配置されているため、開口率が低下して輝度が減少するという問題点があった。

【0012】

50

本発明は、このような問題点を解決するために提案されたもので、R (Red)、G (Green)、B (Blue)、W (White) サブ画素を一つの画素として構成して、画面の輝度を向上させることができるインプレーンスイッチング方式の液晶表示素子を提供することを目的とする。

【0013】

本発明の他の目的は、R、G、B、Wの四つのサブ画素をクワッドタイプ(2×2配列)に配置して、開口率を効果的に向上させることができるインプレーンスイッチング方式の液晶表示素子を提供することにある。

【0014】

本発明のさらに他の目的は、上下に配置されたサブ画素間に共通ラインを配置して、前記二つのサブ画素が共通ラインを共有するようにすることにより、サブ画素の面積を容易に調節することができるインプレーンスイッチング方式の液晶表示素子及びその製造方法を提供することにある。

【課題を解決するための手段】

【0015】

このような目的を達成するための本発明によるインプレーンスイッチング方式の液晶表示素子は、第1及び第2基板と、前記第1基板上に水平方向に配列された複数のゲートラインと、前記第1基板上に垂直方向に配列され、前記ゲートラインと共に画素領域を定義する複数のデータラインと、これらのゲートラインの間に配置され、前記画素領域を分割して第1領域と第2領域とに分け、2×2配列を有する第1～第4サブ画素を定義する共通ラインと、前記第1～第4サブ画素内に配置された少なくとも一対の共通電極及び画素電極と、前記第1領域の画素電極と接続され、前記ゲートライン上に配置された第1ストレージラインと、前記第2領域の画素電極と接続され、前記共通ライン上に配置された第2ストレージラインと、前記ゲートラインとデータラインとの交差領域に形成されたスイッチング素子と、前記第1基板と第2基板間に形成された液晶層と、を含んで構成される。

【0016】

また、本発明によるインプレーンスイッチング方式の液晶表示素子は、第1及び第2基板と、前記第1基板上に水平方向に配列された複数のゲートラインと、前記第1基板上に垂直方向に配列され、前記ゲートラインと共に画素領域を定義する複数のデータラインと、前記画素領域を第1領域と第2領域とに分け、2×2配列を有するR、G、B、Wサブ画素を定義する共通ラインと、前記サブ画素内に配置され、水平電界を発生する少なくとも一対の共通電極及び画素電極と、前記ゲートライン上に配置された第1ストレージラインと、前記共通ライン上に配置された第2ストレージラインと、前記共通電極と共通ラインとを電氣的に連結する第1コンタクトホールと、前記第1領域の画素電極と第1ストレージラインとを電氣的に連結する第2コンタクトホールと、前記第2領域の画素電極と第2ストレージラインとを電氣的に連結する第3コンタクトホールと、前記ゲートラインとデータラインとの交差領域に形成されたスイッチング素子と、前記第1基板と第2基板間に形成された液晶層と、を含んで構成される。

【0017】

そして、本発明によるインプレーンスイッチング方式の液晶表示素子の製造方法は、第1及び第2基板を用意する段階と、前記第1基板上に、複数のゲートライン、及び前記ゲートライン間に前記ゲートラインと並んで共通ラインを形成する段階と、前記ゲートラインに対し垂直に配置され、前記ゲートライン及び共通ラインと共にR、G、B、Wサブ画素を定義する複数のデータライン、前記ゲートラインと重畳して第1ストレージキャパシタを形成する第1ストレージライン、並びに前記共通ラインと重畳して第2ストレージキャパシタを形成する第2ストレージラインを形成する段階と、前記第1及び第2ストレージラインを含む基板の全面に保護膜を形成する段階と、前記保護膜上に共通電極及び画素電極を形成する段階と、を含んでなる。

【発明の効果】

【 0 0 1 8 】

本発明によれば、インプレーンスイッチング方式の液晶表示素子において、R、G、B、Wサブ画素を 2×2 配列に配置して、輝度を向上させることができる。

【 0 0 1 9 】

また、本発明は、上下に配置されたサブ画素が一つの共通ラインを共有するようにすることにより、開口率を向上させることができる。

【 0 0 2 0 】

また、本発明は、垂直に配置されたサブ画素が共通ラインを共有するようにし、上部に位置するサブ画素のストレージキャパシタをフロントゲートライン上に形成し、下部に位置するサブ画素のストレージキャパシタを共通ラインに形成することにより、共通ラインの幅を効果的に減らして開口率をさらに向上させることができる。

10

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、図面を参照して本発明によるインプレーンスイッチング方式の液晶表示素子及びその製造方法に関して詳細に説明する。

【 0 0 2 2 】

図1は、本発明の第1実施形態による、4ブロック光透過領域を有するインプレーンスイッチング方式の液晶表示素子を示す図である。

【 0 0 2 3 】

図に示すように、本発明の第1実施形態によるインプレーンスイッチング方式の液晶表示素子は、既存のR、G、Bサブ画素100a、100b、100cにW100dサブ画素を追加するもので、元来のR、G、Bサブ画素から構成された単位画素の面積はそのまま維持し、それぞれのサブ画素の幅を減らすことで確保された空間にW画素100dを追加する。

20

【 0 0 2 4 】

前記サブ画素100a、100b、100c、100dは、縦横に配列されたゲートライン101及びデータライン103によって定義され、それぞれのサブ画素100a、100b、100c、100d内には、共通ライン104及び画素電極ライン114から垂直分岐されて画素内で横電界を発生させる画素電極107及び共通電極106が交代に配置される。また、前記共通ライン104及び画素電極ライン114は、相互重畳し、ゲート絶縁膜(図示せず)を介在してストレージキャパシタ(Cst)を形成する。

30

【 0 0 2 5 】

また、前記ゲートライン101上には、スイッチング素子として薄膜トランジスタ109が配置される。該薄膜トランジスタ109は、ゲートライン101上にパターン形態に形成された半導体層105と、該半導体層105上に形成され、データライン103から引出しされたソース電極102aと、該前記ソース電極102aと対向し、画素電極ライン114と電氣的に連結されたドレイン電極102bと、から構成される。また、詳細に図示されていないが、前記ゲートライン101が形成された基板全面には、ゲート絶縁膜(図示せず)が塗布され、該ゲート絶縁膜は、共通電極106と画素電極107を電氣的に絶縁させる。

40

【 0 0 2 6 】

以下、関連技術に関する図7Aを引用して本発明の第1実施形態と関連技術との差異点を比較すると、関連技術の4ブロック光透過領域を有するインプレーンスイッチング方式の液晶表示素子において、画素電極7と共通電極6間の隔離距離を d_1 と定義し、Wサブ画素100dが追加された第1実施形態において、画素電極107と共通電極106間の隔離距離を d_2 と定義するとき、Wサブ画素100dが追加されることにより、 $d_2 = 0.5 d_1$ になる。即ち、Wサブ画素100dを追加することにより、輝度をある程度向上させることができるが、光透過領域(ここでは、画素電極及び共通電極によって区画された領域を意味する。)は減少する。これは、関連技術のR、G、Bの3つサブ画素から構成された単位画素の面積の変化なしにR、G、B、Wの4つのサブ画素から構成すること

50

によって、Wサブ画素を形成する追加配線が増加したからである。

【0027】

一方、ねじれネマチック方式の液晶表示素子では、Wサブ画素を追加する場合、共通電極及び画素電極が相異なる基板上に別途配置されるため、30%以上輝度が向上するが、インプレーンスイッチング方式の液晶表示方式では、前述したように、画素電極及び共通電極が同一の基板上に配置されるため、光透過領域の減少によって輝度向上の大きい効果を期待することはできない。

【0028】

本発明の第2実施形態は、このような問題点を解決するインプレーンスイッチング方式の液晶表示素子を示し、R、G、B、Wからなるサブ画素を2×2形態に配列し、関連技術の4ブロックインプレーンスイッチング方式において共通電極及び画素電極の隔離距離をそのまま維持しながら、6ブロック光透過領域を有するように構成することで、輝度及び開口率の向上を図ることができる。

10

【0029】

図2は、本発明の第2実施形態による、R、G、B、Wサブ画素が2×2形態に配列されたインプレーンスイッチング方式の液晶表示素子を示す図である。

【0030】

図に示すように、本実施形態によるインプレーンスイッチング方式の液晶表示素子は、6ブロック光透過領域を有するR、G、B、Wサブ画素200a~200dが2×2配列されて画素(P)を成す。サブ画素200a~200dは、縦横に配列されたゲートライン201及びデータライン203によって定義され、それぞれのサブ画素200a~200d内には共通ライン204及び画素電極ライン214から垂直分岐されて画素内で横電界を発生させる少なくとも1対以上の画素電極207及び共通電極206が交代に配置される。

20

【0031】

また、前記画素電極ライン214は、前記共通ライン204と重畳してストレージキャパシタ(Cst)を形成する。

【0032】

また、前記ゲートライン201上には、スイッチング素子として薄膜トランジスタ209が配置され、該薄膜トランジスタ209は、ゲートライン201上にパターン形態に形成された半導体層205と、該半導体層205上に形成され、データライン203から引出しされたソース電極202aと、該ソース電極202aと対向し、画素電極ライン214と電氣的に連結されたドレイン電極202bと、から構成される。また、詳細に図示されていないが、前記ゲートライン201が形成された基板全面にはゲート絶縁膜(図示せず)が塗布され、これによって、画素電極207及び共通電極206が電氣的に絶縁される。

30

【0033】

前述したような構造を有するインプレーンスイッチング方式の液晶表示素子は、画素電極207と共通電極206間の隔離距離D1が関連技術に関する図7Aの4ブロック液晶表示素子のd1と同一である。反面、それぞれのサブ画素200a~200dを2×2構造に配列することにより、上下に配置されたサブ画素間にゲートライン及び共通ラインが追加されて垂直方向にHだけの開口率が減少する。このとき、Hは、概略関連技術に関する図7Aの垂直長さhに対して約15%程度減少される。しかしながら、水平方向は、2つのサブ画素が配置されるため、関連技術に比べて電極間の距離を増加させるか、共通電極及び画素電極をさらに追加することで光透過ブロックを増加させることができる。

40

【0034】

従って、サブ画素は、垂直方向に減少する開口率よりは、水平方向に増加する開口率がずっと大きいため、輝度及び開口率の向上を同時に図ることができる。

【0035】

このとき、上下方向に配置されたサブ画素が共通ラインを共有するように配置すること

50

で、開口率向上をもっと図ることができる。

【0036】

図3は、本発明の第3実施形態による、垂直に配列されたサブ画素が共通ラインを共有するインプレーンスイッチング方式の液晶表示素子を示す図である。

【0037】

本実施形態は、共通ラインの配置を除いて、全ての構成要素が第2実施形態(図2)と同一である。従って、以下、本実施形態と第2実施形態との差異点のみを説明する。

【0038】

図に示すように、本実施形態によるインプレーンスイッチング方式の液晶表示素子は、ゲートライン301と平行して画素(P)の中心を通過する共通ライン304によってサブ画素が上下に分割され、R、G、B、Wサブ画素300a~300dは、図2と同様に2×2形態に配列される。即ち、前記共通ライン304を基準にその上部領域を第1領域と言ひ、前記その下部領域を第2領域と言うと、前記第1領域には、G及びBサブ画素300b、300cが配置され、前記第2領域には、R及びWサブ画素300a、300dが配置される。

【0039】

また、前記共通ライン304は、それぞれのサブ画素に配置された共通電極306と電氣的に接続され、前記共通ライン304と重畳する画素電極ライン314と共にストレージキャパシタ(Cst)を形成する。

【0040】

このとき、前記共通ライン304と重畳する画素電極ライン314は、第1領域に形成された画素電極307を電氣的に連結する第1画素電極ライン314a及び第2領域に形成された画素電極307を電氣的に連結する第2画素電極ライン314bからなる。

【0041】

前記のような構造を有するインプレーンスイッチング方式の液晶表示素子は、上下部に配置されたサブ画素間に一つの共通ラインを共有しているため、第2実施形態(図2)に比べて開口率が一層向上する。即ち、以前には、第1、第2領域にそれぞれ共通ラインが形成されたが、本実施形態は、第1、第2領域の境界面に共通ラインを配置し、垂直に配置されたサブ画素が前記共通ラインを共有しているため、配線形成面積を減少させることができる。

【0042】

このとき、前記共通電極及び画素電極を透明な伝導性物質により形成して、開口率をさらに向上させることもできる。

【0043】

図4は、共通電極306'及び画素電極307'が透明な伝導性物質により形成された例を示す図である。ここで、前記透明な伝導性物質は、ITO(Indium Tin Oxide)またはIZO(Indium Zinc Oxide)のような物質が主に使用される。

【0044】

図に示すように、透明な伝導性物質により形成されたインプレーンスイッチング方式の液晶表示素子は、前記共通電極306'及び画素電極307'が共通ライン304及び画素電極ライン314と異なる層に形成されるため、これらを電氣的に連結するためのコンタクトホールが必要である。従って、前記共通電極306'を共通ライン304と接続させるための第1コンタクトホール306aが形成され、前記画素電極307'を画素電極ライン314と接続させるための第2コンタクトホール307aが形成される。このとき、前記画素電極ライン314は、ドレイン電極302bと連結され、前記ドレイン電極302bは、第2コンタクトホール307aを介して画素電極307'と連結されるため、結果的に前記画素電極ライン314は画素電極307'と連結される(前記画素電極ラインは、ストレージキャパシタを形成するために別途に形成されたもので、以下、「ストレージライン」という)。

【0045】

このように構成されたインプレーンスイッチング方式の液晶表示素子においては、前述したように、第1領域の第1ストレージライン314aと重畳する共通ライン304は第1ストレージキャパシタCst1を形成し、第2領域のストレージライン314bと重畳する共通ライン304は第2ストレージキャパシタCst2を形成する。

【0046】

従って、このような構造は、第1及び第2領域のサブ画素がその中心を通過する共通ライン304を共有することにより、開口率を向上させることができるが、前記第1及び第2ストレージキャパシタCst1、Cst2が前記共通ライン304に共に形成されるため、前記共通ライン304の幅を減らすのには限界がある。

【0047】

10

従って、本発明は、特に、前記共通ラインの幅を減らして開口率の向上を最大限に図ることができるインプレーンスイッチング方式の液晶表示素子を提供するためになされたものである。

【0048】

即ち、第1領域の第1ストレージキャパシタCst1はフロントゲートラインに形成し、第2領域の第2ストレージキャパシタCst2は共通ラインに形成することにより、総ストレージキャパシタはそのまま維持しながら、共通ラインの幅を減らして開口率を増加させることができる。

【0049】

図5A及び図5Bは、本発明の第5実施形態を示すもので、図5Aは、垂直方向に配置された二つの画素P1、P2の平面図、図5Bは、II-II'線の断面構造を示す図である。第5実施形態によるインプレーンスイッチング方式の液晶表示素子は、共通ライン404及び第2ストレージキャパシタCst2の形成位置を除いた全ての構成要素が以前の実施形態(図4)と同じである。

20

【0050】

即ち、図5Aに示すように、縦横に配置されたゲートライン401及びデータライン403により画素P1、P2及び四つのサブ画素400a~400dが定義される。よって、四つのサブ画素が一つの画素を形成する。

【0051】

また、それぞれのサブ画素には、画素内に水平電界を発生する共通電極406及び画素電極407が配置される。且つ、前記共通電極406は共通ライン404と接続され、前記画素電極407はストレージライン414と接続される。このとき、前記ストレージライン414は、第1領域の画素電極407と接続される第1ストレージライン414aと、第2領域の画素電極407と接続される第2ストレージライン414bとに区分される。前記第1ストレージライン414aは、フロントゲートライン401上に配置され、前記第2ストレージライン414bは共通ライン404上に配置される。従って、前記第1ストレージライン414aは、ゲートライン401及びこれとの間に介在したゲート絶縁膜408と共に第1ストレージキャパシタCst1を形成し、前記第2ストレージライン414bは、共通ライン404及びこれとの間に介在したゲート絶縁膜408と共に第2ストレージキャパシタCst2を形成する。

30

40

【0052】

且つ、前記共通ライン404は、第1コンタクトホール406aを介して共通電極406と接続され、前記第1ストレージライン414aは、フロントゲートライン401上に形成された第2コンタクトホール407aを介して第1領域の画素電極407と接続され、前記第2ストレージライン414bは、ドレイン電極402bと連結され、前記ドレイン電極402bは、第3コンタクトホール407bを介して第2領域の画素電極407と接続される。

【0053】

このような構造を有する第5実施形態の液晶表示素子は、フロントゲートライン401に第1ストレージキャパシタCst1を形成し、共通ライン404上に第2ストレージキ

50

ャパシタC s t 2を形成するため、以前の実施形態(図4)と比較してみると、同じストレージキャパシタを形成しながら、共通ラインの幅を半分程度に減らすことができるという利点がある。従って、共通ラインが減った幅に該当するだけの開口率を確保することができる。

【0054】

また、前記共通電極及び画素電極をジグザグ構造に配置して対称性を有するマルチドメイン構造を形成することにより、液晶の複屈折特性による異常光を相殺させて色ずれ(color shift)現象を最小化することもできる。このとき、データライン403もジグザグ構造に形成することができる。

【0055】

10

また、図5Bに示すように、その断面構造をみると、透明な第1基板410上に共通ライン404が形成され、その上部にゲート絶縁膜408が塗布される。一方、前記ゲート絶縁膜408上には、データライン403及び第1ストレージライン414aが形成される。且つ、その上部には保護膜411が塗布され、前記保護膜411の上部には水平電界を発生する共通電極406及び画素電極407が形成され、その上部には第1配向膜412aが塗布される。

【0056】

このように、前記共通電極406及び画素電極407が同一平面上に形成されるため、両電極間の電界がさらに強く生成され、このような強い電界により、液晶層内の液晶分子をさらに速い速度でスイッチングすることができるという利点がある。

20

【0057】

一方、本発明は、共通電極406及び画素電極407の位置に限定されることなく、前記共通電極406及び画素電極407が互いに異なる平面、例えば、前記共通電極406は、前記共通ライン404と共に基板上に形成され、前記画素電極407は、第1ストレージライン414aと共にゲート絶縁膜408上に形成することもできる。

【0058】

また、透明な第2基板420には光漏れを防止するためのブラックマトリックス421、及びカラーを実現するためのR、G、B、Wのカラーフィルタ423が形成され、その上には第2配向膜412bが塗布される。且つ、前記第1基板410と第2基板420間には、前記画素電極407と共通電極406間に発生する水平電界により駆動される液晶層413が形成される。

30

【0059】

このような構造を有する本発明の第5実施形態は、共通ラインを上下部に配置されたサブ画素同士が共有するようにし、フロントゲートライン上に第1領域に位置するサブ画素のストレージキャパシタを形成し、前記共通ライン上に第2領域に位置するストレージキャパシタを形成することにより、共通ラインの幅を減らして開口率を向上させることができる。

【0060】

以下、前記第5実施形態(図5A及び図5B)に示すインプレーンスイッチング方式の液晶表示素子の製造方法を簡略に説明する。

40

【0061】

図6A～図6Cは、前記第5実施形態に示す液晶表示素子の製造方法を示す工程順序図で、平面図を示すものである。

【0062】

まず、図6Aに示すように、ガラスのような透明な絶縁基板を用意した後、その上にCu、Ti、Cr、Al、Mo、Ta、Al合金のような金属をスパッタリング方法により蒸着した後にパターニングして、複数のゲートライン401、及びこれらのゲートライン401の間で第1領域と第2領域とを分割する共通ライン404を形成する。このとき、前記共通ライン404は、前記ゲートライン401と並んで形成する。

【0063】

50

その後、前記ゲートライン401及び共通ライン404を含む基板410の全面にSiNxまたはSiOxなどをプラズマCVD方法により蒸着して、ゲート絶縁膜(図示せず)を形成する。

【0064】

次いで、図6Bに示すように、前記ゲート絶縁膜(図示せず)の上部に非晶質シリコン、n+非晶質シリコンを積層しパターニングして、ゲートライン401上に半導体層405を形成する。その後、前記半導体層405及びゲート絶縁膜(図示せず)上にCu、Mo、Ta、Al、Cr、Ti、Al合金のような金属をスパッタリング方法により蒸着した後これをパターニングして、ゲートライン401に対し垂直に配置され、前記ゲートライン401及び共通ライン404と共に四つのサブ画素を定義するデータライン403と、前記半導体層305上で所定間隔離隔するソース/ドレイン電極402a/402bと、フロントゲートライン401と重畳して第1ストレージキャパシタCst1を形成する第1ストレージライン414aと、前記共通ライン404と重畳し前記ドレイン電極402bと連結されて第2ストレージキャパシタCst2を形成する第2ストレージライン414bと、を形成する。

10

【0065】

その後、薄膜トランジスタ409が形成された基板上に、SiNxやSiOxのような無機物、またはベンゾシクロブテン(benzocyclobutene)やアクリルのような有機物を塗布して保護膜(図示せず)を形成する。次いで、前記保護膜の一部を除去して共通ライン404、ゲートライン401及びドレイン電極402bの一部を露出させる第1~第3コンタクトホール406a、407a、407bを形成する。

20

【0066】

その後、図6Cに示すように、前記保護膜411上にITOまたはIZOのような透明な伝導性物質を蒸着した後これをパターニングして、前記第1コンタクトホール406aを介して共通ライン404と接続される共通電極406、並びに、前記第2及び第3コンタクトホール407a、407bを介して第1ストレージライン414a及びドレイン電極402bと接続される画素電極407を形成する。

【0067】

次いで、カラーフィルタが形成された第2基板と共に合着して液晶表示素子のパネルを完成する。

30

【0068】

このとき、前記共通電極及び画素電極は、互いに異なる層に形成することもでき、前記二つの電極は、透明な物質の他に、不透明な金属により形成することもできる。

【0069】

以上説明したように、本発明は、クワッドタイプインプレーンスイッチング方式の液晶表示素子に関するもので、特に、本発明は、垂直に配置されたサブ画素が共通ラインを共有するようにし、上部に位置するサブ画素のストレージキャパシタをフロントゲートライン上に形成し、下部に位置するサブ画素のストレージキャパシタを共通ラインに形成することにより、共通ラインの幅を最大限に減らすようにする。これにより、共通ラインが画素内で占める面積が減少することによって、開口率を向上させることができる。

40

【0070】

また、本発明は、画素電極及び共通電極をストライプ構造またはジグザグ構造に形成することができ、前記二つの電極の構造によって、データラインもストライプ構造またはジグザグ構造に形成することができる。

【図面の簡単な説明】

【0071】

【図1】本発明の第1実施形態によるインプレーンスイッチング方式の液晶表示素子を示す図である。

【図2】本発明の第2実施形態によるインプレーンスイッチング方式の液晶表示素子を示す図である。

50

【図 3】本発明の第 3 実施形態によるインプレーンスイッチング方式の液晶表示素子を示す図である。

【図 4】本発明の第 4 実施形態によるインプレーンスイッチング方式の液晶表示素子を示す図である。

【図 5 A】本発明の第 5 実施形態によるインプレーンスイッチング方式の液晶表示素子を示す図である。

【図 5 B】本発明の第 5 実施形態によるインプレーンスイッチング方式の液晶表示素子を示す図である。

【図 6 A】本発明によるインプレーンスイッチング方式の液晶表示素子の製造方法を示す図である。

【図 6 B】本発明によるインプレーンスイッチング方式の液晶表示素子の製造方法を示す図である。

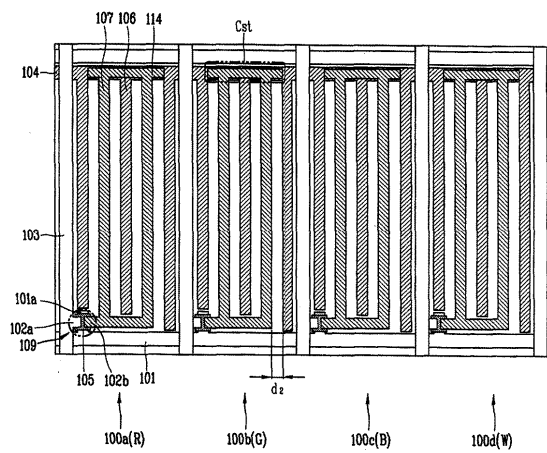
【図 6 C】本発明によるインプレーンスイッチング方式の液晶表示素子の製造方法を示す図である。

【図 7 A】関連技術のインプレーンスイッチング方式の液晶表示素子の構造を示す図である。

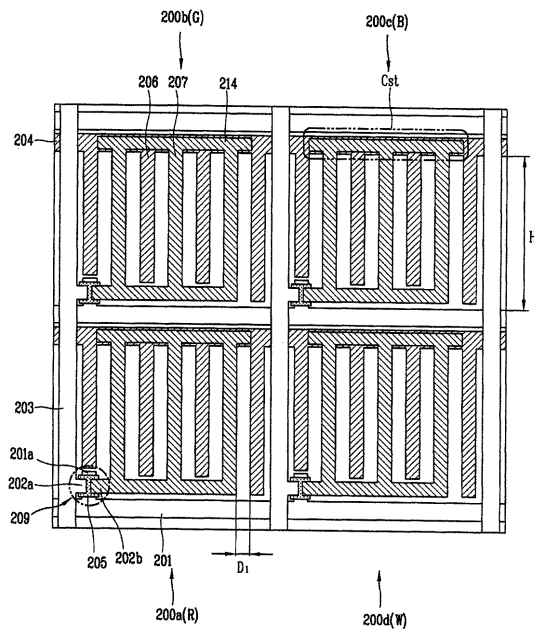
【図 7 B】関連技術のインプレーンスイッチング方式の液晶表示素子の構造を示す図である。

10

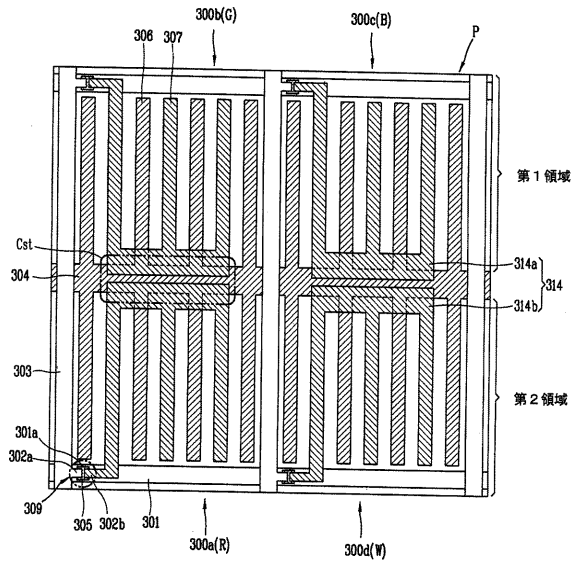
【図 1】



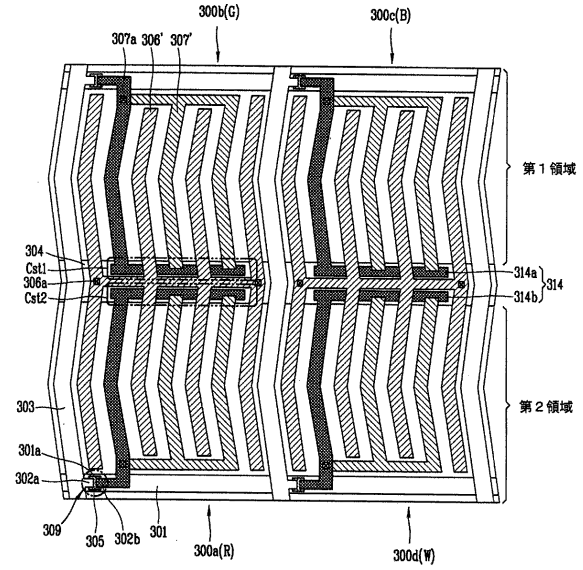
【図 2】



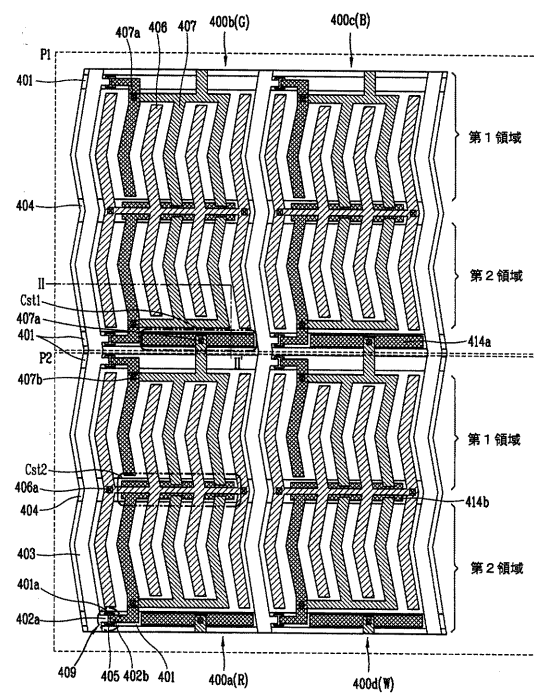
【図 3】



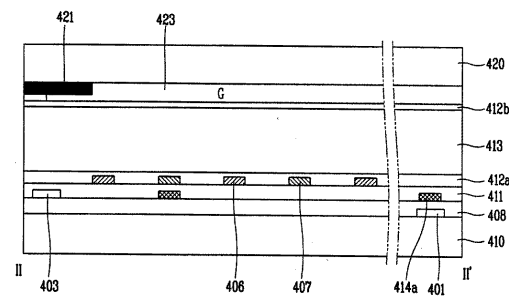
【図 4】



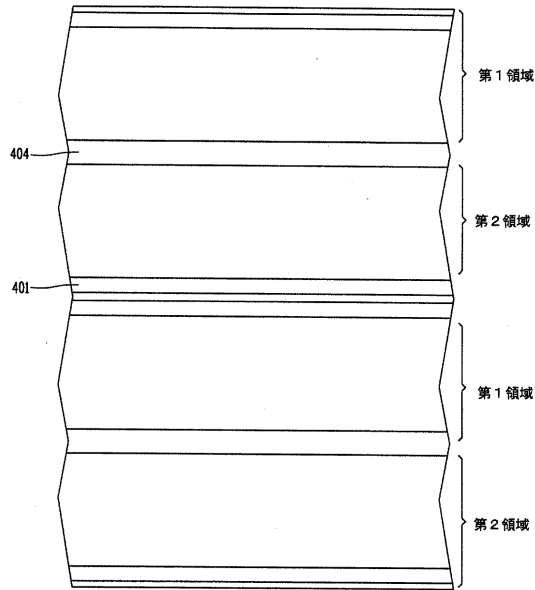
【図 5 A】



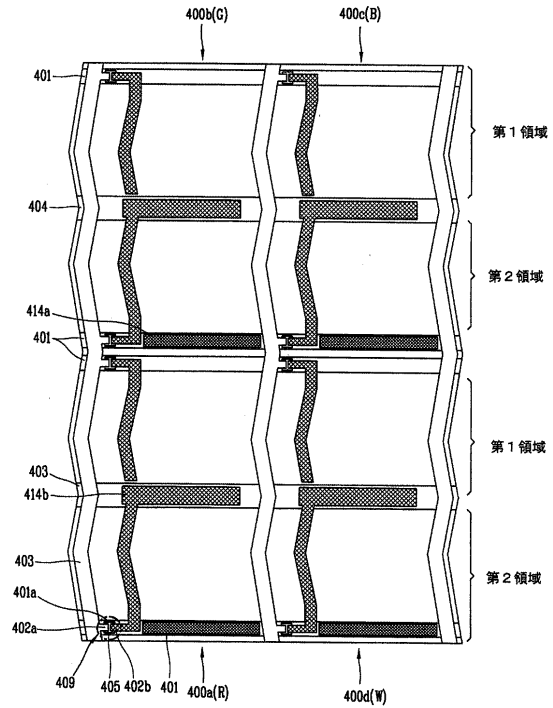
【図 5 B】



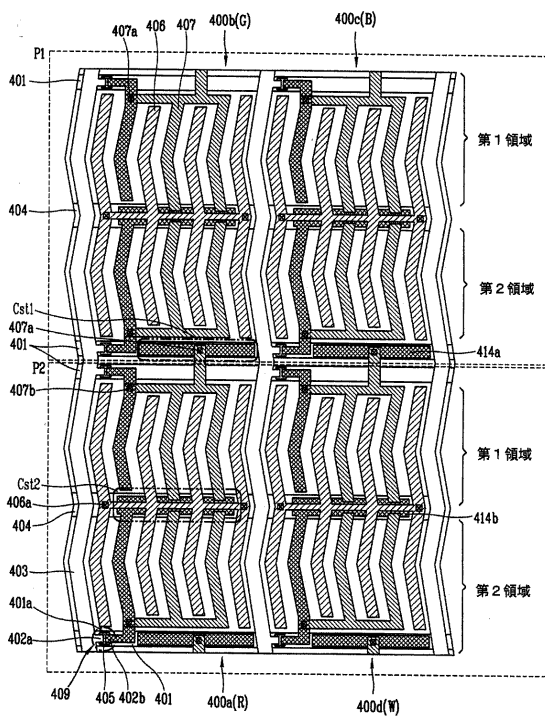
【図 6 A】



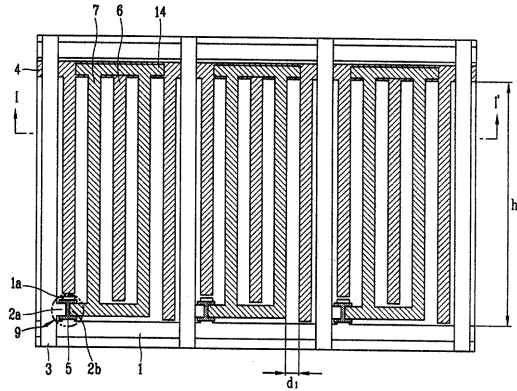
【図 6 B】



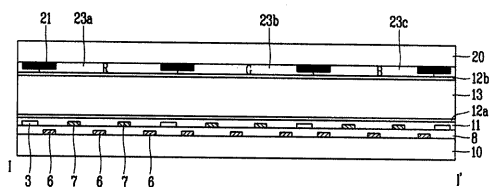
【図 6 C】



【図 7 A】



【図 7 B】



フロントページの続き

(72)発明者 姜 元 錫

大韓民国 ソウル特別市 銅雀區 舍堂 1洞 401, 1015-1

審査官 福島 浩司

(56)参考文献 特開2003-280037(JP, A)

特開平09-090343(JP, A)

特開平04-355722(JP, A)

特開2001-091972(JP, A)

特開2002-169179(JP, A)

特開2002-202736(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1362

专利名称(译)	面内切换型液晶显示装置及其制造方法		
公开(公告)号	JP4392325B2	公开(公告)日	2009-12-24
申请号	JP2004315910	申请日	2004-10-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	姜元錫		
发明人	姜 元 錫		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/133 G02F1/136 H01L21/00 H01L29/786		
CPC分类号	G02F1/136213 G02F1/134363 G02F2001/134345 G02F2201/40		
FI分类号	G02F1/1343 G02F1/1362		
F-TERM分类号	2H092/GA12 2H092/GA13 2H092/GA14 2H092/GA23 2H092/HA02 2H092/HA04 2H092/JB02 2H092/JB04 2H092/JB05 2H092/JB14 2H092/MA01 2H092/MA02 2H092/MA12 2H092/NA01 2H092/NA07 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB53 2H192/BB73 2H192/CB05 2H192/CC04 2H192/CC24 2H192/CC55 2H192/DA02 2H192/DA32 2H192/EA22 2H192/EA43 2H192/EA53 2H192/EA54		
代理人(译)	朝日 伸光		
审查员(译)	福岛浩二		
优先权	1020030076080 2003-10-29 KR		
其他公开文献	JP2005165285A		
外部链接	Espacenet		

摘要(译)

(经修改) 提供一种面内切换型液晶显示装置，其能够通过将子像素配置为一个像素来改善屏幕的亮度。多条栅极线，沿水平方向排列在第一基板上;多条栅极线，沿垂直方向排列在第一基板上，并与栅极线一起限定像素区域;公共线，布置在数据线和栅极线之间，将像素区域划分为第一区域和第二区域，并且限定具有2×2阵列的第一至第四子像素;至少一对设置在所述象素是子连接到所述第一区域的像素电极的公共电极和像素电极4，第一存储线布置在所述栅极线，所述第二区域的像素电极连接，它包括设置在共同的线，形成在栅线和数据线的交叉点的开关元件的第二存储线，与所述第一基板和所述第二基板之间形成的液晶层在构建。(图5A)。

【 图 2 】

