

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4387278号  
(P4387278)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int. Cl.	F 1
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/133 (2006.01)	GO2F 1/133 535
GO2F 1/1368 (2006.01)	GO2F 1/133 550
GO9G 3/20 (2006.01)	GO2F 1/1368
GO9G 3/34 (2006.01)	GO9G 3/20 621F
請求項の数 6 (全 18 頁) 最終頁に続く	

(21) 出願番号 特願2004-283474 (P2004-283474)  
 (22) 出願日 平成16年9月29日(2004.9.29)  
 (65) 公開番号 特開2006-98613 (P2006-98613A)  
 (43) 公開日 平成18年4月13日(2006.4.13)  
 審査請求日 平成18年9月12日(2006.9.12)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100091672  
 弁理士 岡本 啓三  
 (72) 発明者 大橋 範之  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通ディスプレイテクノロジーズ  
 株式会社内  
 (72) 発明者 岡崎 晋  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通ディスプレイテクノロジーズ  
 株式会社内

審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 液晶パネル及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の方向に延在する複数のゲートバスラインと、  
 前記第1の方向と交差する第2の方向に延在する複数のデータバスラインと、  
 各画素毎に設けられ、対応するゲートバスラインの一部をゲート電極とし、かつ対応するデータバスラインに電気的に接続されたスイッチング素子と、  
 各画素毎に設けられ、対応するスイッチング素子に電気的に接続された画素電極と、  
 前記画素電極との間に液晶を介在させて配置された対向電極と、  
 前記第2の方向に延在し、前記データバスラインと重ならないように前記ゲートバスラインと同じ導体層に形成され、各画素毎に前記画素電極との間で補助容量を形成する複数の補助容量バスラインとを有し、

前記第2の方向に沿った隣合う2本の補助容量バスラインを境界として正方形の画素領域が画定されていることを特徴とする液晶パネル。

【請求項2】

前記複数のデータバスラインは、前記第2の方向に配列された各画素列のうち両端に配列された各一列の領域にそれぞれ1本のデータバスラインを含み、かつ、他の画素列の領域にそれぞれ2本のデータバスラインを含むように配線されていることを特徴とする請求項1に記載の液晶パネル。

【請求項3】

前記複数のデータバスラインは、前記第2の方向に配列された各画素列の領域にそれぞ

れ 2 本のデータバスラインを含むように配線されていることを特徴とする請求項 1 に記載の液晶パネル。

【請求項 4】

請求項 1 に記載の液晶パネルと、  
前記複数のゲートバスラインを駆動するゲートドライバと、  
前記複数のデータバスラインを駆動するデータドライバと、  
表示信号及びタイミング信号を入力し、前記ゲートドライバ及びデータドライバを制御する制御部とを有し、

前記制御部からの制御に基づいて前記ゲートドライバにより、前記複数のゲートバスラインのうち 2 本以上のゲートバスラインを同時に駆動し、

10

前記制御部からの制御に基づいて前記データドライバにより、前記複数のデータバスラインを同時に駆動し、前記ゲートドライバにより同時に駆動されたゲートバスラインに対応する複数の画素列に同時に表示データを書き込むようにしたことを特徴とする液晶表示装置。

【請求項 5】

複数の各色毎に光源を有し、前記制御部からの制御に基づいて点灯された光源の光を前記液晶パネルの背面から照射するバックライトユニットを有し、

前記制御部からの制御に基づいて前記ゲートドライバ及びデータドライバにより、同時に駆動されたゲートバスラインに対応する複数の画素列に各色毎に表示データを時分割して書き込み、これに同期して前記バックライトユニットにより、各色毎の光源を時系列的に点灯させるようにしたことを特徴とする請求項 4 に記載の液晶表示装置。

20

【請求項 6】

前記制御部から供給される 1 フレーム分の表示データを一時的に格納しておくためのメモリを有し、

前記制御部からの制御に基づいて前記データドライバが、前記メモリから、前記ゲートドライバにより同時に駆動されたゲートバスラインに対応する複数の画素列に書き込むべき表示データを読み出し、前記複数のデータバスラインに当該表示データを出力することを特徴とする請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は液晶表示装置 (LCD: Liquid Crystal Display) に関し、より詳細には、開口率を高めるように適応されたアクティブマトリクス型の液晶パネル及び液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、薄くて軽量であり、低電圧で駆動できて消費電力が小さいという利点があり、このため、テレビやデスクトップ型 PC (パーソナルコンピュータ)、ノート型 PC、PDA (携帯端末)、携帯電話など種々の電子機器に使用されている。特に、各画素毎にスイッチング素子として薄膜トランジスタ (TFT: Thin Film Transistor) を設けたアクティブマトリクス型の液晶表示装置は、その駆動能力の高さから CRT (Cathode Ray Tube) にも匹敵する優れた表示特性を示し、テレビやデスクトップ型 PC など従来 CRT が使用されていた分野にも広く使用されるようになってきている。

40

【0003】

典型的な液晶表示装置は、ガラス板からなる 2 枚の透明基板の間に液晶を封入した構造を有しており、一方の基板には各画素毎に TFT や画素電極等が形成され、他方の基板には画素電極に対向するカラーフィルタやコモン電極 (対向電極) 等が形成されている。以下の記載では、便宜上、TFT や画素電極等が形成されている基板を「TFT 基板」、カラーフィルタやコモン電極等が形成されている基板を「対向基板」と呼び、また、TFT 基板及び対向基板とこれらの中に封入された液晶からなる構造体を「液晶パネル」と呼ぶ

50

ことにする。

【0004】

図1は従来例に係るアクティブマトリクス型の液晶パネルにおけるTFT基板の構成を平面図の形態で模式的に示したものである。

【0005】

図示のようにTFT基板10には、水平方向（横方向）に延びる複数のゲートバスライン11と、垂直方向（縦方向）に延びる複数のデータバスライン12と、ゲートバスライン11と平行に延びる複数の補助容量（Cs）バスライン13が形成されている。ゲートバスライン11とCsバスライン13はそれぞれ同じピッチ（配線間隔）で配線されており、データバスライン12も同じピッチ（但し、ゲートバスライン11、Csバスライン13のピッチのほぼ1/3）で配線されている。そして、隣り合う2本のゲートバスライン11と2本のデータバスライン12とによって囲まれた領域が単位画素を構成し、この単位画素の領域に画素電極14（破線で表示）が形成されている。単位画素の領域（画素電極14）はR（赤）、G（緑）、B（青）の各色毎に別々に設けられ、横方向に隣合うR、G、Bの3つのサブピクセルで1つの画素（ピクセル）を構成し、R、G、Bの各画素（サブピクセル）の縦横比はほぼ3：1の矩形形状となっている。なお、15（点線で囲んだ部分）は2個の直列接続された薄膜トランジスタ（TFT）、16はTFT15のドレイン領域をデータバスライン12に接続するためのコンタクトホール、17及び18はTFT15のソース領域を画素電極14に接続するためのコンタクトホール、19は各画素毎にCsバスライン13との間で補助容量Csを形成する半導体領域を示す。

10

20

【0006】

図1に例示したように従来の液晶パネル（TFT基板10）の構成では、1画素（ピクセル）を構成するR、G、Bの各画素（サブピクセル）の縦横比はほぼ3：1の矩形形状となっていたため、当該画素において実効的に表示に寄与しない部分の面積を極力小さくする（つまり、開口率の低下を極力抑える）ためには、当該画素領域を横断するCsバスライン13の配線長を最短にする必要があり、このためCsバスライン13はゲートバスライン11と平行に配線する必要があった。このようなレイアウトでは、必然的にデータバスライン12を境界として各画素領域（画素電極14）が規定されることになり、画素電極14との重なりや隣合う画素電極14間の距離を考慮すると、データバスライン12の配線幅をあまり狭くすることはできない。つまり、データバスライン12の配線幅を相応に広くする必要があったため、開口率が低下する原因となっていた。

30

【0007】

また、高精細化が進むに従って画素への書き込み時間が短くなることが問題となってきた。例えば、フレーム周波数が60Hz（1秒間に走査するフレーム数が60）の場合、1フレームの走査時間は約16.7ms（=1/60s）であり、画素フォーマットがVGA（Video Graphics Array：640×480画素）の場合、1水平ラインに割り当てられる時間は約32μsである。画素数が更に増えると（SVGA（Super VGA：800×600画素）、XGA（eXtended GA：1024×768画素）など）、1水平ラインに割り当てられる時間は更に短くなり、それに応じて画素への書き込み時間を短くすることが必要となる。この書き込み時間を短くするためには、例えば、各画素のトランジスタサイズを大きくすることが考えられる。しかしながら、トランジスタサイズを大きくすると当該画素において実効的に表示に寄与しない部分の面積が増えるため、開口率が低下し、表示が暗くなるといった問題が生じる。

40

【0008】

また、R、G、B等の色毎にデータを時分割して画素に書き込み、これに同期してR、G、B等の各光源を時系列的に点灯させるようにしたフィールドシーケンシャルカラー方式においては、1水平ラインに割り当てられる時間が更に短くなり、問題であった。例えば、一般的なアクティブマトリクス型LCDではフリッカを防止するために60Hz前後（1フレームあたり1/60s）で書き込み動作が行われているが、1フレームのカラー画像をRGBの3原色の3フィールドで構成してフィールドシーケンシャル駆動を行う場

50

合、1フィールドの周期は $1/180\text{ s}$  ( $= 1/60\text{ s} \times 1/3$ )となり、1水平ラインに割り当てられる時間を約 $1/3$ に短くする必要がある。つまり、書き込み許容時間が制限されるといった不都合があった。

【0009】

さらに、フィールドシーケンシャルカラー方式では、1フレームを構成する全画素にデータ(例えば、1フィールド分のRデータ)を書き込んだ後、光源の色を切り換える(例えば、G又はBの光源を点灯させる)必要があるため、その分、各色(RGB)のデータの全画素への書き込みに要するトータルの時間が長くなり、特に、画素数が多くなるほど全画素への書き込み時間が長くなるといった不利もあった。

【0010】

また、動画の画質を向上させるために光源をパルス的に(1フレーム時間のうち一部の時間のみ)点灯させるようにしたインパルス駆動方式においても、全画素への書き込みに要するトータルの時間を短くする必要があるが、上記のフィールドシーケンシャル駆動の場合と同様に画素数が多くなるほど全画素への書き込み時間が長くなるといった不都合があった。

【0011】

上記の従来技術に関連する技術としては、例えば特許文献1に記載されるように、制御バスラインとデータバスラインの交差箇所に対応して画素電極とTFTが形成され、さらに画素電極との間で補助容量を形成する容量バスラインが形成され、この容量バスラインから分岐してデータバスラインに沿って延在する補助容量パターンを有した液晶表示パネルにおいて、データバスラインと補助容量パターンとの短絡が見つかった場合にその不良箇所を容易に修復できるようにしたものがある。また、上記のフィールドシーケンシャル駆動に関連する技術としては、例えば特許文献2に記載されるように、アモルファスシリコン型液晶素子を用いて高精細の液晶パネルを実現し、その際に必要となるバックライトに点光源型のものを使用して均一な背面照射を実現するようにしたものがある。

【特許文献1】特開平10-232408号公報

【特許文献2】特開2002-311411号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

上述したように従来技術では、図1に例示したように1画素(ピクセル)を構成するR、G、Bの各画素(サブピクセル)の縦横比はほぼ3:1の矩形状となっており、このためCsバスライン13はゲートバスライン11と平行に配線する必要があり、また、データバスライン12の配線幅を相応に広くする必要があったため、開口率が低下するといった課題があった。また、高精細化の進展に伴い、画素への書き込み許容時間が制限されている駆動方式や画素数の多い液晶パネルに対しては、書き込み時間を十分に確保できないといった課題があった。

【0013】

本発明は、かかる従来技術における課題に鑑み創作されたもので、開口率を高めると共に、全画素への書き込み時間を短縮することができる液晶パネル及び液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記の従来技術の課題を解決するため、本発明の一形態によれば、第1の方向に延在する複数のゲートバスラインと、前記第1の方向と交差する第2の方向に延在する複数のデータバスラインと、各画素毎に設けられ、対応するゲートバスラインの一部をゲート電極とし、かつ対応するデータバスラインに電氣的に接続されたスイッチング素子と、各画素毎に設けられ、対応するスイッチング素子に電氣的に接続された画素電極と、前記画素電極との間に液晶を介在させて配置された対向電極と、前記第2の方向に延在し、前記データバスラインと重ならないように前記ゲートバスラインと同じ導体層に形成され、各画素

10

20

30

40

50

毎に前記画素電極との間で補助容量（Cs）を形成する複数のCsバスラインとを有し、前記第2の方向に沿った隣合う2本のCsバスラインを境界として正形状の画素領域が画定されていることを特徴とする液晶パネルが提供される。

【0015】

この形態に係る液晶パネルの構成によれば、各データバスラインは、それぞれ対応する画素領域内を第2の方向（ゲートバスラインと同じ導体層に形成されたCsバスラインと重ならないように平行な方向）に延在しており、従来例（図1）のようにデータバスラインを各画素領域（画素電極）の境界とするのではなく、第2の方向に沿った隣合う2本のCsバスラインを各画素領域（画素電極）の境界としている。従って、データバスラインの配線幅を設計するにあたり、従来例のように画素電極との重なりや隣合う画素電極間の距離を考慮する必要がないので、データバスラインを相対的に細く配線することができ、その結果、開口率を高めることができる。

10

【0016】

また、従来例（図1）では、Csバスラインに対してデータバスラインは交差していたため、両バスラインの交差部には相応の配線容量が形成されていたが、本発明に係る液晶パネルの構成では、Csバスラインに対してデータバスラインは重ならないように平行に配線されている（つまり、交差していない）ので、両バスライン間には実質上配線容量は形成されない。さらに、上述したようにデータバスラインを細く配線できるので、データバスラインと画素電極の間に形成される配線容量、及びデータバスラインとゲートバスラインの間に形成される配線容量を相対的に小さくすることができる。これによって、各画素毎に見たデータバスラインのトータルの配線容量を大幅に低減することができ、その結果、1画素当たりの書き込みに要する時間、ひいては全画素への書き込み時間を短縮することができる。

20

【0017】

また、本発明の他の形態によれば、上記の形態に係る液晶パネルと、前記複数のゲートバスラインを駆動するゲートドライバと、前記複数のデータバスラインを駆動するデータドライバと、表示信号及びタイミング信号を入力し、前記ゲートドライバ及びデータドライバを制御する制御部とを有し、前記制御部からの制御に基づいて前記ゲートドライバにより、前記複数のゲートバスラインのうち2本以上のゲートバスラインを同時に駆動し、前記制御部からの制御に基づいて前記データドライバにより、前記複数のデータバスラインを同時に駆動し、前記ゲートドライバにより同時に駆動されたゲートバスラインに対応する複数の画素列に同時に表示データを書き込むようにしたことを特徴とする液晶表示装置が提供される。

30

【0018】

この形態に係る液晶表示装置によれば、上記の形態に係る液晶パネルにおいて得られた効果（開口率の改善、書き込み時間の短縮）に加えて、2本以上のゲートバスラインを同時に駆動し、これに対応する複数の画素列に同時に表示データを書き込むようにしているので、従来のように1本のゲートバスラインに対応する画素列毎に順次駆動してデータを書き込む方式と比べて、全画素への書き込み時間を大幅に（例えば、同時駆動するゲートバスラインの本数が2本の場合には、約1/2に）短縮することができる。

40

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態について、添付の図面を参照しながら説明する。

【0020】

<第1の実施形態>

図2は本発明の第1の実施形態に係るアクティブマトリクス型の液晶パネルにおけるTFT基板の構成を平面図の形態で模式的に示したものであり、図3はその液晶パネルの一部分の構成を断面図の形態で模式的に示したものである。図2の例では、図示の簡略化のため、ガラス基板や層間絶縁膜、ゲート絶縁膜等については省略している。

【0021】

50

本実施形態に係る液晶パネル150は、図3に示すように、TFT基板100と、対向基板140と、これらの間に封入された液晶からなる液晶層145とにより構成されている。各基板の層構造については後で説明する。

#### 【0022】

TFT基板100には、図2に示すように水平方向（横方向）に延びる複数のゲートバスライン101と、垂直方向（縦方向）に延びる複数のデータバスライン102と、同じく垂直方向に延びる複数の補助容量（Cs）バスライン103とが形成されている。各バスライン101、102、103はそれぞれ同じピッチ（配線間隔）で配線されており、相互に隣り合う2本のゲートバスライン101と2本のCsバスライン103とによって囲まれた正方形の領域が「単位画素」を構成する。つまり、1つの画素は、Csバスライン103とゲートバスライン101を境界としており、この画素の領域に画素電極104（図面を見易くするために破線で表示）が形成されている。図示の例では、4画素分の画素電極104が示されている。ゲートバスライン101とCsバスライン103の配線幅が同じ場合、画素電極104の形状も正方形となるが、多くの場合、Csバスライン103の方が相対的に太く、製造歩留りを考慮して画素電極間隔を広くとるため、単位画素の形状は正方形であっても、画素電極104の形状は必ずしも正方形とはならない。

10

#### 【0023】

また、データバスライン102は、各画素領域（画素電極104）のほぼ中央を垂直方向（Csバスライン103と平行な方向）に縦断して配線されており、ゲートバスライン101と交差する箇所では絶縁膜を介して絶縁されている。Csバスライン103は、各画素領域（画素電極104）の境界に沿って垂直方向に配線されており、同様にゲートバスライン101と交差する箇所では絶縁膜を介して絶縁されている。この場合、Csバスライン103は、後述するようにゲートバスライン101を構成する導体層の一部をパターンニングして形成される（つまり、単純に交差させたのでは両バスライン101、103は電氣的に短絡してしまう）ため、図2に示すようにゲートバスライン101との交差箇所において分断されており、分断された各Csバスライン103は、絶縁膜に形成されたコンタクトホール105を介して、データバスライン102を構成する導体層の一部をパターンニングして形成された導体層106に電氣的に接続されている。

20

#### 【0024】

また、各画素領域には、データバスライン102とゲートバスライン101の交差箇所に対応してスイッチング素子としての薄膜トランジスタ（TFT）107が設けられている。TFT107（点線で囲んだ部分）は、LDD（Lightly Doped Drain）構造のTFTが2個直列に接続されて構成されている。液晶表示装置では、画素の補助容量（Cs）にデータ（電荷）が書き込まれた状態を次のデータが書き込まれるまで一定に保持するのが理想的であるが、実際にはTFTのリーク電流等によって補助容量の電位が低下する。そこで、このリーク電流を低減するためにTFTをLDD構造とし、かつTFTを2個直列に接続している。本実施形態ではTFTを2個直列に接続しているが、接続個数が2個に限定されないことはもちろんである。また、後述するように他の実施形態においても、各画素毎にLDD構造のTFTを2個直列に接続しているが、接続個数が2個に限定されないことは同様である。以下の記載では、説明の便宜上、2個の直列接続されたTFTを総称して「TFT」と呼ぶことにする。

30

40

#### 【0025】

各画素領域においてTFT107（点線で囲んだ部分）は、ゲートバスライン101の一部をゲート電極Gとし、また、このゲートバスライン101を挟んでドレイン領域Dとソース領域Sが配置されている。TFT107のドレイン領域Dは、絶縁膜に形成されたコンタクトホール108を介してデータバスライン102に電氣的に接続されており、一方、ソース領域Sは、絶縁膜に形成されたコンタクトホール109を介して導体層（図示せず）に電氣的に接続され、さらに絶縁膜に形成されたコンタクトホール110を介して画素電極104に電氣的に接続されている。

#### 【0026】

50

また、111は各画素毎にCsバスライン103との間で補助容量Csを形成する半導体領域を示し、補助容量Csの一方の電極として機能する領域である。この半導体領域111は、後述するようにTFT107のソース領域Sと共有されており、従って、コンタクトホール109、110を介して画素電極104に電氣的に接続されている。つまり、補助容量Csは、電氣的にはCsバスライン103と画素電極104との間に形成されている。

#### 【0027】

次に、図3を参照しながら本実施形態の液晶パネル150（TFT基板100、対向基板140、液晶層145）の層構造について説明する。なお、図3に示す構造では、図面を見易くするため、TFT107については1個のみ図示している。

10

#### 【0028】

TFT基板100のベースとなるガラス基板121上には、例えばSiO<sub>2</sub>又はSiNからなる絶縁膜122が形成され、さらにこの絶縁膜122の所定の領域（図中、破線で示すTFT107及び補助容量Csを形成すべき領域）上に、アモルファスシリコン又はポリシリコンからなる半導体層123が形成されている。そして、この半導体層123の所定の領域（TFT107のソース/ドレイン領域及び補助容量Csの一方の電極領域を形成すべき領域）に、例えばリンやボロン等の不純物をドーピングしてn型又はp型の半導体領域124が形成されている。また、半導体層123及び半導体領域124上には、例えばSiNからなる絶縁膜125が形成されている。この絶縁膜125は、TFT107のチャンネルを保護すると共に、補助容量Csを構成する誘電体の一部として機能する。

20

#### 【0029】

また、絶縁膜125及び半導体領域126を覆って全面に、例えばSiO<sub>2</sub>又はSiNからなる絶縁膜127が形成されている。この絶縁膜127は、TFT107のゲート絶縁膜として機能すると共に、補助容量Csを構成する誘電体の一部として機能する。さらにこの絶縁膜127上に、例えばアルミニウム（Al）やモリブデン（Mo）等からなる

30

#### 【0030】

導体層128が所要の形状にパターニングされて形成されている。この導体層128は、TFT107のゲート電極G（図2）を構成するゲートバスライン101と補助容量Csの他方の電極を構成するCsバスライン103とを含んでいる。

さらに、導体層128を覆って全面に、例えばSiO<sub>2</sub>又はSiNからなる絶縁膜129が形成され、この絶縁膜129上に、例えばAlやチタン（Ti）等からなる導体層130が所要の形状にパターニングされて形成されている。この導体層130は、データバスライン102及び導体層106（図2）と、TFT107及び補助容量Csを画素電極104に接続するための配線を含んでいる。このため、導体層130は、絶縁膜129の所要の箇所に形成されたコンタクトホール108、109を介して、高濃度にドーピングされた半導体領域126（TFT107のドレイン領域D、ソース領域S、補助容量Csの一方の電極領域111）に電氣的に接続されている。

40

#### 【0031】

なお、補助容量Csは、図示の例では半導体領域126（一方の電極）と、導体層128（他方の電極）と、これらの間に形成された絶縁膜125、127（誘電体）とにより構成された「MOS（金属・酸化物（絶縁膜）・半導体）キャパシタ」の形態で実現されているが、このMOS構造に代えて、導体層128と導体層130の間で補助容量Csを形成するようにしてもよい。

#### 【0032】

さらに、導体層130及び絶縁膜129を覆って全面に、例えばSiO<sub>2</sub>又はSiNが

50

らなる絶縁膜 131 が平坦化されて形成されており、この絶縁膜 131 上に、導体層 132 が所要の形状にパターンニングされて形成されている。導体層 132 は、画素電極 104 を構成し、例えば、透過型 LCD の場合には ITO (Indium Tin Oxide) 等の透明の導体からなり、反射型 LCD の場合には Al もしくは Al 合金等からなっている。この導体層 132 (画素電極 104) は、絶縁膜 131 の所要の箇所に形成されたコンタクトホール 110 を介して、TFT 107 及び補助容量 Cs に接続されている配線を含む方の導体層 130 に電氣的に接続されている。

#### 【0033】

さらに、導体層 132 (画素電極 104) 及び絶縁膜 131 の表面を覆ってポリイミド樹脂等からなる配向膜 133 が形成されている。この配向膜 133 は、液晶層 145 内の液晶分子の向き(配向)を規則正しく配列させるためのものであるが、この配向膜 133 と共に液晶分子の配向(ドメイン)を規制する手段として、例えば、画素電極 104 上に所定の形状の突起をパターン形成してもよい。かかる突起は、例えばフォトレジスト等により形成することができ、ストライプ状もしくは土手状、半球状、ピラミッド状など種々のものを形成することができる。かかる突起を形成した場合、該突起を覆って配向膜 133 が形成される。

#### 【0034】

一方、対向基板 140 のベースとなるガラス基板 141 上(図 3 の例では下側)には、ITO 等の透明の導体からなる導体層 142 (コモン電極もしくは対向電極)と、特に図示はしていないが液晶層 145 の厚さ(セルギャップ)を一定に保つための柱状スペーサとが形成されている。この柱状スペーサはフォトレジスト等により形成され得るが、これに代えて、液晶層 145 内にシリカや樹脂等からなる球状スペーサを封入してもよい。但し、セルギャップを精密に規制するには柱状スペーサの方がより好適である。さらに、コモン電極(導体層 142)の表面を覆ってポリイミド樹脂等からなる配向膜 143 が形成されている。この対向基板 140 においても、TFT 基板 100 側と同様に、コモン電極 142 上にドメイン規制用の突起パターンを適宜形成してもよい。なお、図示の対向基板 140 にはカラーフィルタが設けられていないが、これは、後述するように本発明では主として白黒表示用の液晶パネルを用いて LCD をフィールドシーケンシャルカラー方式で駆動することを意図しているからである。

#### 【0035】

また、液晶パネル 150 の液晶層 145 を構成する液晶には、高速応答に好適な強誘電性液晶が用いられる。しかし、液晶の材料がこれに限定されないことはもちろんであり、これ以外にも、例えば、TN (Twisted Nematic) モードや VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード等の液晶を好適に用いることができる。

#### 【0036】

以上説明したように、第 1 の実施形態に係る液晶パネル 150 (TFT 基板 100) の構成によれば(図 2、図 3 参照)、データバスライン 102 は各画素領域(画素電極 104)のほぼ中央を垂直方向(Cs バスライン 103 と平行な方向)に延在しており、従来例(図 1)のようにデータバスライン 12 を各画素領域(画素電極 14)の境界とするのではなく、Cs バスライン 103 を各画素領域(画素電極 104)の境界としている。従って、データバスライン 102 の配線幅を設計するにあたり、従来例のように画素電極との重なりや隣合う画素電極間の距離を考慮する必要がないので、データバスライン 102 を細く配線することができ、その結果、開口率を高めることができる。

#### 【0037】

また、従来例(図 1)では、相対的に配線幅の太い Cs バスライン 13 に対してデータバスライン 12 は交差していたため、両バスライン 12, 13 の交差部には相応の配線容量が形成されていたが、本実施形態(図 2)では、相対的に配線幅の太い Cs バスライン 103 に対してデータバスライン 102 は平行に配線されている(つまり、交差していない)ので、両バスライン 102, 103 間には実質上配線容量は形成されない。さらに、

10

20

30

40

50

データバスライン102を細く配線できるので、データバスライン102と画素電極104の間に形成される配線容量、及びデータバスライン102とゲートバスライン101の間に形成される配線容量を相対的に小さくすることができる。これによって、各画素毎に見たデータバスライン102のトータルの配線容量を大幅に低減することができ、その結果、1画素当たりの書き込みに要する時間、ひいては全画素への書き込み時間を短縮することができる。これによって、画素への書き込み許容時間が制限されているフィールドシーケンシャルカラー方式や、SVGA、XGAなど画素数の多い液晶パネルに対しても、書き込み時間を十分に確保することが可能となる。

【0038】

また、データバスライン102の配線容量を低減させたことで、データ信号が当該データバスライン102上を伝搬する際にその始端（画面の上部）と終端（画面の下部）での時定数差が緩和されるので、画面の上部と下部での輝度差が生じ難くなり、輝度むらの発生を抑制することができる（輝度むらの改善）。さらに、データバスライン102を各画素領域（画素電極104）の境界としていないため、横クロストークの発生を効果的に抑制することができる。

10

【0039】

<第2の実施形態>

図4は本発明の第2の実施形態に係るアクティブマトリクス型の液晶パネルにおけるTFT基板の構成を平面図の形態で模式的に示したものである。

【0040】

20

この第2の実施形態に係るTFT基板200は、上述した第1の実施形態に係るTFT基板100（図2）の構成と比べて、TFT207の形状が異なっている点、すなわち、各画素領域（画素電極204）毎にゲートバスライン201の一部（2箇所）を櫛歯状に突出させて成形し、この突出させた部分をTFT207のゲート電極Gとしている点で、相違する。他の構成及びその動作もしくは機能については、第1の実施形態の場合と同じであるので、その説明は省略する。なお、図4に示す201～211の各構成要素は、それぞれ図2に示した101～111の各構成要素に対応している。

【0041】

この第2の実施形態に係る液晶パネル（TFT基板200）においても、上述した第1の実施形態と基本的に同じ構成を有しているので、第1の実施形態で得られた効果（開口率の改善、書き込み時間の短縮、輝度むらの改善、横クロストークの抑制）と同様の効果を奏することができる。

30

【0042】

<第3の実施形態>

図5は本発明の第3の実施形態に係るアクティブマトリクス型の液晶パネルにおけるTFT基板の構成を平面図の形態で模式的に示したものである。

【0043】

この第3の実施形態に係るTFT基板300は、上述した第1の実施形態に係るTFT基板100（図2）の構成と比べて、隣り合う2本の水平ライン（ゲートバスライン301a, 301b）を同時に駆動し、これに対応する2水平画素列に接続された各TFT307a, 307bのオン/オフを同時に制御できるように配線した点、各画素領域内に1本又は2本のデータバスライン302a, 302bを含むように配線されている点、第2の実施形態（図4）の場合と同様にTFT307a, 307bの形状が異なっている点、各画素毎にCsバスライン303との間で補助容量Csを形成する半導体領域311a, 311bの形状が異なっている点で、相違する。他の構成及びその動作もしくは機能については、基本的に第1の実施形態の場合と同じであるので、その説明は省略する。なお、図5に示す301a, 301b～311a, 311bの各構成要素は、それぞれ図2に示した101～111の各構成要素に対応している。

40

【0044】

図5に示すように、垂直方向（Csバスライン303と平行な方向）に配線されるデー

50

タブスラインを1本しか含まない画素列は、水平方向において両端（左端と右端）に配列された各1列である。図示の例では、左端の画素列が1本のデータバスライン302aを含んでおり、他の画素列（右端の画素列を除く）はそれぞれ2本のデータバスライン302a, 302bを含んでいる。そして、各データバスライン302a, 302bは、それぞれ当該データバスラインを介して駆動されるTF T307a, 307bと共に、それぞれ対応する画素内に含まれている。

#### 【0045】

また、2本のデータバスライン302a, 302bを含む画素列については、一方のデータバスラインに供給されるデータは自画素内の画素電極304に書き込まれ、他方のデータバスラインに供給されるデータは自画素外の隣接する他画素内の画素電極304に書き込まれる。図示の例では、左から数えて奇数番目のデータバスライン302aに供給されるデータは、それぞれ対応する自画素内のTF T307aを介して、自画素内の画素電極304に書き込まれる。一方、左から数えて偶数番目のデータバスライン302bに供給されるデータは、それぞれ対応する自画素内のTF T307bを介して、左側に隣接する他画素内の画素電極304に書き込まれる。つまり、奇数番目のゲートバスライン301aによって駆動されるTF T307aが接続されたデータバスライン302aは自画素内にあり、偶数番目のゲートバスライン301bによって駆動されるTF T307bが接続されたデータバスライン302bは自画素外にあり、両者はCsバスライン303を挟んでその両側に配線されている。

#### 【0046】

この第3の実施形態に係る液晶パネル（TF T基板300）の構成によれば、上述した第1、第2の実施形態で得られた効果（開口率の改善、書き込み時間の短縮、輝度むらの改善、横クロストークの抑制）に加えて、さらに、隣り合う2本の水平ライン（ゲートバスライン301a, 301b）を同時に駆動し、これに対応する2水平画素列に接続された各TF T308a, 308bを同時にオンとし、当該TF Tを介して同時にデータを書き込むようにしているので、従来のように1水平画素列毎に順次駆動してデータを書き込む方式と比べて、全画素への書き込み時間を約1/2に短縮することができる。言い換えると、1フレーム（1画面）分の表示データを約2倍のスピードで表示させることができるので、解像度を約2倍に上げることができる。

#### 【0047】

< 第4の実施形態 >

図6は本発明の第4の実施形態に係るアクティブマトリクス型の液晶パネルにおけるTF T基板の構成を平面図の形態で模式的に示したものである。

#### 【0048】

この第4の実施形態に係るTF T基板400は、上述した第3の実施形態に係るTF T基板300（図5）の構成と比べて、各画素領域内にそれぞれ2本のデータバスライン402a, 402bを含むように配線されている点、Csバスライン403との間で補助容量Csを形成する半導体領域411bの形状が異なっている点で、相違する。他の構成及びその動作もしくは機能については、基本的に第3の実施形態の場合と同じであるので、その説明は省略する。なお、図6に示す401a, 401b~411a, 411bの各構成要素は、それぞれ図5に示した301a, 301b~311a, 311bの各構成要素に対応している。

#### 【0049】

図6に示すように、各画素毎に垂直方向（Csバスライン303と平行な方向）に配線される2本のデータバスライン402a, 402bのうち、右側のデータバスライン402aは、奇数番目のゲートバスライン401aによって駆動されるTF T407aに接続されており、左側のデータバスライン402bは、偶数番目のゲートバスライン401bによって駆動されるTF T407bに接続されている。TF T407aを含む画素については補助容量Csは当該画素の右端に含まれ、TF T407bを含む画素については補助容量Csは当該画素の左端に含まれている。つまり、補助容量Csは、奇数列と偶数列と

10

20

30

40

50

で反対方向に設けられている。しかし、ゲート層（図3の導体層128に相当）で配線の繋ぎ換えを適宜行えば、各補助容量Csを全て同じ方向に設けることも可能である。

【0050】

この第4の実施形態に係るTFT基板400の構造上の特徴は、上述した第3の実施形態（図5）の場合とは違い、データバスライン402a、402bと、当該データバスラインによって駆動されるTFT407a、407bと、当該TFTを介してデータが書き込まれる画素電極404とが、すべて自画素内に設けられている点である。第3の実施形態のように他画素内にデータバスラインとTFTを配置すると、横クロストークを生じる可能性が高くなるが、この第4の実施形態では、上記の特徴的な構造により、横クロストークの発生の可能性を低減することができる。

10

【0051】

なお、上述した第3、第4の各実施形態（図5、図6）では、隣り合う2本の水平ライン（ゲートバスライン）を同時に駆動する場合を例にとって説明したが、同時に駆動する水平ラインの数が2本に限定されないことはもちろんであり、3本以上の水平ラインを同時に駆動することも可能である。この場合、全画素への書き込み時間を更に短縮することができる。

【0052】

上述した第2～第4の各実施形態に係るTFT基板200、300、400（図4～図6）は、上述した第1の実施形態に係るTFT基板100（図2）と比べて、平面的に見たときのデータバスラインの配線形態やTFTの接続形態等において相違してはいるが、TFT基板200、300、400をそれぞれ含んで各液晶パネルを構成したときに断面的に見たときの構造は、基本的には第1の実施形態に係る液晶パネル150（図3）の断面構造と同様である。よって、以下の記載において「液晶パネル150」というときは、第2～第4の各実施形態に係る液晶パネルをも指すものとする。

20

【0053】

次に、本発明に係る液晶表示装置及びその駆動方法について説明する。

【0054】

図7は、上述した第3の実施形態（図5）又は第4の実施形態（図6）に係る液晶パネルを用いた液晶表示装置の構成をブロック図の形態で示したものである。図7に示す例では、第4の実施形態に係る液晶パネル150（TFT基板400）を用いた場合の構成を示している。

30

【0055】

図7に示す液晶表示装置170は、カラーフィルタを使用しない白黒表示用の液晶パネル150と、この液晶パネル150に対するフィールドシーケンシャル駆動を制御する制御部160と、液晶パネル150に動作可能に接続されたゲートドライバ161及びデータドライバ162と、1フレーム分の表示データ（RGBの画像データ、及び必要に応じて黒信号データ）を一時的に格納しておくためのフレームメモリ163と、液晶パネル150を挟んで両面に配置された1対の偏光板（図示せず）と、液晶パネル150の背面に一方の偏光板を間に挟んで配置されたバックライトユニット164とを備えている。本実施形態では、制御部160、ゲートドライバ161、データドライバ162及びフレームメモリ163はそれぞれICにより実現され、ゲートドライバ161及びデータドライバ162は液晶パネル150の周縁部に搭載されるものとする。また、図7には特に示していないが、各回路ブロックには適宜必要な電源電圧（例えば、18Vの高電圧、3.3V又は5Vの低電圧、グランド電圧）が供給されている。

40

【0056】

液晶パネル150の表示部には、多数の画素がマトリクス状に配列されている。1つの画素は、2個の直列接続されたTFT407a又は407bと、液晶セルLcと、この液晶セルLcに並列接続された補助容量Csとにより構成されている。液晶セルLcは、画素電極404（図6）とコモン電極142（図3）とこれら電極間の液晶層145とにより構成されており、補助容量Csは、Csバスライン403（図6）と半導体領域411

50

a又は411bとこれらの間の絶縁膜125, 127(図3)とにより構成されている。また、水平方向に並ぶ画素列の各TFT407a, 407bのゲートは、それぞれ同一のゲートバスライン401a, 401bに接続され、垂直方向に並ぶ画素列の各TFT407a, 407bのドレインは、それぞれ同一のデータバスライン402a, 402bに接続され、各TFT407a, 407bのソースは、液晶セルLc及び補助容量Csに接続されている。

【0057】

制御部160は、コンピュータ等の外部装置(図示せず)から供給される表示信号(RGBの各色信号)及びタイミング信号(水平同期信号Hsync、垂直同期信号Vsync)に基づいて、フィールドシーケンシャル駆動を行うのに必要な各タイミング信号C1, C2, RS, GS, BS及び1フレーム分の表示信号FDを生成する。生成された表示信号FDはフレームメモリ163に供給され、タイミング信号C1及びC2はそれぞれゲートドライバ161及びデータドライバ162に供給され、タイミング信号RS, GS及びBSはバックライトユニット164に供給される。

10

【0058】

ゲートドライバ161は、制御部160から供給されるタイミング信号C1にตอบสนองして1垂直同期期間の開始時に初期化され、1水平同期期間に同期したタイミングで、液晶パネル150の隣り合う2水平ライン(ゲートバスライン401a, 401b)毎に順番に走査信号を出力する。つまり、液晶パネル150の各ゲートバスラインは、ゲートドライバ161によって2水平ライン毎に順次データを書き込める状態(選択状態)となる。

20

【0059】

データドライバ162は、制御部160からフレームメモリ163に取り込まれた1フレーム分の表示信号FDと制御部160から供給されるタイミング信号C2に基づいて、ゲートドライバ161により順次選択される2水平ライン毎にそれぞれ表示データを順次生成し、生成した表示データを各データバスライン402a, 402bに出力する。このとき、表示データの生成及び出力は、RGBの各色信号毎に時系列的に行う。

【0060】

また、本発明が意図しているフィールドシーケンシャル駆動方式では、RGBの各色毎にデータを時分割して画素に書き込み、これに同期してR, G, Bの各光源を時系列的に点灯させる必要があるため、専用の光源を必要とする。図7の実施形態では、その光源として発光ダイオード(LED)エッジライト方式のバックライトユニット164を設けている。これは、通常のエッジライト方式バックライトの光源として用いられている冷陰極蛍光ランプ(CCL)を、アレイ化したLEDに置き換えたものである。例えば、液晶パネル150の背面に、これと同じ大きさで底面がテーパ状に成形された薄い透明樹脂からなる導光板(図示せず)を配置し、この導光板のエッジ部分(上下又は左右の両端)にRGBの各LEDを組にしたものを複数組配列し、RGBの各色毎のデータの書き込みタイミング(すなわち、制御部160から供給される各色毎のタイミング信号RS, GS, BS)に同期して各LEDから発光されたRGBの各色光を導光板の底面(テーパ面)で反射させ、さらに拡散フィルム等(図示せず)を通して液晶パネル150の背面から照射する。この場合、各組を構成するLEDは、通常はRGBの各色毎に1個ずつであるが、Gの輝度が相対的に低いことを考慮して、例えば、R, Bがそれぞれ1個、Gが2個の組合せとしてもよい。

30

40

【0061】

バックライトユニット164の構造としては、本実施形態ではLEDエッジライト方式を採用しているが、これに代えて、例えばLEDエリアライト方式を採用してもよい。この方式では、液晶パネル150の背面に、拡散フィルム等(図示せず)を介して、RGBの各LEDを組にしたものを二次元的に複数組配列し、上記と同様に各色毎のデータの書き込みタイミングに同期して各LEDから発光されたRGBの各色光を直接拡散フィルム等を通して液晶パネル150の背面から照射する。

【0062】

50

フィールドシーケンシャル駆動方式では、上述したようにRGBの3原色の画像を時系列的に同一の画素に表示させることでフルカラー表示を実現している。動作の態様としては、1フレームに、RGBの3画面分のデータを書くようにした駆動方法、RGBの各色信号の間にそれぞれ黒信号を1回ずつ書いて合計6画面分のデータを書くようにした駆動方法、RGBの各色信号と各色信号間の黒信号とをそれぞれ2回ずつ書いて合計12画面分のデータを書くようにした駆動方法等が考えられる。

#### 【0063】

本実施形態に係るフィールドシーケンシャル駆動では、先ずフレームメモリ163に1フレーム分のRGB画像データ（及び各色間の黒信号データ）を取り込み、次にバックライトユニット164の各LEDを制御していずれかの光（例えば、赤色（R）光）を液晶パネル150の背面から照射させるタイミングで、ゲートドライバ161から液晶パネル150内の隣り合う2水平ライン（ゲートバスライン401a, 401b）に同時に走査信号を出力すると共に、データドライバ162がフレームメモリ163から当該2水平ラインに対応する表示データを読み出し、各データバスライン402a, 402bに表示データを出力する。このとき、選択された2水平ライン（ゲートバスライン401a, 401b）に対応する画素列のTF T 407a, 407bがオンとなり、当該TF Tを介してそれぞれ対応する補助容量Csに表示データが書き込まれ、この書き込まれたデータは次のデータが書き込まれるまで保持される。

#### 【0064】

このようにして、1フレームを構成する全画素にデータ（この場合、1フィールド分のRデータ）を書き込んだ後、バックライトユニット164を制御して光源（LED）の色を緑色（G）又は青色（B）に切り換え、上記と同様の動作を行い、最終的に全ての色のデータを全画素に書き込む。書き込まれた表示データの電圧は液晶セルLcの両端（画素電極と対向電極の間）にかかり、これによって、液晶セルLc内の液晶分子の向きが変化し、それに伴い液晶セルLcの光透過率が変化し、所望の画像が表示される。

#### 【0065】

なお、図7に例示した液晶表示装置170の構成では、画面（液晶パネル150）の一方の側（上側）にデータドライバ162を配置しているが、同時に駆動する水平ラインの本数が多くなったときは画面を挟んでその上下にデータドライバを配置し、例えば、上側に配置したデータドライバにより奇数番目のデータバスラインを駆動し、下側に配置したデータドライバにより偶数番目のデータバスラインを駆動するようにしてもよい。

#### 【0066】

以下、本発明の諸態様を、付記としてまとめて記載する。

#### 【0067】

（付記1）第1の方向に延在する複数のゲートバスラインと、前記第1の方向と交差する第2の方向に延在する複数のデータバスラインと、各画素毎に設けられ、対応するゲートバスラインの一部をゲート電極とし、かつ対応するデータバスラインに電氣的に接続されたスイッチング素子と、各画素毎に設けられ、対応するスイッチング素子に電氣的に接続された画素電極と、前記画素電極との間に液晶を介在させて配置された対向電極と、前記第2の方向に延在し、各画素毎に前記画素電極との間で補助容量を形成する複数の補助容量バスラインとを有し、各補助容量バスラインを境界として正方形の画素領域が画定されていることを特徴とする液晶パネル。

#### 【0068】

（付記2）前記複数のデータバスラインは、前記第2の方向に配列された各画素列の領域にそれぞれ1本のデータバスラインを含むように配線されていることを特徴とする付記1に記載の液晶パネル。

#### 【0069】

（付記3）前記複数のデータバスラインは、前記第2の方向に配列された各画素列のうち両端に配列された各一列の領域にそれぞれ1本のデータバスラインを含み、かつ、他の画素列の領域にそれぞれ2本のデータバスラインを含むように配線されていることを特徴

10

20

30

40

50

とする付記 1 に記載の液晶パネル。

【 0 0 7 0 】

(付記 4) 前記 2 本のデータバスラインを含む画素列において、一方のデータバスラインは、当該画素列における自画素内のスイッチング素子を介して、当該自画素内の画素電極に接続され、他方のデータバスラインは、当該画素列における他の自画素内のスイッチング素子を介して、前記第 1 の方向に隣接する他画素内の画素電極に接続されていることを特徴とする付記 3 に記載の液晶パネル。

【 0 0 7 1 】

(付記 5) 前記複数のデータバスラインは、前記第 2 の方向に配列された各画素列の領域にそれぞれ 2 本のデータバスラインを含むように配線されていることを特徴とする付記 1 に記載の液晶パネル。

10

【 0 0 7 2 】

(付記 6) 前記 2 本のデータバスラインを含む各画素列において、一方のデータバスラインは、当該画素列における自画素内のスイッチング素子を介して、当該自画素内の画素電極に接続され、他方のデータバスラインは、当該画素列における他の自画素内のスイッチング素子を介して、当該他の自画素内の画素電極に接続されていることを特徴とする付記 5 に記載の液晶パネル。

【 0 0 7 3 】

(付記 7) 前記スイッチング素子を構成するゲート電極は、前記対応するゲートバスラインの一部を櫛歯状に突出させて成形された部分からなることを特徴とする付記 1 に記載の液晶パネル。

20

【 0 0 7 4 】

(付記 8) 前記液晶が強誘電性液晶であることを特徴とする付記 1 に記載の液晶パネル

【 0 0 7 5 】

(付記 9) 付記 1 に記載の液晶パネルと、  
前記複数のゲートバスラインを駆動するゲートドライバと、  
前記複数のデータバスラインを駆動するデータドライバと、  
表示信号及びタイミング信号を入力し、前記ゲートドライバ及びデータドライバを制御する制御部とを有し、  
前記制御部からの制御に基づいて前記ゲートドライバにより、前記複数のゲートバスラインのうち 2 本以上のゲートバスラインを同時に駆動し、  
前記制御部からの制御に基づいて前記データドライバにより、前記複数のデータバスラインを同時に駆動し、前記ゲートドライバにより同時に駆動されたゲートバスラインに対応する複数の画素列に同時に表示データを書き込むようにしたことを特徴とする液晶表示装置。

30

【 0 0 7 6 】

(付記 10) 複数の各色毎に光源を有し、前記制御部からの制御に基づいて点灯された光源の光を前記液晶パネルの背面から照射するバックライトユニットを有し、  
前記制御部からの制御に基づいて前記ゲートドライバ及びデータドライバにより、同時に駆動されたゲートバスラインに対応する複数の画素列に各色毎に表示データを時分割して書き込み、これに同期して前記バックライトユニットにより、各色毎の光源を時系列的に点灯させるようにしたことを特徴とする付記 9 に記載の液晶表示装置。

40

【 0 0 7 7 】

(付記 11) 前記制御部から供給される 1 フレーム分の表示データを一時的に格納しておくためのメモリを有し、  
前記制御部からの制御に基づいて前記データドライバが、前記メモリから、前記ゲートドライバにより同時に駆動されたゲートバスラインに対応する複数の画素列に書き込むべき表示データを読み出し、前記複数のデータバスラインに当該表示データを出力することを特徴とする付記 10 に記載の液晶表示装置。

50

## 【 0 0 7 8 】

(付記 1 2) 前記バックライトユニットを構成する各色毎の光源は、発光ダイオードであることを特徴とする付記 1 0 に記載の液晶表示装置。

## 【 図面の簡単な説明 】

## 【 0 0 7 9 】

【 図 1 】 従来例に係る液晶パネルにおける T F T 基板の構成を模式的に示す平面図である。

【 図 2 】 本発明の第 1 の実施形態に係る液晶パネルにおける T F T 基板の構成を模式的に示す平面図である。

【 図 3 】 第 1 の実施形態に係る液晶パネルの一部分の構成を模式的に示す断面図である。

【 図 4 】 本発明の第 2 の実施形態に係る液晶パネルにおける T F T 基板の構成を模式的に示す平面図である。

【 図 5 】 本発明の第 3 の実施形態に係る液晶パネルにおける T F T 基板の構成を模式的に示す平面図である。

【 図 6 】 本発明の第 4 の実施形態に係る液晶パネルにおける T F T 基板の構成を模式的に示す平面図である。

【 図 7 】 第 3 又は第 4 の実施形態に係る液晶パネルを用いた液晶表示装置の構成を概略的に示すブロック図である。

## 【 符号の説明 】

## 【 0 0 8 0 】

1 0 0 , 2 0 0 , 3 0 0 , 4 0 0 ... 薄膜トランジスタ ( T F T ) 基板、  
 1 0 1 , 2 0 1 , 3 0 1 a , 3 0 1 b , 4 0 1 a , 4 0 1 b ... ゲートバスライン、  
 1 0 2 , 2 0 2 , 3 0 2 a , 3 0 2 b , 4 0 2 a , 4 0 2 b ... データバスライン、  
 1 0 3 , 2 0 3 , 3 0 3 , 4 0 3 ... 補助容量 ( C s ) バスライン、  
 1 0 4 , 2 0 4 , 3 0 4 , 4 0 4 ... 画素電極、  
 1 0 7 , 2 0 7 , 3 0 7 a , 3 0 7 b , 4 0 7 a , 4 0 7 b ... T F T 、  
 1 1 1 , 2 1 1 , 3 1 1 a , 3 1 1 b , 4 1 1 a , 4 1 1 b ... 半導体領域、  
 1 2 1 , 1 4 1 ... ガラス基板、  
 1 2 2 , 1 2 5 , 1 2 7 , 1 2 9 , 1 3 1 ... 絶縁膜、  
 1 2 3 ... 半導体層 ( アモルファスシリコン層又はポリシリコン層 ) 、  
 1 2 4 , 1 2 6 ... n 型又は p 型の半導体領域、  
 1 2 8 ... 導体層 ( ゲートバスライン、 C s バスライン ) 、  
 1 3 0 ... 導体層 ( データバスライン、 T F T 及び C s と画素電極との接続用配線等 ) 、  
 1 3 2 ... 導体層 ( 画素電極 ) 、  
 1 3 3 , 1 4 3 ... 配向膜、  
 1 4 0 ... 対向基板、  
 1 4 2 ... 導体層 ( コモン電極もしくは対向電極 ) 、  
 1 4 5 ... 液晶層、  
 1 5 0 ... 液晶パネル、  
 1 6 0 ... 制御部、  
 1 6 1 ... ゲートドライバ、  
 1 6 2 ... データドライバ、  
 1 6 3 ... フレームメモリ、  
 1 6 4 ... バックライトユニット、  
 1 7 0 ... 液晶表示装置 ( L C D ) 、  
 C s ... 補助容量、  
 C 1 , C 2 , R S , G S , B S ... タイミング信号、  
 F D ... 1 フレーム分の表示信号 ( データ ) 。

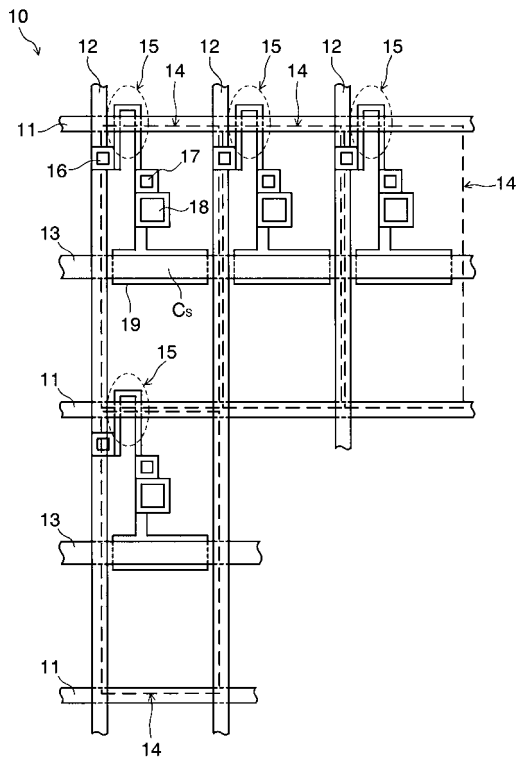
10

20

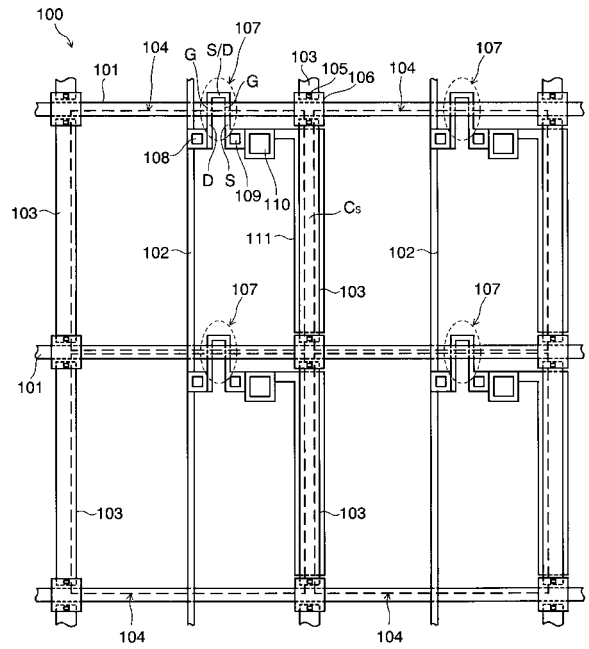
30

40

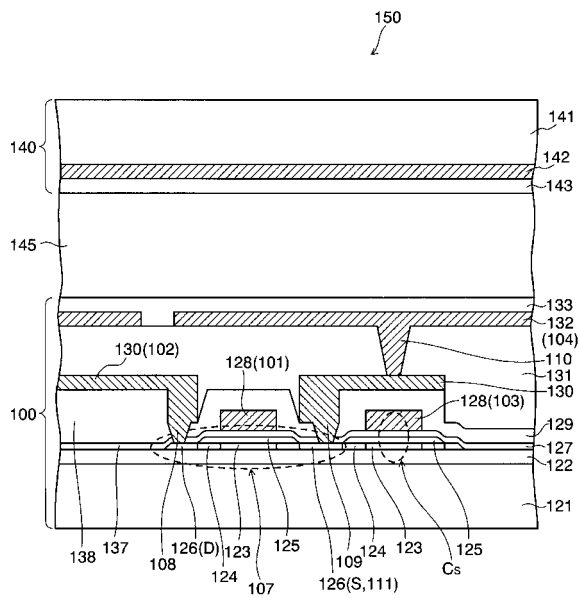
【図1】



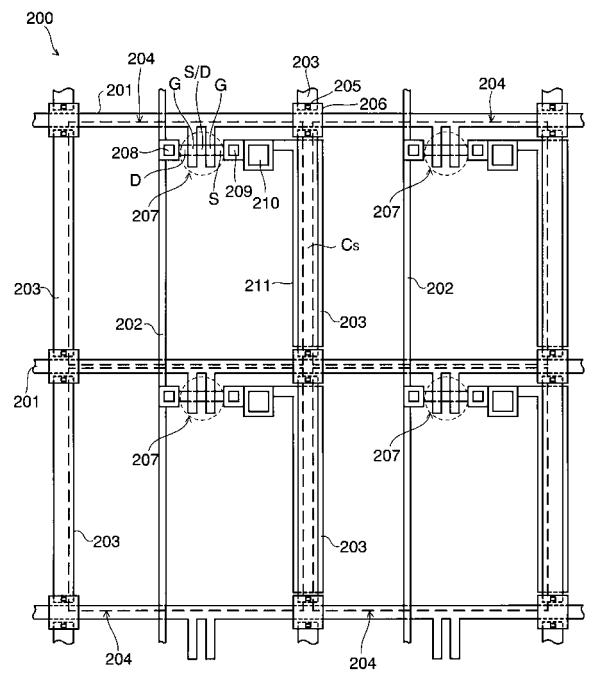
【図2】



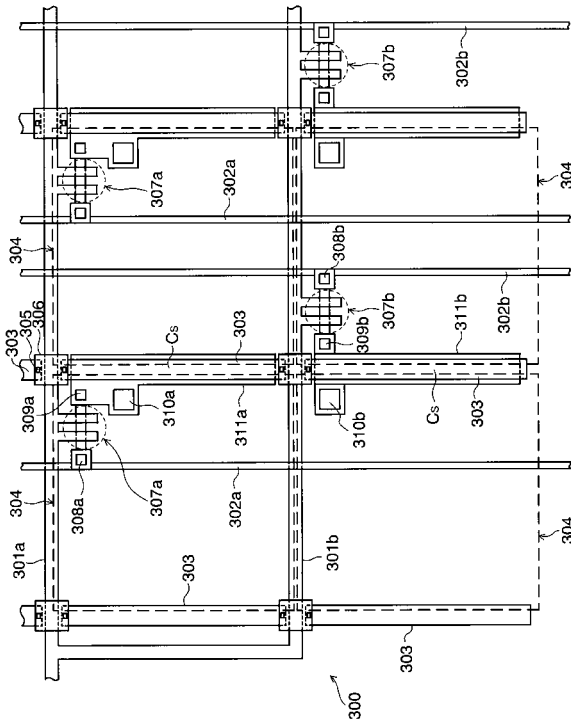
【図3】



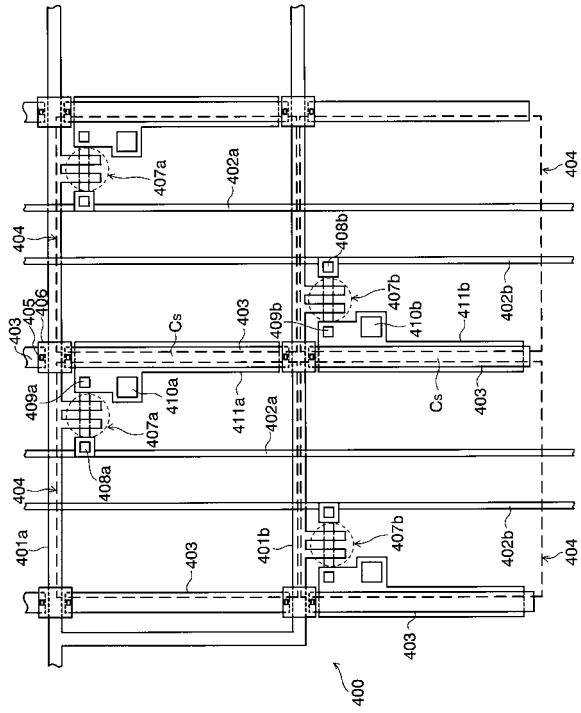
【図4】



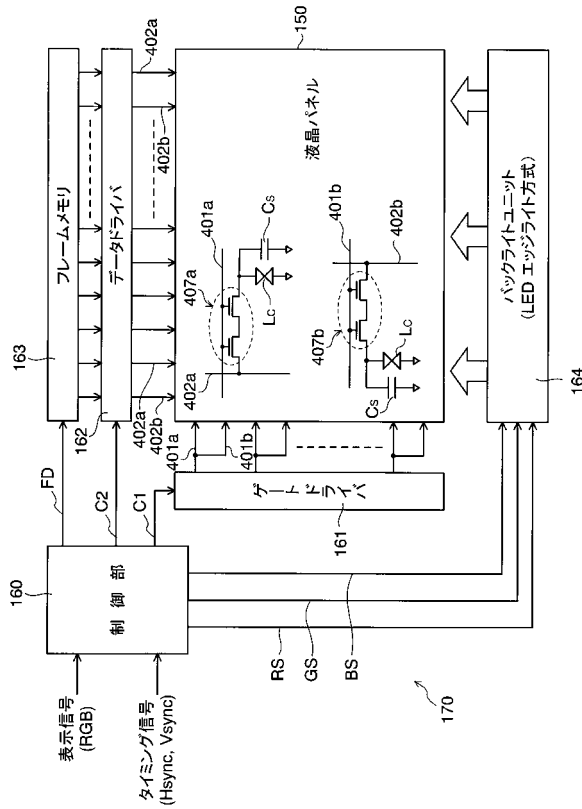
【図5】



【図6】



【図7】



## フロントページの続き

(51) Int.Cl.		F I		
<b>G 0 9 G</b>	<b>3/36</b>	<b>(2006.01)</b>	G 0 9 G	3/20 6 2 2 D
<b>H 0 1 L</b>	<b>29/786</b>	<b>(2006.01)</b>	G 0 9 G	3/20 6 2 3 U
			G 0 9 G	3/20 6 3 1 B
			G 0 9 G	3/34 J
			G 0 9 G	3/36
			H 0 1 L	29/78 6 1 7 K
			H 0 1 L	29/78 6 1 7 N
			H 0 1 L	29/78 6 1 8 C

- (56) 参考文献 特開昭 6 3 - 0 9 2 9 2 8 ( J P , A )  
 特開 2 0 0 1 - 0 1 3 9 0 6 ( J P , A )  
 特開平 1 0 - 2 0 6 8 7 0 ( J P , A )  
 特開平 1 0 - 2 1 3 8 1 2 ( J P , A )  
 特開平 1 0 - 2 2 1 7 1 4 ( J P , A )  
 特開平 0 3 - 2 8 8 8 2 4 ( J P , A )  
 特開平 1 0 - 2 3 9 6 9 9 ( J P , A )  
 特開 2 0 0 1 - 2 6 4 8 1 8 ( J P , A )  
 特開平 1 0 - 2 5 3 9 8 7 ( J P , A )  
 特開 2 0 0 1 - 2 8 1 6 9 0 ( J P , A )

## (58) 調査した分野 (Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3  
 G 0 2 F 1 / 1 3 3  
 G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶面板和液晶显示装置		
公开(公告)号	<a href="#">JP4387278B2</a>	公开(公告)日	2009-12-16
申请号	JP2004283474	申请日	2004-09-29
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	大橋 範之 岡崎 晋		
发明人	大橋 範之 岡崎 晋		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1368 G09G3/20 G09G3/34 G09G3/36 H01L29/786		
CPC分类号	G02F1/136213 G02F1/136286 G02F1/1368 A44C5/0023 A44C5/185 A44C5/2076 A44D2203/00 A61N2/06		
FI分类号	G02F1/1343 G02F1/133.535 G02F1/133.550 G02F1/1368 G09G3/20.621.F G09G3/20.622.D G09G3/20.623.U G09G3/20.631.B G09G3/34.J G09G3/36 H01L29/78.617.K H01L29/78.617.N H01L29/78.618.C		
F-TERM分类号	2H092/GA17 2H092/GA25 2H092/GA29 2H092/GA30 2H092/JA25 2H092/JA44 2H092/JA46 2H092/JB33 2H092/JB42 2H092/JB56 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA07 2H092/PA06 2H092/PA13 2H092/QA13 2H093/NA16 2H093/NA65 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC43 2H093/ND09 2H093/ND22 2H093/ND46 2H093/NF17 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CC04 2H192/CC64 2H192/CC66 2H192/DA15 2H192/DA23 2H192/DA44 2H192/DA72 2H192/DA74 2H192/GD61 2H192/JA23 2H193/ZA04 2H193/ZA19 2H193/ZD32 2H193/ZG34 2H193/ZK21 5C006/AF04 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC22 5C006/BF02 5C006/EA01 5C006/FA12 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD30 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ06 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/EE03 5F110/EE04 5F110/EE24 5F110/EE28 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG23 5F110/HJ01 5F110/HL03 5F110/HL04 5F110/HM04 5F110/HM12 5F110/HM15 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN72 5F110/NN73		
代理人(译)	冈本圭造		
其他公开文献	JP2006098613A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种液晶面板，其孔径比增强，并且缩短了写入所有像素所需的时间，并提供液晶显示器。ZOLUTION：在构成液晶面板的TFT基板100上，栅极总线101和数据总线102在垂直相交的方向上布线，开关元件（TFT）107布置在两者的交叉点附近总线，以及形成辅助电容器Cs的Cs总线103，其中像素电极104布置在每个像素上，在与数据总线102平行的方向上布线。栅极总线101，数据总线102和Cs总线103各自在导线之间以相同的间距布线，并且定义正方形像素区域，其边界是相应的Cs总线103。Z

