

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4352598号
(P4352598)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.	F I
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133 550

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2000-254335 (P2000-254335)	(73) 特許権者	000002185
(22) 出願日	平成12年8月24日(2000.8.24)		ソニー株式会社
(65) 公開番号	特開2002-72233 (P2002-72233A)		東京都港区港南1丁目7番1号
(43) 公開日	平成14年3月12日(2002.3.12)	(74) 代理人	100094053
審査請求日	平成19年1月12日(2007.1.12)		弁理士 佐藤 隆久
		(72) 発明者	猪野 益充
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置および携帯端末

(57) 【特許請求の範囲】

【請求項 1】

複数の画素が行列状に配置されており、スイッチング素子として薄膜トランジスタを有する画素部が形成された第1の基板と、前記第1の基板に対向して配置された第2の基板と、前記第1の基板と前記第2の基板との間に保持された液晶組成物を有する液晶表示装置であって、

前記画素部に対して画素信号を書き込むための周辺回路のうち少なくとも一部の周辺回路が、前記第1の基板上に薄膜トランジスタで構成され、

前記周辺回路のうち残りの部分の周辺回路が、半導体チップで構成されており、

前記半導体チップの少なくとも一部が、前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第1の基板上に配置されている

液晶表示装置。

【請求項 2】

前記周辺回路として、前記画素部に画素信号を書き込むために前記画素部に接続されたマトリクス配線に接続されている駆動部が薄膜トランジスタで構成されている

請求項1記載の液晶表示装置。

【請求項 3】

前記駆動部のうち、水平あるいは垂直方向の走査を行うシフトレジスタ回路が半導体チップで構成されている

請求項2記載の液晶表示装置。

10

20

【請求項 4】

前記周辺回路として、タイミング波形を制御するタイミングコントローラが前記半導体チップで構成されている

請求項 1 記載の液晶表示装置。

【請求項 5】

前記周辺回路として、基準電圧を出力する基準電圧発生部が前記半導体チップで構成されている

請求項 1 記載の液晶表示装置。

【請求項 6】

前記周辺回路として、入力電圧よりも高い電圧を 2 種類以上発生し、他の周辺回路に電源を与える DC - DC コンバータが前記半導体チップで構成されている

10

請求項 1 記載の液晶表示装置。

【請求項 7】

前記半導体チップの少なくとも一部が、COG 法によって前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第 1 の基板上に実装されている

請求項 1 記載の液晶表示装置。

【請求項 8】

前記薄膜トランジスタで構成された前記周辺回路の周辺部分に、前記 COG 法によって前記半導体チップを接続するための接続部が形成されている

20

請求項 7 記載の液晶表示装置。

【請求項 9】

前記周辺回路として、低速駆動する一部の周辺回路を前記薄膜トランジスタで構成し、前記一部の周辺回路よりも高速駆動する周辺回路を前記半導体チップで構成する

請求項 1 記載の液晶表示装置。

【請求項 10】

複数の画素が行列状に配置されており、スイッチング素子として薄膜トランジスタを有する画素部が形成された第 1 の基板と、前記第 1 の基板に対向して配置された第 2 の基板と、前記第 1 の基板と前記第 2 の基板との間に保持された液晶組成物を有し、

前記画素部に対して画素信号を書き込むための周辺回路のうち少なくとも一部の周辺回路が、前記第 1 の基板上に薄膜トランジスタで構成され、

30

前記周辺回路のうち残りの部分の周辺回路が、半導体チップで構成されており、

前記半導体チップの少なくとも一部が、前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第 1 の基板上に配置されている液晶表示装置を表示部として有する

携帯端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置およびこれを用いた携帯端末に関し、特に薄型化、小面積化、狭縁化が要求される携帯端末に使用される液晶表示装置およびこれを表示部として用いる携帯端末に関する。

40

【0002】

【従来の技術】

テレビジョン受像機、コンピュータあるいは携帯端末などの表示装置として、近年、薄型で低消費電力のパネルディスプレイが多用されるようになってきている。

このパネルディスプレイとしては、ガラス基板などの透明絶縁基板（パネル）上に、スイッチング素子として、例えば TFT（Thin Film Transistor；薄膜トランジスタ）を用いた画素を行列状に多数配列し、液晶などの電気光学的効果を有する物質と組み合わせたアクティブマトリックス型表示装置が知られている。

50

【 0 0 0 3 】

このアクティブマトリクス型表示装置として、特開平 4 - 2 4 2 7 2 4 号公報では、画素部を駆動するために基板上に形成される周辺回路の一部を、画素に接続されたアクティブ素子と同様の相補型の T F T で構成し、残りの周辺回路を半導体チップで構成した液晶表示装置を提供している。

【 0 0 0 4 】

図 1 2 (a) に上記の従来の液晶表示装置の概略構成図を、図 1 2 (b) に図 1 2 (a) における A - A 線の断面図を示す。

図 1 2 (a) および (b) に示す液晶表示装置では、T F T により形成された一部の周辺回路（例えば水平ドライバ 1 4、垂直ドライバ 1 3 など）が形成された透明絶縁基板 1 6 と、これと対向配置された透明絶縁性基板（対向基板）6 2 との間に液晶層 6 3 を保持してなる液晶表示装置において、半導体チップで構成した残りの周辺回路（例えばタイミングコントローラ 2 3、基準電圧発生回路 2 4、および D C - D C コンバータ 2 5 など）、すなわち I C チップ（2 3 ~ 2 5）を透明絶縁基板 1 6 における周辺回路（1 3, 1 4）が形成されている面とは、反対側の面に取り付け、フレキシブルケーブル 8 を用いて周辺回路（1 3, 1 4）との間の電氣的接続をなす構成を採っている。

10

【 0 0 0 5 】

あるいは、図 1 3 に示すように、T F T により形成された一部の周辺回路（例えば水平ドライバ 1 4、垂直ドライバ 1 3 など）が形成された透明絶縁基板 1 6 の同一面に、残りの半導体チップで構成した周辺回路（例えばタイミングコントローラ 2 3、基準電圧発生回路 2 4、および D C - D C コンバータ 2 5 など）、すなわち I C チップ（2 3 ~ 2 5）を取り付け、周辺回路（1 3, 1 4）との間の電氣的接続をなす構成を採っている。

20

【 0 0 0 6 】

【 発明が解決しようとする課題 】

しかしながら、図 1 2 に示す液晶表示装置では、図 1 2 (b) に示すように、少なくとも I C チップ（2 3 ~ 2 5）およびフレキシブルケーブル 8 の厚み t_a （例えば、1 mm 程度）の分だけ液晶表示装置全体の厚み t_b が厚くなってしまふ。

従って、当該液晶表示装置を表示部として用いる機器の厚みも厚くなってしまふ。特に、携帯端末、例えば携帯電話機では、装置本体の薄型化が進められており、この携帯電話機の表示部として用いられる液晶表示装置の厚さ t_b が厚いと、携帯電話機本体の薄型化の妨げとなる。

30

【 0 0 0 7 】

また、図 1 3 に示す液晶表示装置では、T F T により形成された一部の周辺回路（1 3, 1 4）と、残りの I C チップ（2 3 ~ 2 5）の合算された面積が、周辺部（額縁）の面積となり、コンパクト化が損なわれるという不利益がある。また、液晶表示装置に占める有効表示面積（液晶表示部）の割合が小さくなってしまふという不利益もある。

【 0 0 0 8 】

本発明は上記の事情に鑑みてなされたものであり、従って、本発明は、液晶表示装置の薄型化、小面積化、狭額縁化を実現できる液晶表示装置およびこれを用いた携帯端末を提供することを目的とする。

40

【 0 0 0 9 】

【 課題を解決するための手段 】

上記の目的を達成するため、本発明の液晶表示装置は、複数の画素が行列状に配置されており、スイッチング素子として薄膜トランジスタを有する画素部が形成された第 1 の基板と、前記第 1 の基板に対向して配置された第 2 の基板と、前記第 1 の基板と前記第 2 の基板との間に保持された液晶組成物を有する液晶表示装置であって、前記画素部に対して画素信号を書き込むための周辺回路のうち少なくとも一部の周辺回路が、前記第 1 の基板上に薄膜トランジスタで構成され、前記周辺回路のうち残りの部分の周辺回路が、半導体チップで構成されており、前記半導体チップの少なくとも一部が、前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第 1 の基板上に配

50

置されている。

そして、この液晶表示装置は、携帯電話機などの携帯端末において、その表示部として用いられる。

【 0 0 1 0 】

例えば、前記周辺回路として、前記画素部に画素信号を書き込むために前記画素部に接続されたマトリクス配線に接続されている駆動部が薄膜トランジスタで構成されている。

また、前記駆動部のうち、水平あるいは垂直方向の走査を行うシフトレジスタ回路が半導体チップで構成されていてもよい。

【 0 0 1 1 】

前記周辺回路として、タイミング波形を制御するタイミングコントローラ、あるいは、基準電圧を出力する基準電圧発生部、あるいは入力電圧よりも高い電圧を２種類以上発生し他の周辺回路に電源を与えるＤＣ－ＤＣコンバータのいずれかが前記半導体チップで構成されている。

10

【 0 0 1 2 】

前記半導体チップの少なくとも一部が、ＣＯＧ法によって前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第１の基板上に実装されており、前記薄膜トランジスタで構成された前記周辺回路の周辺部分に、前記ＣＯＧ法によって前記半導体チップを接続するための接続部が形成されている。

【 0 0 1 3 】

例えば、前記周辺回路として、低速駆動する一部の周辺回路を前記薄膜トランジスタで構成し、前記一部の周辺回路よりも高速駆動する周辺回路を前記半導体チップで構成する。

20

【 0 0 1 4 】

上記の本発明の液晶表示装置によれば、例えば第１の基板上に形成された薄膜トランジスタで構成される一部の周辺回路領域に重なるように、半導体チップで構成される残りの周辺回路の少なくとも一部を第１の基板上に配置することで、各周辺回路を並列的に第１の基板上に配置するのと比較して、液晶表示装置の額縁部分の削減を図ることができる。

また、半導体チップの厚さが液晶表示装置全体の厚さに比して、小さくすることで、液晶表示装置の厚さが半導体チップの厚さに依存することなく、液晶表示装置の薄型化を図ることができる。

従って、液晶表示装置全体の狭額縁化および薄型化、ひいてはこれを表示部として用いる携帯端末の狭額縁化および薄型化を図ることが可能となる。

30

【 0 0 1 5 】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面を参照して説明する。

【 0 0 1 6 】

第１実施形態

本実施形態は、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置に本発明を適用したものである。

図１（ａ）は本実施形態の液晶表示装置の各回路部の概略配置図であり、図１（ｂ）は図１（ａ）におけるＢ－Ｂ線の断面図である。

40

また、図２は、本実施形態の液晶表示装置を構成する各回路部の電氣的接続関係を表した概略構成図である。

【 0 0 1 7 】

図１（ａ）および図２に示すように、本実施形態に係るアクティブマトリクス型液晶表示装置では、画素１１が行列状に多数配列されてなる液晶表示部１２、液晶表示部１２の各画素１１を行単位で順次選択する垂直ドライバ１３、行単位で選択された各画素１１に画素信号を書き込む水平ドライバ１４および当該垂直および水平ドライバ（１３，１４）をコントロールする制御部１５が透明絶縁基板１６上に実装された構成となっている。

【 0 0 1 8 】

透明絶縁基板１６上には、液晶表示部１２において、ｍ行分のゲートライン（垂直選択ラ

50

イン) 17 - 1 ~ 17 - m と、n 列分の信号ライン (ソースライン) 18 - 1 ~ 18 - n とがマトリクス状に配線されるとともに、所定の間隔をもって対向配置された他方の透明絶縁基板 62 との間に液晶層 63 が保持された構造となっている。そして、ゲートライン (17 - 1 ~ 17 - m) と信号ライン (18 - 1 ~ 18 - n) との各交差部分に画素 11 が配されている。

【0019】

画素 11 の各々は、ゲート電極がゲートライン (17 - 1 ~ 17 - m) に接続され、ソース電極が信号ライン (18 - 1 ~ 18 - n) に接続されたスイッチング素子であるポリシリコン T F T (Thin Film Transistor; 薄膜トランジスタ) 19 と、この T F T 19 のドレイン電極に画素電極が接続された液晶セル (液晶容量) 20 と、T F T 19 のドレイン電極に一方の電極が接続された補助容量 21 とから構成されている。

10

【0020】

上記の画素構造において、液晶セル 20 の対向電極は、補助容量 21 の他方の電極と共に、コモン線 22 に接続されている。

コモン線 22 には、所定の直流電圧がコモン電圧 V C O M として与えられる。

【0021】

液晶表示部 12 のスイッチング素子としてのトランジスタおよび駆動部 (垂直ドライバ 13、水平ドライバ 14) を構成するトランジスタとして用いられるポリシリコン T F T には、ゲート電極がゲート絶縁膜の下に配置されるボトムゲート構造のものと、ゲート電極がゲート絶縁膜の上に配置されるトップゲート構造のものとがある。

20

図 3 (a) にボトムゲート構造のポリシリコン T F T、(b) にトップゲート構造のポリシリコン T F T の断面図を示す。

【0022】

図 3 (a) に示すボトムゲート構造の T F T では、透明絶縁基板 (ガラス基板) 16 の上にゲート電極 42 が形成され、当該ゲ - ト電極 42 の上にゲート絶縁膜 43 を介してポリシリコン (P o l y - S i) 層 44 が形成され、さらに、当該ポリシリコン層 44 を被覆して層間絶縁膜 45 が形成されている。

また、ゲ - ト電極 42 の側方のゲート絶縁膜 43 上には、 n^+ 拡散層からなるソース領域 46 およびドレイン領域 47 が形成され、当該ソース・ドレイン領域 (46, 47) にはソース電極 48 およびドレイン電極 49 がそれぞれ接続されている。

30

【0023】

図 3 (b) に示すトップゲート構造の T F T では、透明絶縁基板 (ガラス基板) 16 の上にポリシリコン層 52 が形成され、当該ポリシリコン層 52 の上にゲート絶縁膜 53 を介してゲ - ト電極 54 が形成され、さらにゲ - ト電極 54 を被覆して層間絶縁膜 55 が形成されている。

また、ポリシリコン層 52 の側方の透明絶縁基板 16 上には、 n^+ 拡散層からなるソース領域 56 およびドレイン領域 57 が形成され、当該ソース・ドレイン領域 (56, 57) にはソース電極 58 およびドレイン電極 59 がそれぞれ接続されている。

【0024】

制御部 15 において、タイミングコントローラ (T C) 23 には、例えば、不図示の外部の電源部から電源電圧 V D D が、不図示の外部の C P U からデジタル画像データ d a t a が、不図示の外部のクロック発生器からクロック C L K がそれぞれ不図示の T C P (Tape Carrier Package) を通して入力される。

40

【0025】

タイミングコントローラ 23 は、タイミング制御しつつ、垂直スタートパルス V S T、垂直クロック V C K などのクロック信号および各種のコントロール信号を垂直ドライバ 13 に、水平スタートパルス H S T、水平クロック H C K などのクロック信号、各種のコントロール信号およびデジタル画像データ d a t a を水平ドライバ 14 にそれぞれ供給する。

【0026】

基準電圧発生回路 (R E F) 24 は、互いに電圧値の異なる複数の基準電圧を発生し、こ

50

れら複数の基準電圧を水平ドライバ１４の後述する基準電圧選択型Ｄ／Ａコンバータ３７に対してその基準電圧として与える。

【００２７】

ＤＣ－ＤＣコンバータ（ＤＤＣ）２５は、低い電圧の直流電圧（低電圧）を２種類以上の高い直流電圧（高電圧）に変換して垂直ドライバ１３、水平ドライバ１４、基準電圧発生回路２４などの各回路部に与える。

【００２８】

本実施形態では、高速駆動する回路部分、もしくは特性バラツキが小さい回路部分として、例えば、上記の制御部１５のタイミングコントローラ２３、基準電圧発生回路２４およびＤＣ－ＤＣコンバータ２５が、単結晶シリコンのチップで形成（ＩＣ化）されている。そして、このシリコンＩＣ（２３～２５）は、図１（ｂ）に示すように、垂直ドライバ１３上に、例えばＣＯＧ（Chip on Glass）法によって実装されている。この単結晶シリコンによって形成されたシリコンＩＣ（２３～２５）は、１００ＭＨｚでも駆動することが可能である。

10

【００２９】

一方、低速駆動で特性バラツキが大きい回路部分として、例えば垂直ドライバ１３および水平ドライバ１４に関しては、上述したようにポリシリコンＴＦＴを用いて形成する。

【００３０】

垂直ドライバ１３は、例えば図４に示すように、シフトレジスタ３１、レベルシフタ３２およびゲートバッファ３３を有する構成となっている。

20

【００３１】

シフトレジスタ３１は、垂直スタートパルスＶＳＴが入力されると、当該垂直スタートパルスＶＳＴを垂直クロックＶＣＫに同期して、順次転送することによって各転送段からシフトパルスとして順次出力する。

レベルシフタ３２は、シフトレジスタ３１の各転送段から出力されるシフトパルスを昇圧してゲートバッファ３３に供給する。

ゲートバッファ３３は、レベルシフタ３２で昇圧されたシフトパルスを垂直走査パルスとして液晶表示部１２のゲートライン（１７－１～１７－ｍ）に順次印加し、液晶表示部１２の各画素１１を行単位で選択駆動することによって垂直走査を行う。

【００３２】

30

水平ドライバ１４は、例えば図５に示すように、シフトレジスタ３４、レベルシフタ３５、データラッチ回路３６、Ｄ／Ａコンバータ３７およびバッファ３８を有する構成となっている。

【００３３】

シフトレジスタ３４は、水平スタートパルスＨＳＴが入力されると、この水平スタートパルスＨＳＴを水平クロックＨＣＫに同期して順次転送することによって、各転送段からシフトパルスとして順次出力し、水平走査を行う。

レベルシフタ３５は、シフトレジスタ３４の各転送段から出力されるシフトパルスを昇圧して、データラッチ回路３６に供給する。

データラッチ回路３６は、レベルシフタ３５を通してシフトレジスタ３４から与えられるシフトパルスに応答して、入力される所定ビットのデジタル画像データｄａｔａを順次ラッチする。

40

Ｄ／Ａコンバータ３７は、例えば基準電圧選択型の構成をとり、データラッチ回路３６にラッチされたデジタル画像データをアナログ画像信号に変換し、バッファ３８を通して液晶表示部１２の信号ライン（１８－１～１８－ｎ）に与える。

【００３４】

図６（ａ）にシリコンＩＣ（２３～２５）で形成された制御部１５と、ポリシリコンＴＦＴで形成された垂直ドライバ１３の接続方法の説明図を示す。また、図６（ｂ）に、接続部分における断面図を示す。

【００３５】

50

図6(a)に示すように、シリコンIC(23~25)の配置を可能にするために、垂直ドライバ13には、駆動回路領域13aが形成されており、当該駆動回路領域13aが複数のパッド13bに接続された構成となっている。

一方、シリコンIC(23~25)側も、図6(a)に示すように、シリコン基板250上に制御回路領域251が形成され、当該制御回路領域251が複数の不図示のパッドを介してパンプ252に電氣的に接続された構成となっている。なお、図6(a)において、制御回路領域251およびパンプ252は、紙面上、裏面に形成されている。

【0036】

そして、図6(b)に示すように、当該垂直ドライバ13の駆動回路領域13aとシリコンIC(23~25)側の制御回路領域251が対向するようにして、シリコンIC(23~25)側のパンプ252を導電粒子材66を介して、垂直ドライバ13側のパッド13b上に実装することにより、制御回路と駆動回路との電氣的接続が達成される。

また、パッド13bは、透明絶縁基板16上に設けられた不図示のアルミ配線に接続されており、当該アルミ配線によって、図2に示すようなICチップ(23~25)間の電氣的接続、およびICチップ(23~25)と水平・垂直ドライバ(13, 14)との電氣的接続を達成している。

なお、図6(b)には、駆動回路領域13aが、相補型のTFTにより構成されている例を示した。従って、一方のTFTの n^+ 拡散層からなるドレイン領域47と、他方のTFTの p^+ 拡散層からなるソース領域46a(あるいはドレイン領域47a)とが、例えばアルミ配線60によって電氣的に接続されている。また、当該相補型のTFTを被覆してパッシベーション膜61が形成されている。

【0037】

上記構成の液晶表示装置の動作について説明する。

例えば、外部のCPUからタイミングコントローラ23に画像データdataが入力されて、画像データdataが水平ドライバ14のシフトレジスタ34に供給される。

また、基準電圧発生回路24において、水平ドライバ14のD/Aコンバータ37で用いられる複数の基準電圧が発生され、D/Aコンバータ37の不図示の基準電圧線に供給される。

【0038】

そして、水平クロックHCKおよび水平スタートパルスHSTが水平ドライバ14のシフトレジスタ34に入力される。

シフトレジスタ34においては、水平スタートパルスHSTが入力されると、この水平スタートパルスHSTが水平クロックHCKに同期して順次転送され、各転送段からシフトパルスとして順次レベルシフタ35に出力される。

レベルシフタ35において、シフトレジスタの各転送段から出力されるシフトパルスが昇圧され、データラッチ回路36に供給される。

データラッチ回路36においては、レベルシフタ35を通してシフトレジスタ34から与えられるシフトパルスに应答して、タイミングコントローラ23から入力される所定ビットのデジタル画像データdataを順次ラッチする。

【0039】

データラッチ回路36にラッチされた画像データは、基準電圧選択型のD/Aコンバータ37に供給される。

D/Aコンバータ37においては、対応する基準電圧が選択され、デジタル画像データがアナログ画像信号に変換され、バッファ38を通して液晶表示部12の信号ライン(18-1~18-n)に、アナログ信号として供給される。

【0040】

また、垂直ドライバ13において、垂直スタートパルスVSTがシフトレジスタ31に入力されると、この垂直スタートパルスVSTが垂直クロックVCKに同期して順次転送され、各転送段からシフトパルスとして順次レベルシフタ32に出力される。

次に、レベルシフタ32において、シフトレジスタ31の各転送段から出力されるシフト

10

20

30

40

50

パルスが昇圧され、ゲートバッファ 33 に供給される。

そして、ゲートバッファ 33 において、レベルシフタ 32 で昇圧されたシフトパルスが垂直走査パルスとして、ゲートライン (17-1 ~ 17-m) に順次印加され、液晶表示部 12 の各画素 11 が行単位で選択駆動される。

これにより、画像データが n 個の画素に対して並列に書き込まれることになる。

【0041】

本実施形態に係る液晶表示装置によれば、低速駆動で特性バラツキが大きい回路部分として、例えば垂直ドライバ 13 および水平ドライバ 14 に関してポリシリコン T F T を用いて形成する一方、高速駆動する回路部分、もしくは特性バラツキが小さい回路部分として、例えば制御部 15 のタイミングコントローラ 23、基準電圧発生回路 24、および D C - D C コンバータ 25 に関しては単結晶シリコンで I C 化し、当該 I C 化した各回路部分を垂直ドライバ 13 などの駆動回路部分上に例えば C O G 法によって、実装することにより、液晶表示装置の額縁部分の削減を図ることができる。

10

【0042】

また、図 1 (b) に示すように、垂直ドライバ 13 と I C チップ (23 ~ 25) を合わせた厚さ t1 が、対向側の透明絶縁基板 62 および液晶層 63 を合わせた厚さ t3 以下になるようにすることで、液晶表示装置全体の厚さ t2 が I C チップ (23 ~ 25) の厚さに依存することがないため、液晶表示装置の薄型化を図れる。

すなわち、透明絶縁基板 16、透明絶縁基板 62 および液晶層 63 のトータルの厚さ t2 が液晶表示装置自体の厚さとなる。

20

【0043】

さらに、周辺回路を I C 化し、この I C チップを透明絶縁基板 16 上に実装することにより、透明絶縁基板 16 上における外部回路との電氣的に接続する箇所を少なくすることができるため、液晶表示装置の機械振動などに対する信頼性を向上することができるとともに、製造工程での電氣的な接続不良の発生を抑止することができる。

【0044】

なお、I C チップ (23 ~ 25) を透明絶縁基板 16 上に実装した場合、I C チップ自体については、I C 作製時に保護層がシリコン I C に形成されるため、信頼性の面で問題になることはない。

【0045】

30

第 2 実施形態

本実施形態は、時分割駆動方式 (セレクト方式) のアクティブマトリクス型液晶表示装置に本発明を適用したものである。

図 7 は、本発明が適用された時分割駆動方式のアクティブマトリクス型液晶表示装置の各回路部の概略配置図である。

図 8 は、図 7 に示す液晶表示装置の各回路部の電氣的接続関係を表した概略構成図である。

【0046】

図 7 および図 8 において、本実施形態に係る液晶表示装置は、画素 11 が行列状に多数配列されてなる液晶表示部 12、液晶表示部 12 の各画素 11 を行単位で順次選択する垂直ドライバ 13、行単位で選択された各画素 11 に画素信号を書き込む水平ドライバ 74、時分割駆動のための時分割スイッチ部 75、垂直、水平ドライバ (13, 74) や時分割スイッチ部 75 をコントロールする制御部 15 が透明絶縁基板 16 上に実装された構成となっている。

40

【0047】

画素 11 の各々は、ゲート電極がゲートライン (17-1 ~ 17-m) に接続され、ソース電極が信号ライン (18-1 ~ 18-n) に接続されたポリシリコン T F T 19 と、当該 T F T 19 のドレイン電極に画素電極が接続された液晶セル 20 と、T F T 19 のドレイン電極に一方の電極が接続された補助容量 21 とから構成されている。

上記構成の画素 11 の各々において、液晶セル 20 の対向電極は、補助容量 21 の他方の

50

電極と共にコモン線 22 に接続されている。コモン線 22 には、所定の直流電圧がコモン電圧 VCOM として与えられる。

【0048】

垂直ドライバ 13、水平ドライバ 74 および時分割スイッチ部 75 を制御する制御部 15 は、タイミングコントローラ (TC) 23、基準電圧発生回路 (REF) 24、DC-DC コンバータ (DDC) 25 などを有する。

タイミングコントローラ 23 には、例えば、不図示の外部の電源部から電源電圧 VDD が、不図示の外部の CPU からデジタル画像データ data が、不図示の外部のクロック発生器からクロック CLK がそれぞれ不図示の TCP を通して入力される。

【0049】

タイミングコントローラ 23 は、タイミング制御しつつ、垂直スタートパルス VST、垂直クロック VCK などのクロック信号および各種のコントロール信号を垂直ドライバに、水平スタートパルス HST、水平クロック HCK などのクロック信号、各種のコントロール信号およびデジタル画像データ data を水平ドライバ 74 に、ゲート選択信号 (S1 ~ S3, XS1 ~ XS3) を時分割スイッチ部 75 にそれぞれ供給する。

【0050】

基準電圧発生回路 24 は、互いに電圧値の異なる複数の基準電圧を発生し、これら複数の基準電圧を水平ドライバ 74 の後述する基準電圧選択型 D/A コンバータ 88 に対してその基準電圧として与える。

DC-DC コンバータ 25 は、低い電圧の直流電圧 (低電圧) を 2 種類以上の高い直流電圧 (高電圧) に変換して垂直ドライバ 13、水平ドライバ 74、基準電圧発生回路 24 などの各回路部に与える。

【0051】

上記構成の時分割駆動方式のアクティブマトリクス型液晶表示装置において、垂直ドライバ 13 を構成するトランジスタ、時分割スイッチ部 75 を構成する各アナログスイッチは、TFET、特に液晶表示部 12 のスイッチング素子であるトランジスタ 19 と同じポリシリコン TFET により、液晶表示部 12 と同じ透明絶縁基板 16 上に形成されている。

【0052】

一方、水平ドライバ 74、制御部 15 のタイミングコントローラ 23、基準電圧発生回路 24、DC-DC コンバータ 25 は、単結晶シリコンによって IC 化されている。

そして、当該シリコン IC で形成された水平ドライバ 74 は時分割選択スイッチ部 75 上に、シリコン IC で形成された基準電圧発生回路 24、および DC-DC コンバータ 25 は、垂直ドライバ 13 上に、例えば COG 法によって実装されている。

【0053】

ここで、時分割駆動法について、本実施形態の液晶表示の動作とともに説明する。

時分割駆動法とは、液晶表示部 12 の互いに隣り合う複数本の信号ラインを 1 単位 (ブロック) として分割し、この 1 分割ブロック内の複数本の信号ラインに与える信号電圧を時系列で水平ドライバ 74 の各出力端子から出力する一方、複数本の信号ラインを 1 単位として時分割スイッチ部 75 を設け、この時分割スイッチ部 75 によって水平ドライバ 74 から出力される時系列の信号電圧を時分割でサンプリングして複数本の信号ラインに順次与える駆動方法である。

【0054】

この時分割駆動法を実現するために、水平ドライバ 74 は、複数本の信号ラインを 1 単位とし、これら複数本の信号ラインに与える信号電圧を時系列で出力する構成となっている。

図 9 に、上記の水平ドライバ 74 の構成例を示す。

【0055】

図 9 に示す水平ドライバ 74 は、シフトレジスタ 84、サンプリングスイッチ群 85、レベルシフタ 86、データラッチ回路 87 および D/A コンバータ 88 を有し、本実施形態では、例えば 5 ビットのデジタル画像データ (data1 ~ data5) や電源電圧 V

10

20

30

40

50

d d、V s s をシフトレジスタ 8 4 のシフト方向における両側から取り込む構成となっている。

【 0 0 5 6 】

上記構成の水平ドライバ 7 4 において、シフトレジスタ 8 4 は、水平スタートパルス H S T が入力されると、この水平スタートパルス H S T を水平クロック H C K に同期して順次転送することによって各転送段からシフトパルスとして順次出力し、水平走査を行う。

サンプリングスイッチ群 8 5 におけるサンプリングスイッチの各々は、シフトレジスタ 8 4 から順次出力されるシフトパルス（サンプリングパルス）に応答して、入力されるデジタル画像データ（d a t a 1 ~ d a t a 5）を順次サンプリングする。

【 0 0 5 7 】

レベルシフタ 8 6 は、サンプリングスイッチ群 8 5 でサンプリングされた例えば 5 V のデジタルデータを液晶駆動電圧のデジタルデータに昇圧する。

データラッチ回路 8 7 は、レベルシフタ 8 6 で昇圧されたデジタルデータを 1 H 分蓄積するメモリである。

D / A コンバータ 8 8 は、例えば基準電圧選択型の構成をとり、データラッチ回路 8 7 から出力される 1 H 分のデジタル画像データをアナログ画像信号に変換して出力する。

【 0 0 5 8 】

そして、水平ドライバ 7 4 として、いわゆるカラム反転駆動方式のものを用いる。

当該水平ドライバ 7 4 は、カラム反転駆動を実現するために、各出力端子の奇数、偶数ごとに電位が反転する信号電圧を出力し、かつその信号電圧の極性を 1 フィールドごとに反転する。ここで、カラム反転駆動方式とは、水平方向に隣接する画素間では同極性となり、しかもこの画素極性の状態を 1 フィールドごとに反転させる駆動方式である。

【 0 0 5 9 】

一方、時分割スイッチ部 7 5 は、水平ドライバ 7 4 から出力される時系列の信号電圧を時分割でサンプリングするアナログスイッチ（トランсмисシオンスイッチ）によって構成されている。

図 1 0 に、時分割スイッチ部 7 5 の具体的な構成例を示す。

図 1 0 に示す時分割スイッチ部 7 5 は、水平ドライバ 7 4 の各出力に対して 1 個ずつ設けられるものである。また、ここでは、R（赤）、G（緑）、B（青）に対応して 3 時分割駆動を行う場合を例にとって示している。

【 0 0 6 0 】

この時分割スイッチ部 7 5 は、p チャネル M O S トランジスタおよび n チャネル M O S トランジスタが並列に接続されてなる C M O S 構成のアナログスイッチ（7 5 - 1 , 7 5 - 2 , 7 5 - 3）によって構成されている。

なお、本実施形態では、アナログスイッチ（7 5 - 1 , 7 5 - 2 , 7 5 - 3）として、C M O S 構成のものを用いるとしたが、p チャネル M O S トランジスタあるいは n チャネル M O S トランジスタ構成のものを用いることも可能である。

【 0 0 6 1 】

上記の時分割スイッチ部 7 5 において、3 個のアナログスイッチ（7 5 - 1 , 7 5 - 2 , 7 5 - 3）の各入力端が共通に接続され、各出力端が 3 本の信号ライン（1 8 - 1 , 1 8 - 2 , 1 8 - 3）の各一端にそれぞれ接続されている。

そして、これらのアナログスイッチ（7 5 - 1 , 7 5 - 2 , 7 5 - 3）の各入力端には、水平ドライバ 7 4 から時系列で出力される信号電位が与えられる。

【 0 0 6 2 】

また、1 個のアナログスイッチにつき 2 本ずつ、合計 6 本の制御ライン（8 9 - 1 ~ 8 9 - 6）が配線されている。そして、アナログスイッチ 7 5 - 1 の 2 つの制御入力端（すなわち、C M O S トランジスタの各ゲート）が制御ライン（8 9 - 1 , 8 9 - 2）に、アナログスイッチ 7 5 - 2 の 2 つの制御入力端が制御ライン（8 9 - 3 , 8 9 - 4）に、アナログスイッチ 7 5 - 3 の 2 つの制御入力端が制御ライン（8 9 - 5 , 8 9 - 6）にそれぞれ接続されている。

【 0 0 6 3 】

6本の制御ライン(89-1~89-6)に対して、3個のアナログスイッチ(75-1, 75-2, 75-3)を順に選択するためのゲート選択信号(S1~S3, XS1~XS3)がタイミングコントローラ(TC)23(図8参照)から与えられる。ここで、ゲート選択信号(XS1~XS3)は、ゲート選択信号(S1~S3)の反転信号である。

【 0 0 6 4 】

ゲート選択信号(S1~S3, XS1~XS3)は、水平ドライバ74から出力される時系列の信号電位に同期して、3個のアナログスイッチ(75-1, 75-2, 75-3)を順次オンさせる。

これにより、アナログスイッチ(75-1, 75-2, 75-3)は、水平ドライバ74から出力される時系列の信号電位を、1H期間に3時分割でサンプリングしつつ、対応する信号ライン(18-1, 18-2, 18-3)にそれぞれ供給する。

【 0 0 6 5 】

本実施形態に係る液晶表示装置では、低速駆動で特性バラツキが大きい回路部分として、例えば垂直ドライバ13および時分割スイッチ部75に関してポリシリコンTFTを用いて形成する一方、高速駆動する回路部分、もしくは特性バラツキが小さい回路部分として、例えば水平ドライバ74や、制御部15のタイミングコントローラ23、基準電圧発生回路24、およびDC-DCコンバータ25に関しては単結晶シリコンでIC化し、当該IC化した各回路部分を垂直ドライバ13や時分割スイッチ部75上に例えばCOG法によって、実装することにより、第1実施形態と同様の効果を得ることができる。

【 0 0 6 6 】

なお、本発明に係る液晶表示装置は、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる他、特に、装置本体の薄型化が進められている携帯電話器やPDA(Personal Digital Asistants)などの携帯端末の表示部として用いるのに好適なものである。

【 0 0 6 7 】

図11は、本発明が適用される携帯端末、例えばPDAの構成の概略を示す斜視図である。

【 0 0 6 8 】

本例に係るPDAは、装置筐体91の前面側に、表示部92、スピーカ部93、操作部94および電源部95などが配置された構成となっている。

なお、図11に示すPDAでは、例えば、表示部92上から、ペン96などにより入力可能となっている。

かかる構成のPDAの表示部92において、本発明の液晶表示装置が使用される。

【 0 0 6 9 】

このように、PDAや携帯電話機などの携帯端末において、本発明に係る液晶表示装置を表示部92として用いることにより、当該液晶表示装置は、薄型化および狭額縁化を達成できる構成となっていることから、携帯端末の装置本体の薄型化、狭額縁化に大きく寄与できる利点がある。

【 0 0 7 0 】

本発明は、上記の実施形態の説明に限定されない。

例えば、本実施形態では、CPU、画像データを格納するメモリあるいはクロック発生器を液晶表示部の外部に設けるとしたが、それらの少なくとも1つを制御部の一部として液晶表示部上に実装することも可能である。

また、本実施形態では、垂直ドライバ上にIC化された制御部をCOG法によって実装する例を示したが、これに限られるものではなく、例えば、TAB(Tape Automated bonding)法などにより実装することも、また、水平ドライバ上に実装することも可能である。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【 0 0 7 1 】

【 発明の効果 】

以上説明したように、本発明によれば、液晶表示装置の薄型化、小面積化、狭額縁化を実現でき、ひいてはこれを表示部として用いる携帯端末の薄型化、小面積化、狭額縁化を実現できる。

【図面の簡単な説明】

【図 1】図 1 (a) は第 1 実施形態の液晶表示装置の各回路部の概略配置図であり、図 1 (b) は図 1 (a) における B - B 線の断面図である。

【図 2】図 2 は、第 1 実施形態の液晶表示装置を構成する各回路部の電氣的接続関係を表した概略構成図である。

【図 3】図 3 は、ポリシリコン T F T の断面構造を示す断面図であり、図 3 (a) は、ボトムゲート構造のポリシリコン T F T、(b) はトップゲート構造のポリシリコン T F T を示したものである。

10

【図 4】図 4 は、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置における垂直ドライバの構成の一例を示すブロック図である。

【図 5】図 5 は、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置における水平ドライバの構成の一例を示すブロック図である。

【図 6】図 6 (a) は、シリコン I C で形成された制御部と、ポリシリコン T F T で形成された垂直ドライバの接続方法の説明図であり、図 6 (b) は、接続部分における断面図である。

【図 7】図 7 は、第 2 実施形態における液晶表示装置の各回路部の概略配置図である。

【図 8】図 8 は、図 7 に示す液晶表示装置の各回路部の電氣的接続関係を表した概略構成図である。

20

【図 9】図 9 は、第 2 実施形態の時分割駆動方式のアクティブマトリクス型液晶表示装置における水平ドライバの構成の一例を示すブロック図である。

【図 10】図 10 は、時分割スイッチ部の構成の一例を示す回路図である。

【図 11】図 11 は、本発明が適用される携帯端末として、例えば P D A の構成の概略を示す斜視図である。

【図 12】図 12 (a) は、従来例 1 の液晶表示装置の概略構成図、図 12 (b) は図 12 (a) における A - A 線の断面図を示したものである。

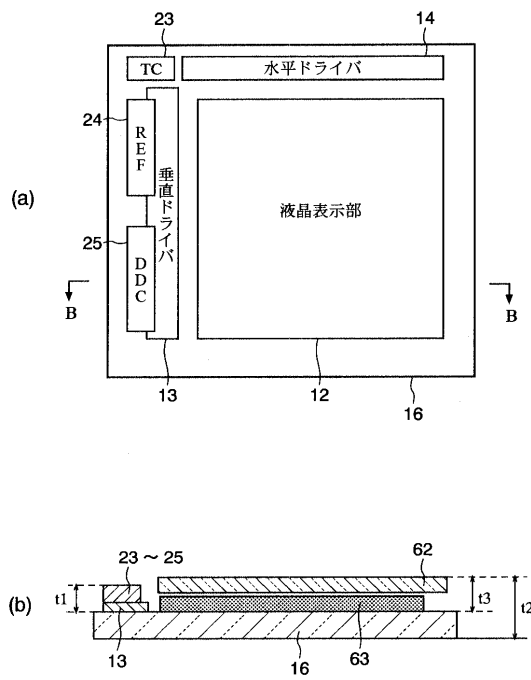
【図 13】図 13 は、従来例 2 の液晶表示装置の概略構成図を示したものである。

【符号の説明】

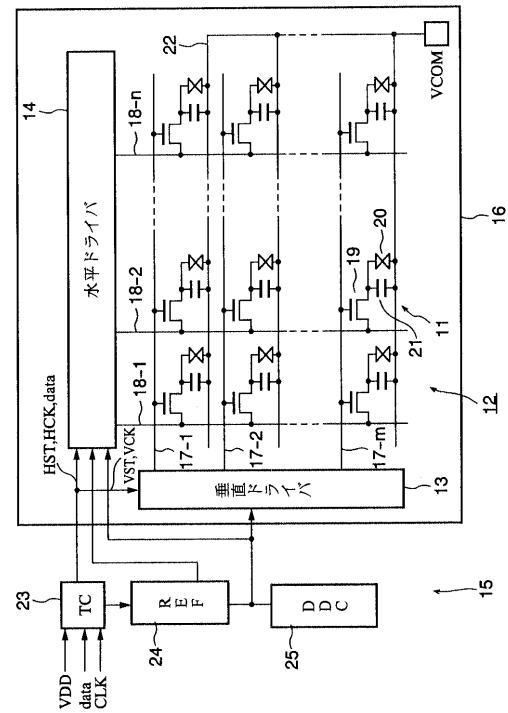
30

1 1 ... 画素、1 2 ... 液晶表示部、1 3 ... 垂直ドライバ、1 4 , 7 4 ... 水平ドライバ、1 5 ... 制御部、1 6 ... 透明絶縁基板、1 9 ... ポリシリコン T F T、2 0 ... 液晶セル、2 3 ... タイミングコントローラ、2 4 ... 基準電圧発生回路、2 5 ... D C - D C コンバータ。

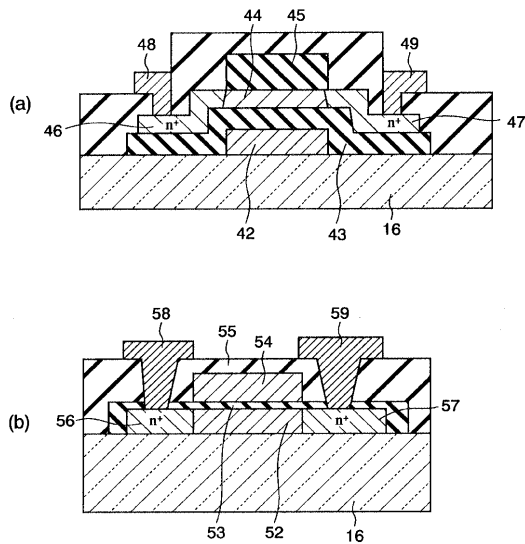
【図 1】



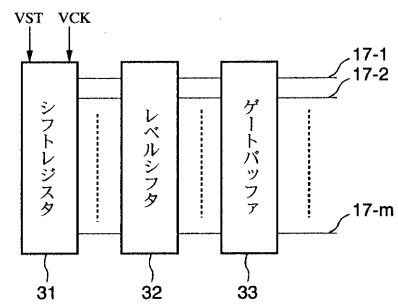
【図 2】



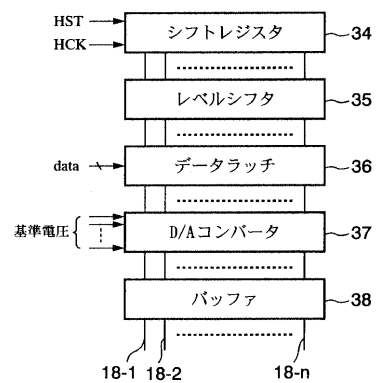
【図 3】



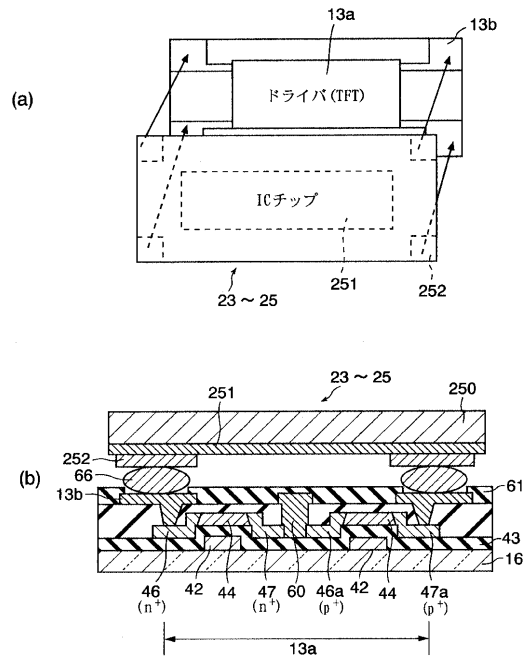
【図 4】



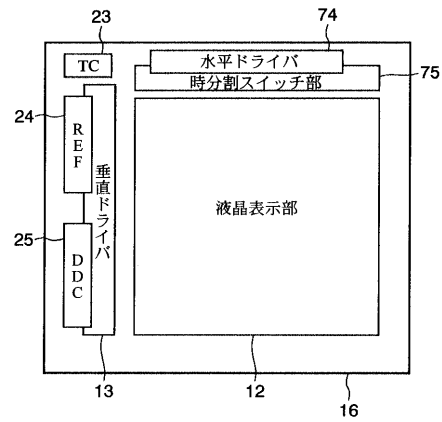
【図 5】



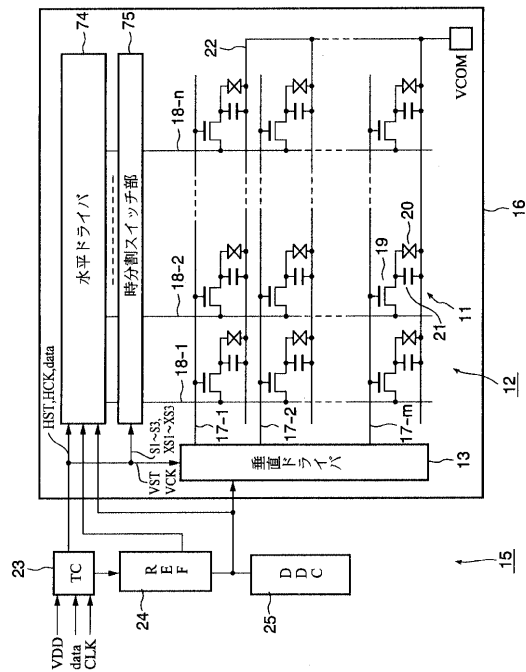
【図 6】



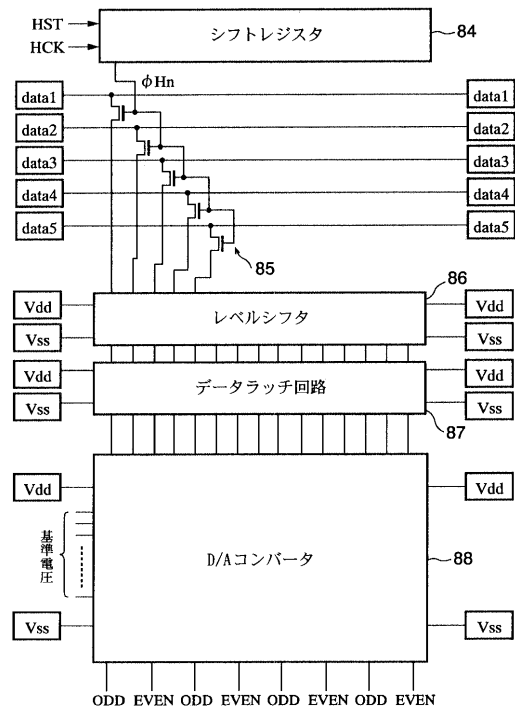
【図 7】



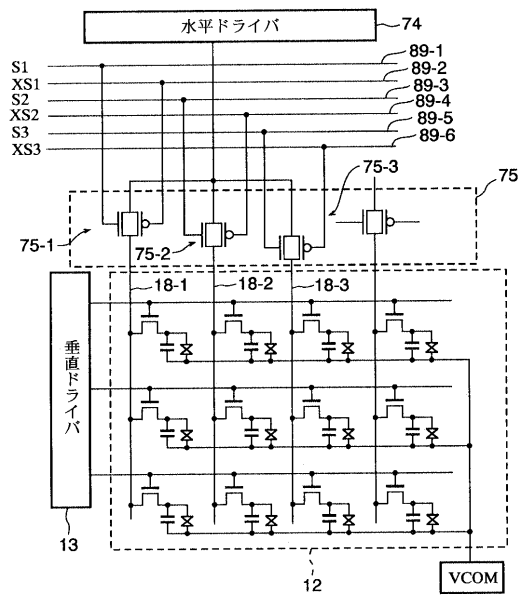
【図 8】



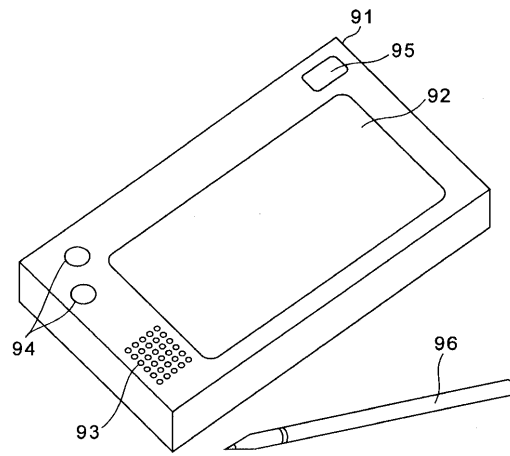
【図 9】



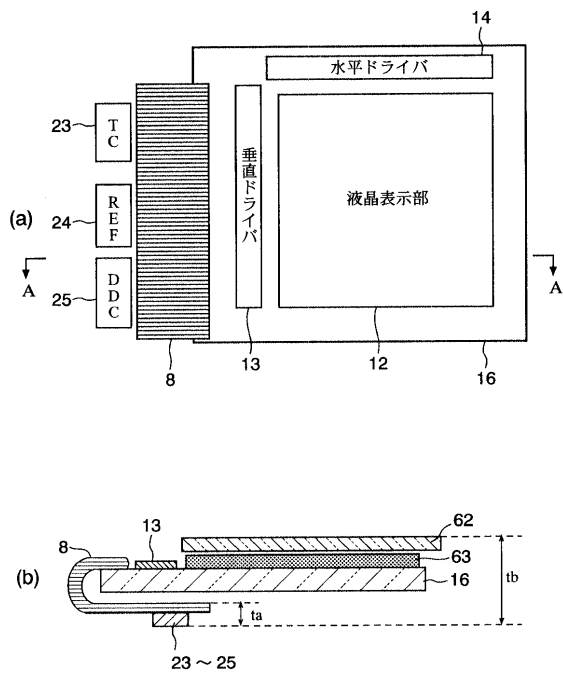
【図 10】



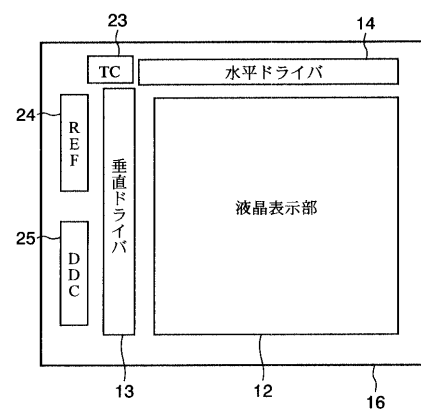
【図 11】



【図 12】



【図 13】



フロントページの続き

(56)参考文献 特開平 1 1 - 3 5 2 5 1 6 (J P , A)
特開平 1 1 - 2 0 2 2 9 0 (J P , A)
特開平 1 1 - 0 8 4 4 2 5 (J P , A)
特開平 1 1 - 0 6 5 4 7 1 (J P , A)
特開平 0 8 - 2 2 0 5 6 0 (J P , A)
特開平 0 7 - 2 0 9 6 7 2 (J P , A)
特開平 0 8 - 2 4 0 8 1 3 (J P , A)
特開平 0 4 - 2 4 2 7 2 5 (J P , A)
特開 2 0 0 0 - 2 6 7 5 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1345
G02F 1/1368
G02F 1/133

专利名称(译)	液晶显示装置和移动终端		
公开(公告)号	JP4352598B2	公开(公告)日	2009-10-28
申请号	JP2000254335	申请日	2000-08-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	猪野益充		
发明人	猪野 益充		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/133 G02F1/13 G02F1/1362		
CPC分类号	G02F1/13452 G02F1/13454 H01L2224/16225		
FI分类号	G02F1/1345 G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/GA33 2H092/GA41 2H092/GA43 2H092/GA59 2H092/GA63 2H092/JA25 2H092/JA26 2H092/KA04 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC02 2H093/NC05 2H093/NC10 2H093/NC12 2H093/NC34 2H093/ND42 2H093/NE07 2H192/AA24 2H192/CB02 2H192/CB05 2H192/DA12 2H192/FB02 2H192/FB23 2H192/FB25 2H192/FB27 2H192/FB32 2H192/FB71 2H193/ZA04 2H193/ZF02 2H193/ZF22 2H193/ZF36		
代理人(译)	佐藤隆久		
其他公开文献	JP2002072233A JP2002072233A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够实现显示装置的厚度和面积减小以及框架变窄的液晶显示装置，并提供一种使用该液晶显示装置的便携式终端。

解决方案：在具有第一基板16的液晶显示装置中，其上具有多个像素的像素部分12以矩阵形状设置，形成作为开关元件的薄膜晶体管，与第一基板相对设置的第二基板632保持在第一和第二基板16和62之间的液晶组合物63，用于将像素信号写入像素部分12的外围电路中的外围电路13和14的至少一部分由薄膜晶体管构成。外围电路中的第一基板和外围电路23,24和25的支架由半导体芯片构成，并且半导体芯片以这样的方式设置在第一基板上，使得至少一部分半导体芯片叠加在外围设备上电路区域13和14由薄膜晶体管构成。

