

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3920630号
(P3920630)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年2月23日(2007.2.23)

(51) Int.C1.

F 1

G02F	1/1343	(2006.01)	G02F	1/1343
G02F	1/1335	(2006.01)	G02F	1/1335 520
G02F	1/1368	(2006.01)	G02F	1/1368
G09F	9/30	(2006.01)	G09F	9/30 338
G09F	9/35	(2006.01)	G09F	9/35

請求項の数 9 (全 15 頁)

(21) 出願番号

特願2001-352010 (P2001-352010)

(22) 出願日

平成13年11月16日 (2001.11.16)

(65) 公開番号

特開2003-149664 (P2003-149664A)

(43) 公開日

平成15年5月21日 (2003.5.21)

審査請求日

平成16年9月15日 (2004.9.15)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 佐藤 秀夫

千葉県茂原市早野3300番地 株式会社

日立製作所 ディスプレイグループ内

(72) 発明者 宮沢 敏夫

千葉県茂原市早野3300番地 株式会社

日立製作所 ディスプレイグループ内

(72) 発明者 河内 玄士朗

千葉県茂原市早野3300番地 株式会社

日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域のそれぞれに、ゲート信号線からの走査信号により動作する第1のスイッチング素子および第2のスイッチング素子と、第1のドレイン信号線から前記第1のスイッチング素子を介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2のスイッチング素子を介して映像信号が供給される第2の画素電極とを備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、

前記反射膜の電位は、前記第1の画素電極の電位と前記第2の画素電極の電位との平均値であることを特徴とする液晶表示装置。

【請求項 2】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域のそれぞれに、ゲート信号線からの走査信号により動作する多結晶Siからなる第1の薄膜トランジスタおよび第2の薄膜トランジスタと、第1のドレイン信号線から前記第1の薄膜トランジスタを介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2の薄膜トランジスタを介して映像信号が供給される第2の画素電極とを備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、

10

20

前記反射膜の電位は、前記第1の画素電極の電位と前記第2の画素電極の電位との平均値であることを特徴とする液晶表示装置。

【請求項3】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する第1のスイッチング素子および第2のスイッチング素子と、第1のドレイン信号線から前記第1のスイッチング素子を介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2のスイッチング素子を介して映像信号が供給される第2の画素電極と、

10

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された第3のスイッチング素子と、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された第4のスイッチング素子と、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3のスイッチング素子のドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4のスイッチング素子のドレイン電極およびソース電極のうち他方が接続されていることを特徴とする液晶表示装置。

20

【請求項4】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する多結晶Siからなる第1の薄膜トランジスタおよび第2の薄膜トランジスタと、第1のドレイン信号線から前記第1の薄膜トランジスタを介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2の薄膜トランジスタを介して映像信号が供給される第2の画素電極と、

30

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された第3の薄膜トランジスタと、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された第4の薄膜トランジスタと、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されていることを特徴とする液晶表示装置。

40

【請求項5】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する第1のスイッチング素子および第2のスイッチング素子と、一方の側のドレイン信号線から前記第1のスイッチング素子を介して映像信号が供給される第1の画素電極と、共通信号線から前記第2のスイッチング素子を介して映像信号が供給される第2の画素電極と、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他の

50

ゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された第3のスイッチング素子と、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された第4のスイッチング素子と、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3のスイッチング素子のドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4のスイッチング素子のドレイン電極およびソース電極のうち他方が接続されていることを特徴とする液晶表示装置。

10

【請求項6】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する多結晶Siからなる第1の薄膜トランジスタおよび第2の薄膜トランジスタと、一方の側のドレイン信号線から前記第1の薄膜トランジスタを介して映像信号が供給される第1の画素電極と、共通信号線から前記第2の薄膜トランジスタを介して映像信号が供給される第2の画素電極と、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された多結晶Siからなる第3の薄膜トランジスタと、

20

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された多結晶Siからなる第4の薄膜トランジスタと、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されていることを特徴とする液晶表示装置。

30

【請求項7】

反射膜は光透過も兼ねる反射膜として構成されていることを特徴とする請求項1ないし6のうちいずれか記載の液晶表示装置。

【請求項8】

反射膜が形成された領域にその切欠きあるいは開口が設けられ、その切欠きあるいは開口部に該反射膜と電気的に接続された透光性の導電膜が形成されていることを特徴とする請求項1ないし6のうちいずれか記載の液晶表示装置。

【請求項9】

反射膜に各画素領域のそれと共に基準電圧信号が供給されることを特徴とする請求項1ないし8のうちいずれか記載の液晶表示装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、たとえば反射型と称される液晶表示装置に関する。

【0002】

【従来の技術】

反射型と称される液晶表示装置は、たとえば太陽光等の外来光を液晶に透過させた後に該液晶の背面に配置された反射膜で反射させ、該液晶の光透過率に応じた光量の反射光を観察するようになっている。

50

【0003】

ここで、液晶表示装置は液晶を介して対向配置される一対の基板を外囲器とし、該液晶の広がり方向に多数の画素が形成されて構成され、それぞれの画素にはその部分の液晶の光透過率を制御させるための電界発生手段が組み込まれている。

【0004】

そして、反射型と称されるものは、上記構成において、観察する側の基板と異なる他の基板の液晶側の面に反射膜が形成されて構成されている。

【0005】

このような液晶表示装置は、バックライト等の光照射手段を不用とすることから低電力化の面で優れている。

10

【0006】**【発明が解決しようとする課題】**

しかし、このような液晶表示装置においても、液晶の光透過率を制御させるための電界発生手段に電力を供給させなければならず、その電力の低減を図ることによってさらなる低電力化を図ることが要望されるに至った。

【0007】

本発明は、このような事情に基づいてなされたもので、その目的はさらなる低消費電力の液晶表示装置を提供することにある。

【0008】**【課題を解決するための手段】**

20

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

手段1.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、ゲート信号線からの走査信号により動作する第1のスイッチング素子および第2のスイッチング素子と、第1のドレイン信号線から前記第1のスイッチング素子を介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2のスイッチング素子を介して映像信号が供給される第2の画素電極とを備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備えることを特徴とするものである。

30

【0009】

手段2.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、ゲート信号線からの走査信号により動作する多結晶Siからなる第1の薄膜トランジスタおよび第2の薄膜トランジスタと、第1のドレイン信号線から前記第1の薄膜トランジスタを介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2の薄膜トランジスタを介して映像信号が供給される第2の画素電極とを備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備えることを特徴とするものである。

40

【0010】

手段3.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する第1のスイッチング素子および第2のスイッチング素子と、第1のドレイン信号線から前記第1のスイッチング素子を介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2のスイッチング素子を介して映像信号が供給される第2の画素電極と、

50

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された第3のスイッチング素子と、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された第4のスイッチング素子と、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3のスイッチング素子のドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4のスイッチング素子のドレイン電極およびソース電極のうち他方が接続されていることを特徴とするものである。 10

【0011】

手段4.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する多結晶Siからなる第1の薄膜トランジスタおよび第2の薄膜トランジスタと、第1のドレイン信号線から前記第1の薄膜トランジスタを介して映像信号が供給される第1の画素電極と、第2のドレイン信号線から前記第2の薄膜トランジスタを介して映像信号が供給される第2の画素電極と、 20

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された第3の薄膜トランジスタと、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された第4の薄膜トランジスタと、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されていることを特徴とするものである。 30

【0012】

手段5.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する第1のスイッチング素子および第2のスイッチング素子と、一方の側のドレイン信号線から前記第1のスイッチング素子を介して映像信号が供給される第1の画素電極と、共通信号線から前記第2のスイッチング素子を介して映像信号が供給される第2の画素電極と、 40

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された第3のスイッチング素子と、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された第4のスイッチング素子と、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3のスイッチング素子のドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4のスイッチ 50

ゲ素子のドレイン電極およびソース電極のうち他方が接続されていることを特徴とするものである。

【0013】

手段6.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線で囲まれた各領域を画素領域とし、

これら各画素領域に、一方の側のゲート信号線からの走査信号により動作する多結晶Siからなる第1の薄膜トランジスタおよび第2の薄膜トランジスタと、一方の側のドレイン信号線から前記第1の薄膜トランジスタを介して映像信号が供給される第1の画素電極と、共通信号線から前記第2の薄膜トランジスタを介して映像信号が供給される第2の画素電極と、
10

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第1の画素電極と接続された多結晶Siからなる第3の薄膜トランジスタと、

前記一方の側のゲート信号線と異なるゲート信号線であって当該画素領域を画する他のゲート信号線にゲート電極が接続されドレイン電極およびソース電極のうち一方が前記第2の画素電極と接続された多結晶Siからなる第4の薄膜トランジスタと、を備えるとともに、

少なくとも前記第1および第2の各画素電極よりも一方の基板側に該第1および第2の各画素電極と絶縁されて反射膜を備え、この反射膜には前記第3の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されているとともに、前記第4の薄膜トランジスタのドレイン電極およびソース電極のうち他方が接続されていることを特徴とするものである。
20

【0014】

手段7.

本発明による液晶表示装置は、たとえば、手段1ないし6のうちいずれかの構成を前提として、反射膜は光透過も兼ねる反射膜として構成されていることを特徴とするものである。
。

【0015】

手段8.

本発明による液晶表示装置は、たとえば、手段1ないし6のうちいずれかの構成を前提として、反射膜が形成された領域にその切欠きあるいは開口が設けられ、その切欠きあるいは開口部に該反射膜と電気的に接続された透光性の導電膜が形成されていることを特徴とするものである。
30

【0016】

手段9.

本発明による液晶表示装置は、たとえば、手段1ないし8のうちいずれかの構成を前提として、反射膜に各画素領域のそれと共に基準電圧信号が供給されることを特徴とするものである。
40

【0017】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

実施例1.

《等価回路》

図2は、本発明による液晶表示装置の一実施例を示す等価回路である。同図は等価回路であるが、実際の幾何学的配置に対応づけて描いている。

【0018】

同図において、液晶を介して互いに対向配置される一対の透明基板SUB1、SUB2があり、該液晶は一方の透明基板SUB1に対する他方の透明基板SUB2の固定を兼ねる
50

シール材 S L によって封入されている。

【 0 0 1 9 】

シール材 S L によって囲まれた前記一方の透明基板 S U B 1 の液晶側の面には、その x 方向に延在し y 方向に並設されたゲート信号線 G L と y 方向に延在し x 方向に並設されたドレイン信号線 D L とが形成されている。

【 0 0 2 0 】

各ゲート信号線 G L と各ドレイン信号線 D L とで囲まれた領域（たとえば図中丸印で囲まれた領域）は画素領域を構成するとともに、これら各画素領域のマトリクス状の集合体は液晶表示部 A R を構成するようになっている。

【 0 0 2 1 】

各画素領域には、図 1 に示すように、まず、ゲート信号線 G L にゲート電極が接続された第 1 の薄膜トランジスタ T F T 1 と第 2 の薄膜トランジスタ T F T 2 が形成されている。これら各薄膜トランジスタ T F T はそのいずれも多結晶 S i (poly-Si) からなる半導体層で形成されたものとなっている。

【 0 0 2 2 】

第 1 の薄膜トランジスタ T F T 1 はそのドレイン電極が図中左側の第 1 のドレイン信号線 D L 1 に接続され、そのソース電極は第 1 の画素電極 P X 1 に接続されている。

【 0 0 2 3 】

同様に、第 2 の薄膜トランジスタ T F T 2 はそのドレイン電極が図中右側の第 2 のドレイン信号線 D L 2 に接続され、そのソース電極は第 2 の画素電極 P X 2 に接続されている。

【 0 0 2 4 】

第 1 の画素電極 P X 1 と第 2 の画素電極 P X 2 はそれぞれ 1 方向（図では y 方向）に延在された帯状の複数の電極から構成され、それらは交互に配置されている。

【 0 0 2 5 】

複数からなる第 1 の各画素電極 P X 1 はその一端側（図では上端）において共通に接続され、その全てが前記第 1 の薄膜トランジスタ T F T 1 のソース電極と同電位になるように構成され、また、複数からなる第 2 の各画素電極 P X 2 はその一端側（図では下端）において共通に接続され、その全てが前記第 2 の薄膜トランジスタ T F T 2 のソース電極と同電位になるように構成されている。

【 0 0 2 6 】

第 1 の画素電極 P X 1 と第 2 の画素電極 P X 2 には、それぞれ第 1 の薄膜トランジスタ T F T 1 を介してドレイン信号線 D L 1 からの映像信号および第 2 の薄膜トランジスタ T F T 2 を介してドレイン信号線 D L 2 からの映像信号が供給され、これら各映像信号の電圧差に応じた第 1 の画素電極 P X 1 と第 2 の画素電極 P X 2 の間の電界によって液晶の光透過率が制御されるようになっている。

【 0 0 2 7 】

また、前記第 1 の画素電極 P X 1 と第 2 の画素電極 P X 2 が形成された領域、換言すれば、画素領域の周辺を除く中央の部分において、該第 1 の画素電極 P X 1 と第 2 の画素電極 P X 2 の下層に絶縁膜を介して反射膜 R E が形成されている。

【 0 0 2 8 】

この反射膜 R E は、前記第 1 および第 2 の各画素電極 P X によって光透過率の制御された液晶に入射された太陽光等の外来光を観察者側に反射させるための金属膜から構成され、この金属膜は他の画素領域のそれと同様に一定の基準電圧信号が供給されるようになっている。

【 0 0 2 9 】

前記ゲート信号線 G L のそれぞれの少なくとも一端は前記シール材 S L を超えて延在され、その延在端は垂直走査駆動回路 V に接続されている。この垂直走査駆動回路 V は透明基板 S U B 1 の上面に形成された多数の半導体装置およびこれら半導体装置を接続させる配線から構成され、該半導体装置はその半導体が多結晶 S i (poly-S i) で形成されている。

10

20

30

40

50

【0030】

同様に、前記ドレイン信号線 D L のそれぞれの一端は前記シール材 S L を超えて延在され、その延在端は映像信号駆動回路 H e に接続されている。この映像信号駆動回路 H e も透明基板 S U B 1 の上面に形成された多数の半導体装置およびこれら半導体装置を接続させる配線から構成され、該半導体装置はその半導体が多結晶 S i (poly-S i) で形成されている。

【0031】

なお、垂直走査駆動回路 V および映像信号駆動回路 H e の各半導体装置はその構成が液晶表示部 A R にて形成される薄膜トランジスタ T F T とほぼ同様となっていることから、製造時においては該薄膜トランジスタ T F T と並行して形成されるのが通常となっている。 10

【0032】

前記各ゲート信号線 G L は、垂直走査回路 V からの走査信号によって、その一つが順次選択されるようになっている。

また、前記各ドレイン信号線 D L のそれぞれには、映像信号駆動回路 H e によって、前記ゲート信号線 G L の選択のタイミングに合わせて映像信号が供給されるようになっている。 20

【0033】

このように構成された液晶表示装置は、反射膜に印加される基準電圧に対して、第 1 の画素電極 P X 1 に供給される映像信号と第 2 の画素電極 P X 2 に供給される映像信号は、それぞれ + 方向および - 方向に絶対値が等しい信号で与えられ、それらの電圧差によって第 1 の画素電極 P X 1 と第 2 の画素電極 P X 2 との間に電界を生じせしめることができる。 20

【0034】

このため、映像信号駆動回路 H e からの映像信号の出力は従来の 1 / 2 で済み、その電力消費を少なくすることができる。

【0035】

《画素の構成》

図 3 は、図 1 に示した等価回路に対応する画素の一実施例を示す平面図である。また、図 4 は図 3 の IV - IV 線における断面図を示している。

【0036】

図 3 において、まず、透明基板 S U B 1 の表面にて島状の領域として形成された多結晶 S i 層 P S がある。この多結晶 S i 層 P S は薄膜トランジスタ T F T 1、薄膜トランジスタ T F T 2 を構成する半導体層となるものである。 30

【0037】

そして、透明基板 S U B 1 の表面には該多結晶 S i 層をも被って絶縁膜が形成されている。この絶縁膜は薄膜トランジスタ T F T のゲート絶縁膜としての機能を有するようになっている。

【0038】

図中 x 方向へ延在するゲート信号線 G L が形成され、このゲート信号線 G L の一部は前記多結晶 S i 層 P S の中央を跨るようにして延在されている。この延在部は薄膜トランジスタ T F T 1、2 のそれぞれのゲート電極 G T として機能するものである。 40

【0039】

そして、このゲート信号線 G L をも被って透明基板 S U B 1 の表面には絶縁膜が形成されている。この絶縁膜は後に説明するドレイン信号線 D L 1、2 のゲート信号線 G L に対する層間絶縁膜としての機能を有するものである。

【0040】

前記絶縁膜の上面には y 方向に延在するドレイン信号線 D L 1、2 が形成されている。このドレイン信号線 D L 1、2 は前記絶縁膜に予め形成されたコンタクトホールを通して前記薄膜トランジスタ T F T 1、2 の各ドレイン領域に接続されるようになっている。

【0041】

また、このドレイン信号線 D L 1、2 の形成の際に同時に形成されるソース電極およびそ 50

の延在部が形成されている。該ソース電極は前記絶縁膜に予め形成されたコンタクトホールを通して前記薄膜トランジスタTFT1、2の各ソース領域に接続されるようになっている。なお、前記延在部は後に説明する画素電極PXとの接続を図るためのコンタクト部CNとなるものである。

【0042】

さらに、該ドレイン信号線DL1、2の形成の際に同時に形成される反射膜REが形成されている。この反射膜REはゲート信号線GLとドレイン信号線DLとで囲まれる画素領域の周辺を除く中央部の全域に形成され、たとえば光反射効率の良好なAlあるいはその合金、Agあるいはその合金が選定される。

【0043】

また、この反射膜REは他の画素領域における反射膜REと共に接続され、各画素領域に共通な基準電圧信号が印加されるようになっている。

【0044】

なお、この反射膜REは、第1の画素電極PX1および第2の画素電極PX2からなる電極群の外周枠をはみ出る程度に形成するのが望ましい。ドレイン信号線DL1、2からの電気力線がこの反射膜REに終端させやすくでき、前記各画素電極PXに終端させにくくできるからである。

【0045】

ドレイン信号線DL、ソース電極、および反射膜REをも被って透明基板SUB1の表面には絶縁膜INが形成され、この絶縁膜INの上面には画素電極PX1、2が形成されている。これら画素電極PX1、2は、それぞれ前記絶縁膜INに予め形成されたコンタクトホールを通して薄膜トランジスタTFT1、2のソース電極の延在部の一部に接続されている。

【0046】

画素電極PX1、2をも被って透明基板SUB1の表面には平坦化膜COが形成され、この平坦化膜COの表面には配向膜ORI1が形成されている。この配向膜ORI1はそれに直接に接觸する液晶の分子の初期配向方向を決定づけるようになっている。

【0047】

なお、液晶を介して対向配置される透明基板SUB2の液晶側の面には配向膜ORI2が形成され、液晶と反対側の面には位相差板PHおよび偏光板POLが順次貼付されている。

【0048】

実施例2.

図5は、本発明による液晶表示装置の他の実施例を示す画素の等価回路で、図1に対応した図となっている。

また、図5は、図1と異なり、ドレイン信号線DLに沿って形成された2個の画素を示している。

【0049】

図1の場合と比較して異なる構成は、各画素領域内に第1の薄膜トランジスタTFT1、第2の薄膜トランジスタTFT2の他に、第3の薄膜トランジスタTFT3、第4の薄膜トランジスタTFT4が設けられている。

【0050】

第3の薄膜トランジスタTFT3のゲート電極は、前記第1の薄膜トランジスタTFT1、第2の薄膜トランジスタTFT2が接続されるゲート信号線GLと異なるゲート信号線GLであって当該画素領域を画する他のゲート信号線GLに接続され、そのドレイン電極およびソース電極のうち一方が第1の画素電極PX1に接続され他方が反射膜に接続されている。

【0051】

同様に、第4の薄膜トランジスタTFT4のゲート電極も、前記第1の薄膜トランジスタTFT1、第2の薄膜トランジスタTFT2が接続されるゲート信号線GLと異なるゲート信号線GLであって当該画素領域を画する他のゲート信号線GLに接続され、そのドレ

10

20

30

40

50

イン電極およびソース電極のうち一方が第2の画素電極P X 2に接続され他方が前記反射膜に接続されている。

【0052】

このような構成の画素において、第1の画素電極P X 1、第2の画素電極P X 2、反射膜の間の容量を考慮した等価回路を図6に示す。

図6において、第1の電極容量C 1、第2の電極容量C 2は、第1の画素電極P X 1、第2の画素電極P X 2、反射膜の間の容量を示している。

【0053】

ゲート信号線G L (1)が選択されると、第3の薄膜トランジスタT F T 3、第4の薄膜トランジスタT F T 4がオン状態となり、第1の電極容量C 1、第2の電極容量C 2の電荷を放電する。
10

【0054】

次に、該ゲート信号線G L (1)が非選択、ゲート信号線G L (2)が選択されると、第3の薄膜トランジスタT F T 3、第4の薄膜トランジスタT F T 4がオフ状態、第1の薄膜トランジスタT F T 1、第2の薄膜トランジスタT F T 2がオン状態になる。

【0055】

これにより、第1の電極容量C 1、第2の電極容量C 2には、それぞれ、第1のドレイン信号線、第2のドレイン信号線からの映像信号によって充電がなされる。

【0056】

このとき、第1の電極容量C 1、第2の電極容量C 2は直列接続されているので、前記反射膜が接続されるその接続点の電圧は、第1の画素電極P X 1、第2の画素電極P X 2のそれぞれの電圧値の平均した値となる。
20

【0057】

のことから、前記反射膜の電圧は自動的に第1のドレイン信号線、第2のドレイン信号線のそれぞれに供給される映像信号の平均値に制御されることになる。

【0058】

したがって、第1のドレイン信号線、第2のドレイン信号線のそれぞれに供給する映像信号は必ずしも逆極性である必要はなく、一方のドレイン信号線に基準信号（共通信号）を供給し、他方のドレイン信号線に該基準信号に対して電圧差を有する映像信号を供給することができる。このため、ドレイン信号線を駆動する映像信号駆動回路H eの信号出力は実施例1の1/2にすることができる。
30

【0059】

実施例3.

図7は、本発明による液晶表示装置の他の実施例を示す画素の等価回路で、図5に対応した図となっている。

【0060】

図5の場合と比較して異なる構成は、一方のドレイン信号線（図では第2のドレイン信号線）をなくし、それに接続されていた第2の薄膜トランジスタT F T 2のドレイン電極を新たに形成した共通信号線C Lに接続していることにある。

【0061】

そして、この共通信号線C Lは、この実施例では、ゲート信号線G Lに平行に走行するよう形成されている。ドレイン信号線D Lのようにy方向に延在する信号線を減らして画素領域の開口率を向上させたい場合等に効果的となる。
40

【0062】

実施例2の部分で説明したように、第3の薄膜トランジスタT F T 3、第4の薄膜トランジスタT F T 4を設けることにより、一方の信号線に基準信号（共通信号）を供給し、他方の信号線に該基準信号に対して電圧差を有する映像信号を供給することができるため、一方の信号線を共通信号線としたことに基づく。

【0063】

実施例4.

図8は、本発明による液晶表示装置の他の実施例を示す構成図で、図4に対応した図となっている。

【0064】

図4の場合と比較して異なる構成は、第1の画素電極PX1と第2の画素電極PX2が同一の層として形成されているのではなく、絶縁膜IN2を介して一方がその上層に他方が下層に形成されていることがある。このような構成であっても、同様の効果が得られることはいうまでもない。

【0065】

実施例5.

上述した各実施例はいずれも反射型の液晶表示装置について説明したものである。

10

しかし、たとえば図4に示す構成において、反射膜REを光反射および光透過を兼ねる半透過膜に置き換えて形成することにより、いわゆる半透過型の液晶表示装置を得ることができることからこのようにしてもよいことはいうまでもない。

また、このような構成は上述した他の実施例にも適用できることはもちろんである。

【0066】

実施例6.

図9は、いわゆる部分透過の液晶表示装置の一実施例を示した構成図で、たとえば図3に対応した図となっている。

【0067】

図9において、反射膜REを画素領域のたとえば上半分の領域にのみ形成し、残りの下半分の領域に前記反射膜REと電気的に接続されたたとえばITO(Indium Tin Oxide)等の透光性の導電膜TCLを形成することにより、該反射膜REが形成された領域を光反射領域に透光性の導電膜TCLが形成された領域を光透過領域とすることができる。

20

【0068】

この実施例の場合、透光性の導電膜TCLは反射膜REと同層に形成したものであるが、それらが電気的に接続されれば絶縁膜を介してそれらが異層に形成されていてもよい。

【0069】

この実施例は、画素領域を二分割してその一方を光反射領域とし他方を光透過領域としたものである。しかし、この分割の方法に任意であってもよく、たとえば光反射領域の中央に光透過領域が存在していても、また、その逆であってもよい。

30

また、このような構成は上述した他の実施例にも適用できることはもちろんである。

【0070】

なお、上述した各実施例では、薄膜トランジスタの半導体層として多結晶Siを用いたものであるが、これに限定されることはなく、たとえばアモルファスSi等であってもよいことはいうまでもない。

【0071】

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、低消費電力で駆動できるものが得られる。

40

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素の一実施例を示す等価回路である。

【図2】本発明による液晶表示装置の一実施例を示す等価回路である。

【図3】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図4】図3のIV-IVにおける断面図である。

【図5】本発明による液晶表示装置の画素の他の実施例を示す等価回路である。

【図6】図6の等価回路において特に容量を考慮した透過回路である。

【図7】本発明による液晶表示装置の画素の他の実施例を示す等価回路である。

【図8】本発明による液晶表示装置の画素の一実施例を示す断面図である。

【図9】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

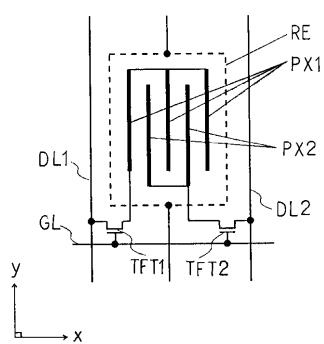
50

【符号の説明】

GL...ゲート信号線、DL1...第1のドレイン信号線、DL2...第2のドレイン信号線、
 PX1...第1の画素電極、PX2...第2の画素電極、TFT1...第1の薄膜トランジスタ
 、TFT2...第2の薄膜トランジスタ、TFT3...第3の薄膜トランジスタ、TFT4...
 第4の薄膜トランジスタ、RE...反射膜。

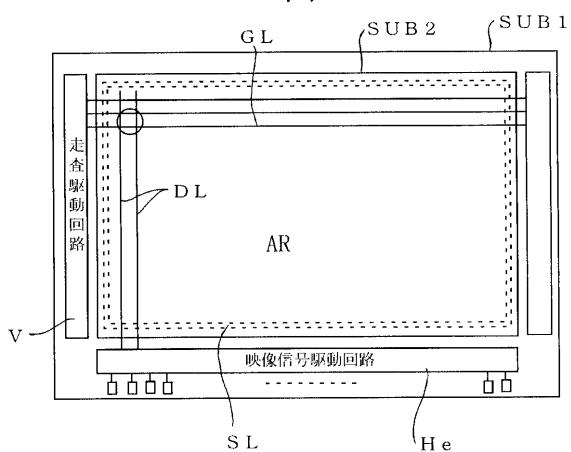
【図1】

図1

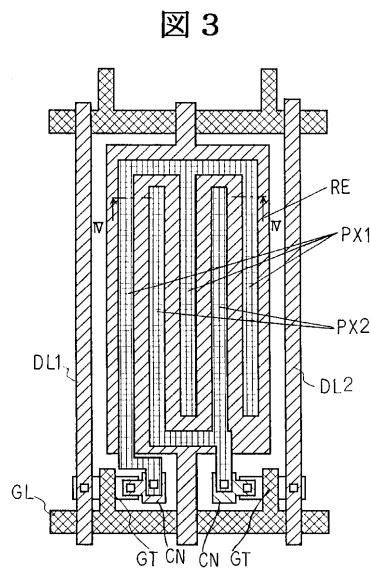


【図2】

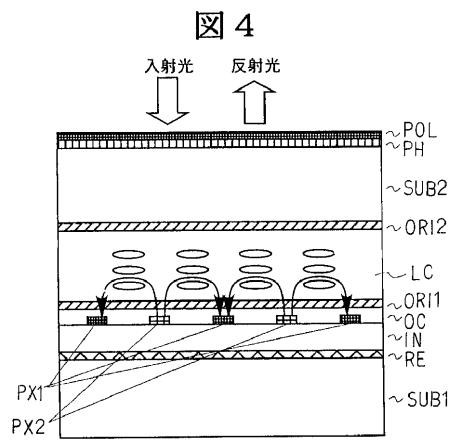
図2



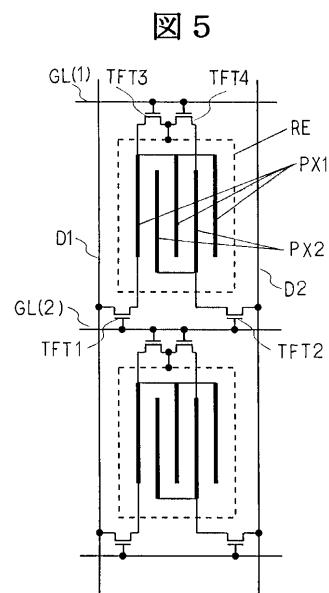
【図3】



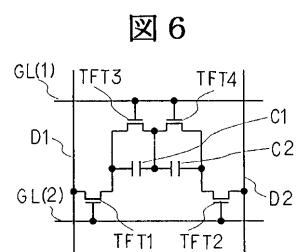
【図4】



【図5】

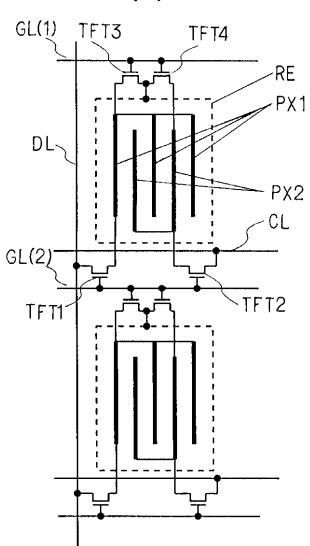


【図6】



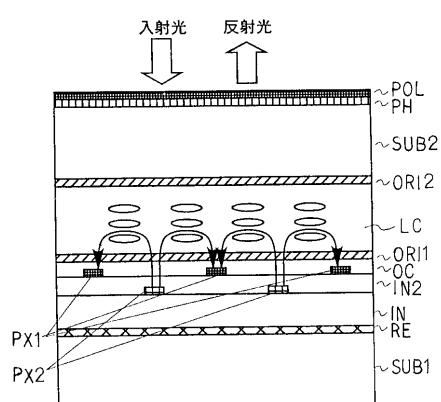
【図7】

図7



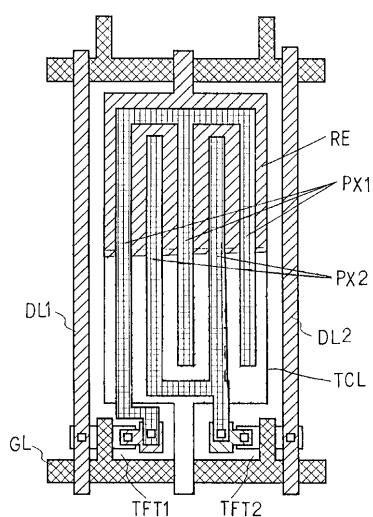
【図8】

図8



【図9】

図9



フロントページの続き

審査官 白石 光男

(56)参考文献 特開2001-235761(JP,A)

特開2001-183700(JP,A)

特開平11-271788(JP,A)

特開平06-148596(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1335

G02F 1/1368

G09F 9/30

G09F 9/35

专利名称(译)	液晶表示装置		
公开(公告)号	JP3920630B2	公开(公告)日	2007-05-30
申请号	JP2001352010	申请日	2001-11-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	佐藤秀夫 宮沢敏夫 河内玄士朗		
发明人	佐藤 秀夫 宮沢 敏夫 河内 玄士朗		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368 G09F9/30 G09F9/35		
FI分类号	G02F1/1343 G02F1/1335.520 G02F1/1368 G09F9/30.338 G09F9/35		
F-TERM分类号	2H091/FA14Y 2H091/GA02 2H091/GA13 2H091/LA30 2H092/GA14 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB04 2H092/JB05 2H092/JB07 2H092/JB11 2H092/JB42 2H092/NA26 2H092/PA12 2H191/FA22X 2H191/FA30X 2H191/FA31Y 2H191/FA32Y 2H191/FB14 2H191/GA04 2H191/GA19 2H191/HA15 2H191/LA40 2H191/NA03 2H191/NA29 2H191/NA34 2H191/NA45 2H191/PA62 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB04 2H192/BB91 2H192/BC31 2H192/BC62 2H192/BC63 2H192/BC74 2H192/CB02 2H192/CB12 2H192/CB13 2H192/EA62 2H192/FB02 2H291 /FA22X 2H291/FA30X 2H291/FA31Y 2H291/FA32Y 2H291/FB14 2H291/GA04 2H291/GA19 2H291 /HA15 2H291/LA40 2H291/NA03 2H291/NA29 2H291/NA34 2H291/NA45 2H291/PA62 5C094/AA12 5C094/AA13 5C094/AA22 5C094/AA24 5C094/AA56 5C094/BA03 5C094/BA43 5C094/CA19 5C094 /DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/DB10 5C094/EA04 5C094/EA05 5C094/EA06 5C094/EB02 5C094/EB04 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094 /GA10		
审查员(译)	白石光男		
其他公开文献	JP2003149664A		
外部链接	Espacenet		

摘要(译)

要解决低功耗问题。通过来自栅极信号线的扫描信号操作的第一开关元件和第二开关元件设置在经由液晶彼此相对布置的一个基板的液晶侧上的像素区域中，第一像素电极，通过第一开关元件从第一漏极信号线提供视频信号，并且通过第二开关元件从第二漏极信号线提供视频信号以及在至少第一和第二像素电极的至少一个基板侧上与第一和第二像素电极绝缘的反射膜

【 図 2 】

☒ 2

