

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3672084号
(P3672084)

(45) 発行日 平成17年7月13日(2005.7.13)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int.Cl.⁷

F I

G09F 9/30
G02F 1/1368
G09F 9/00
H01L 29/786G09F 9/30 338
G09F 9/00 348C
G02F 1/136 500
H01L 29/78 612B

請求項の数 4 (全 13 頁)

(21) 出願番号 特願2000-310309 (P2000-310309)
 (22) 出願日 平成12年10月11日(2000.10.11)
 (62) 分割の表示 特願平8-32980の分割
 原出願日 平成2年12月25日(1990.12.25)
 (65) 公開番号 特開2001-159873 (P2001-159873A)
 (43) 公開日 平成13年6月12日(2001.6.12)
 審査請求日 平成12年10月11日(2000.10.11)
 審判番号 不服2003-6844 (P2003-6844/J1)
 審判請求日 平成15年4月23日(2003.4.23)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100116159
 弁理士 玉城 信一
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 合議体
 審判長 鹿股 俊雄
 審判官 辻 徹二
 審判官 前川 慎喜

最終頁に続く

(54) 【発明の名称】 表示装置、液晶表示装置及び集積回路

(57) 【特許請求の範囲】

【請求項1】

700 以下の熱処理に耐え得るガラス基板上に形成されたブロッキング層上に、画素部分及び該画素部分に電気的に接続された駆動回路部分を有する表示装置であって、

前記画素部分は、薄膜トランジスタを有し、

前記駆動回路部分は、薄膜トランジスタからなるアナログスイッチアレー及びICチップからなる該アナログスイッチアレー以外の回路を有しており、

前記画素部分及び前記アナログスイッチアレーの薄膜トランジスタは、酸素濃度が $7 \times 10^{19} \text{ cm}^{-3}$ 以下の半導体層を含み、

前記画素部分及び前記アナログスイッチアレーの薄膜トランジスタ上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成され、前記画素部分の薄膜トランジスタのソース領域またはドレイン領域の一方と接続された配線と、

前記層間絶縁膜上に形成され、前記アナログスイッチアレーの薄膜トランジスタのソース領域またはドレイン領域と接続された配線と、

前記画素部分の薄膜トランジスタのソース領域またはドレイン領域の他方と接続されたコンタクトと、

前記画素部分の薄膜トランジスタのソース領域またはドレイン領域の一方と接続された配線上、及び前記アナログスイッチアレーの薄膜トランジスタのソース領域またはドレイン領域と接続された配線上に形成された平坦化膜と、

10

20

前記平坦化膜上に形成された画素電極とを有し、

前記画素電極は、前記平坦化膜に形成された穴を介して前記コンタクトと接続され、

前記ＩＣチップからなるアナログスイッチアレー以外の回路は、前記ブロック層が形成された前記ガラス基板上に実装され、かつ前記アナログスイッチアレーに電氣的に接続されていることを特徴とする表示装置。

【請求項２】

７００以下の熱処理に耐え得るガラス基板上に形成されたブロック層上に、画素部分及び該画素部分に電氣的に接続された駆動回路部分を有する表示装置であって、

前記画素部分は、薄膜トランジスタを有し、

前記駆動回路部分は、薄膜トランジスタからなるアナログスイッチアレー及びＩＣチップからなる該アナログスイッチアレー以外の回路を有しており、 10

前記画素部分及び前記アナログスイッチアレーの薄膜トランジスタは、酸素濃度が $7 \times 10^{19} \text{ cm}^{-3}$ 以下の半導体層を含み、

前記画素部分及び前記アナログスイッチアレーの薄膜トランジスタ上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成され、前記画素部分の薄膜トランジスタのソース領域またはドレイン領域の一方と接続された配線と、

前記層間絶縁膜上に形成され、前記アナログスイッチアレーの薄膜トランジスタのソース領域またはドレイン領域と接続された配線と、

前記画素部分の薄膜トランジスタのソース領域またはドレイン領域の他方と接続されたコンタクトと、 20

前記画素部分の薄膜トランジスタのソース領域またはドレイン領域の一方と接続された配線上、及び前記アナログスイッチアレーの薄膜トランジスタのソース領域またはドレイン領域と接続された配線上に形成された平坦化膜と、

前記平坦化膜上に形成された画素電極とを有し、

前記画素電極は、前記平坦化膜に形成された穴を介して前記コンタクトと接続され、

前記ＩＣチップからなるアナログスイッチアレー以外の回路は、ＣＯＧ法を用いて前記アナログスイッチアレーに電氣的に接続されていることを特徴とする表示装置。

【請求項３】

前記画素部分の薄膜トランジスタ及び前記アナログスイッチアレーの薄膜トランジスタは、いずれもトップゲイト型であることを特徴とする請求項１または２に記載の表示装置。 30

【請求項４】

前記画素部分の薄膜トランジスタ及び前記アナログスイッチアレーの薄膜トランジスタは、いずれもフッ素を含むゲイト絶縁膜を有していることを特徴とする請求項１乃至３のいずれか一項に記載の表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は薄膜トランジスタを用いて形成される液晶表示装置に関する。 40

【０００２】

【従来の技術】

ＯＡ機器等のディスプレイとしてＣＲＴに代わりフラットディスプレイが注目され、特に大面積化への期待が強くなってきている。またフラットディスプレイのその他の応用として壁掛けＴＶの開発も急ピッチで進められている。また、フラットディスプレイのカラー化、高精細化の要求も相当高まってきている。

【０００３】

このフラットディスプレイの代表例として液晶表示装置が知られている。これは一対のガラス基板間に電極を挟んで保持された液晶組成物に電界を加えて、液晶組成物の状態を変化させ、この状態の違いを利用して、表示を行う。この液晶の駆動のために薄膜トランジ 50

スタ（以下ＴＦＴという）やその他のスイッチング素子を設けたものや単純にマトリクス構成を持つものがある。何れの場合も、縦横（Ｘ、Ｙ）方向の各配線に対して液晶を駆動するための信号を送り出すドライバー回路がディスプレイ周辺に設けられている。

【０００４】

このドライバー回路は通常は単結晶シリコンのＭＯＳ集積回路（ＩＣ）で構成されている。このＩＣには各ディスプレイ電極に対応するパッド電極が設けられており、この両者の間にプリント基板が介在し、先ずＩＣのパッド電極とプリント基板を接続し、次にプリント基板とディスプレイを接続していた。このプリント基板はガラスエポキシや紙エポキシの絶縁物基板またはフレキシブルなプラスチックよりなる基板であり、その占有面積はディスプレイと同じかまたはそれ以上の面積が必要であった。また、同様に容積も相当大

10

【０００５】

【発明が解決しようとする課題】

このような従来のディスプレイは前述のような構成のため以下のような欠点を有していた。

【０００６】

すなわち、▲１▼マトリクス配線のＸ方向、Ｙ方向の表示電極またはソース（ドレイン）配線またはゲート配線の数と同数の接続がプリント基板との間で行われるために、実装技術上接続可能な各接続部間の間隔に制限があるために、高精細な表示ディスプレイを製作することはできなかった。

20

【０００７】

▲２▼表示ディスプレイ本体以外にプリント基板、ＩＣおよび接続配線が必要であり、その必要面積および必要容積はディスプレイ本体の数倍にも及んでいた。

【０００８】

▲３▼ディスプレイ本体とプリント基板およびプリント基板とＩＣとの接続箇所が多く、しかも、かなりの重量があるので接続部分に無理な力が加わり、接続の信頼性が低かった。

【０００９】

一方、このような、欠点を解決する方法として、ディスプレイ特にアクティブ素子をスイッチング素子として使用した表示装置において、アクティブ素子と周辺回路とを同じ基板上にＴＦＴで構成することが提案されている。しかしながらこの構成によると前述の３つの欠点はほぼ解決することができるが、新たに以下のような別の問題が発生した。

30

【００１０】

▲４▼アクティブ素子以外に周辺回路をもＴＦＴ化した為に、同一基板上に形成する素子の数が増し、ＴＦＴの製造歩留りが低下した。従ってディスプレイの製造歩留りも低下した。

【００１１】

▲５▼アクティブ素子部分の素子構造に比べ周辺回路部分は非常に複雑な素子構造を取っている。従って、回路パターンが複雑になり、製造プロセス技術もより高度になり、コストが上昇する。また、当然に多層配線部分が増し、プロセス工程数の増加とＴＦＴの製造歩留りの低下が起こった。

40

【００１２】

▲６▼周辺回路を構成するトランジスタは早い応答速度が要求されるため、通常は多結晶半導体を使用していた。そのため、半導体層を多結晶化するために、高温の処理を必要とし、高価な石英基板等を使用しなければならなかった。

【００１３】

【課題を解決するための手段】

本発明は上記のような６つ問題を適度にバランスよく解決するものであり、コストが低く、製造歩留りの高い液晶表示装置に関するものである。

【００１４】

50

本発明によると、
複数のＴＦＴがマトリクス状に配置された画素マトリクスと、
前記画素マトリクスに接続された複数のデータ線と、
前記画素マトリクスに接続された複数の走査線と、
前記複数のデータ線のうち奇数番目のデータ線を駆動する第１の周辺回路と、
前記複数のデータ線のうち偶数番目のデータ線を駆動する第２の周辺回路と、
前記複数の走査線を駆動する第３の周辺回路と、
を有する電気光学装置が提供される。

【００１５】

本発明によると、
複数のＴＦＴがマトリクス状に配置された画素マトリクスと、
前記画素マトリクスに接続された複数のデータ線と、
前記画素マトリクスに接続された複数の走査線と、
前記複数のデータ線のうち奇数番目のデータ線を駆動する第１の周辺回路と、
前記複数のデータ線のうち偶数番目のデータ線を駆動する第２の周辺回路と、
前記複数の走査線を駆動する第３の周辺回路と、
を有する電気光学装置であって、
前記第１の周辺回路、前記第２の周辺回路および前記第３の周辺回路は、それぞれ、ＴＦＴを有する回路とＩＣを有することを特徴とする電気光学装置が提供される。

【００１６】

本発明によると、
複数のＴＦＴがマトリクス状に配置された画素マトリクスと、
前記画素マトリクスに接続された複数のデータ線と、
前記画素マトリクスに接続された複数の走査線と、
前記複数のデータ線のうち奇数番目のデータ線を駆動する第１の周辺回路と、
前記複数のデータ線のうち偶数番目のデータ線を駆動する第２の周辺回路と、
前記複数の走査線を駆動する第３の周辺回路と、
を有する電気光学装置であって、
前記第１の周辺回路、前記第２の周辺回路および前記第３の周辺回路は、それぞれ、ＴＦＴを有するアナログスイッチアレーとＩＣを有することを特徴とする電気光学装置が提供
される。

【００１７】

すなわち、複数のゲート線、複数のソース（ドレイン）線および薄膜トランジスタを有する画素マトリクスが形成された第１の基板と前記第１の基板に対抗して配置された第２の基板と前記一対の基板間に保持された液晶組成物よりなる電気光学装置であって、前記第１の基板上に形成されるＸまたはＹ方向のマトリクス配線に接続されている周辺回路のうちの少なくとも一部の周辺回路を前記画素に接続されたアクティブ素子と同様の構造の薄膜トランジスタとし、残りの周辺回路は半導体チップで構成されているものである。

【００１８】

また、ＴＦＴ化しない残りの周辺回路としてのＩＣと基板との接続はＩＣチップを直接基板上に設けて、各接続端子と接続するＣＯＧ法やＩＣチップを１個毎にフレキシブルな有機樹脂基板上に設け、その樹脂基板とディスプレイ基板とを接続しするＴＡＢ法により、実現できる。

【００１９】

すなわち、本発明は液晶表示装置の周辺回路の全てをＴＦＴ化するのではなく、素子構造の簡単な部分のみ、または素子数の少ない機能部分のみ、または汎用のＩＣが入手しにくい回路部分のみ、さらにはＩＣのコストが高い部分のみをＴＦＴ化して、液晶表示装置の製造歩留りを向上させるとともに、製造コストを下げるができる。

【００２０】

また、周辺回路の一部をＴＦＴ化することにより、従来では相当な数が必要であった外付

10

20

30

40

50

けのICの数を減らし、製造コストを下げるができる。

【0021】

さらにまた、アクティブ素子と周辺回路を同じプロセスにて作成した相補型構成(CFTT)の薄膜トランジスタとすると、画素駆動の能力が向上し、周辺回路に冗長性を与えることができ、余裕のある液晶表示装置の駆動を行うことができた。

【0022】

また、周辺回路全部をTFT化するとディスプレイ用の基板の寸法をX方向およびY方向の両方に大きくする必要があり表示装置全体の専有面積が大きくなるが、一部のみをTFT化するとほんの少しだけ基板を大きくするだけで済み、表示装置を使用するコンピューターや装置の外形寸法に容易にあわせることができかつ専有面積と専有容積の少ない表示装置を実現できる。

10

【0023】

周辺回路中の素子構造が複雑である部分、例えば、多層配線が必要な素子構造やアンプの機能を持たせた部分等をTFT化するのに高度な作製技術が必要になるが、一部をTFT化することで、技術的に難しい部分は従来のICを使用し、簡単な素子構造あるいは単純な機能の部分をTFT化でき、低コストで高い歩留りで表示装置を実現できる。

【0024】

また、一部のみTFT化することで、周辺回路部分の薄膜トランジスタの数を相当減らすことができる、単純にX方向、Y方向の周辺回路の機能が同じ場合はほぼその数は半数となる。このように、TFT化する素子数を減らすことで、基板の製造歩留りを向上させることができ、かつ基板の面積、容積を減少できた表示装置を低コストで実現することが可能となった。

20

【0025】

さらに、TFTに使用される半導体層を従来から使用されている、多結晶またはアモルファス半導体ではなく、新しい概念のセミアモルファス半導体を使用することで、低温で作製ができ、しかも、キャリアの移動度の非常に大きい、応答速度の早いTFTを実現することができる。

【0026】

このセミアモルファス半導体とは、LPCVD法、スパッタ法あるいはPCVD法等により膜形成の後に熱結晶化処理を施して得られるが、以下にはスパッタ法を例にとり説明をする。

30

【0027】

すなわちスパッタ法において単結晶のシリコン半導体をターゲットとし、水素とアルゴンとの混合気体でスパッタをすると、アルゴンの重い原子のスパッタ(衝撃)によりターゲットからは原子状のシリコンが離れ、被形成面を有する基板上に飛しょうするが、同時に数十~数十万個の原子が固まった塊がクラスタとしてターゲットから離れ、被形成面に飛しょうする。

【0028】

この飛しょう中は、水素がこのクラスタの外周辺の珪素の不對結合手と結合し、結合した状態で被形成面上に秩序性の比較的高い領域として作られる。

40

すなわち、被膜形成面上には秩序性の高い、かつ周辺にSi-H結合を有するクラスタと純粋のアモルファス珪素との混合物の状態を実現する。これを450~700の非酸化性気体中での熱処理により、クラスタの外周辺のSi-H結合は他のSi-H結合と反応し、Si-Si結合を作る。

【0029】

この結合はお互い引っぱりあうと同時に、秩序性の高いクラスタはより高い秩序性の高い状態、すなわち結晶化に相を移そうとする。しかし、隣合ったクラスタ間は、互いに結合したSi-Siがそれぞれのクラスタ間を引っぱりあう。その結果は、結晶は格子歪を持ちレーザラマンでの結晶ピークは単結晶の 520cm^{-1} より低波数側にずれて測定される。

【0030】

50

また、このクラスタ間のSi-Si結合は互いのクラスタをアンカリング（連結）するため、各クラスタでのエネルギーバンドはこのアンカリングの個所を経て互いに電氣的に連結しあえる。そのため結晶粒界がキャリアのバリアとして働く多結晶シリコンとは根本的に異なり、キャリア移動度も $10 \sim 200 \text{ cm}^2 / \text{V Sec}$ を得ることができる。

【0031】

つまり、かるる定義に基づくセミアモルファス半導体は見掛け上結晶性を持ちながらも、電氣的には結晶粒界が実質的にない状態を予想できる。もちろん、アニール温度がシリコン半導体の場合の $450 \sim 700$ という中温アニールではなく、 1000 またはそれ以上の結晶成長をとともなう結晶化をさせる時はこの結晶成長により、膜中の酸素等が粒界に折出し、バリアを作ってしまう。これは、単結晶と同じ結晶と粒界のある材料（多結晶）である。

10

【0032】

また、この半導体におけるクラスタ間のアンカリングの程度をより大きくすると、よりキャリア移動度は大きくなる。このためにはこの膜中にある酸素量を $7 \times 10^{19} \text{ cm}^{-3}$ 好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下にすると、さらに 600 よりも低い温度で結晶化ができるに加えて、高いキャリア移動度を得ることができる。

【0033】

【実施例1】

本実施例では図1に示すような $m \times n$ の回路構成の液晶表示装置を用いて説明を行う。すなわち図1のX方向の配線に接続された周辺回路部分のうちアナログスイッチアレー回路部分1のみを画素6に設けられたアクティブ素子と同様にTFT化し、Y方向配線に接続された周辺回路部分もアナログスイッチアレー回路部分2のみをTFT化しその他の周辺回路部分はIC4で、COG法により基板に接続している。ここで、TFT化した周辺回路部分は画素に設けられたアクティブ素子と同様にCTFT（相補型構成）として形成してある。

20

【0034】

この回路構成に対応する実際の電極等の配置構成を図2に示している。図2は説明を簡単にする為 2×2 に相当する部分のみ記載されている。

【0035】

まず、本実施例で使用する液晶表示装置上のTFTの作製方法を図3を使用して説明する。図3(A)において、石英ガラス等の高価でない 700 以下、例えば約 600 の熱処理に耐え得るガラス50上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層51としての酸化珪素膜を $1000 \sim 3000$ の厚さに作製する。プロセス条件は酸素 100% 雰囲気、成膜温度 15 、出力 $400 \sim 800 \text{ W}$ 、圧力 0.5 Pa とした。ターゲットに石英または単結晶シリコンを用いた成膜速度は $30 \sim 100$ /分であった。

30

【0036】

この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも $100 \sim 200$ 低い $450 \sim 550$ 、例えば 530 でジシラン(Si_2H_6)またはトリシラン(Si_3H_8)をCVD装置に供給して成膜した。反応炉内圧力は $30 \sim 300 \text{ Pa}$ とした。成膜速度は $50 \sim 250$ /分であった。NTFTとPTFTとのスレッショルド電圧(V_{th})に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

40

【0037】

スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を $20 \sim 80\%$ 混入した雰囲気で行った。例えばアルゴン 20% 、水素 80% とした。成膜温度は 150 、周波数は 13.56 MHz 、スパッタ出力は $400 \sim 800 \text{ W}$ 、圧力は 0.5 Pa であった。

【0038】

50

プラズマCVD法により珪素膜を作製する場合、温度は例えば300とし、モノシラン(SiH₄)またはジシラン(Si₂H₆)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0039】

これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{19} \sim 4 \times 10^{21} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャンネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。その時周辺回路を構成するTFTには光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるための有効である。

10

【0040】

次に、アモルファス状態の珪素膜を500～5000、例えば1500の厚さに作製の後、450～700の温度にて12～70時間非酸化雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600の温度で保持した。珪素膜の下の基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

20

【0041】

アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レザラマン分光により測定すると単結晶の珪素のピーク 522 cm^{-1} より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、50～500とマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

30

【0042】

結果として、被膜は実質的にグレインバウンダリ(以下GBという)がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度(μ_h) = $10 \sim 200 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 、電子移動度(μ_e) = $15 \sim 300 \text{ cm}^2 / \text{V} \cdot \text{sec}$ が得られる。

【0043】

他方、上記の如き中温でのアニールではなく、900～1200の高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア(障壁)を作ってそこでのキャリアの移動を阻害してしまう。結果として $10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以上の移動度がなかなか得られないのが実情である。即ち、本実施例ではかくの如き理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

40

【0044】

図3(A)において、珪素膜を第1のフォトマスク▲1▼にてフォトエッチングを施し、PTFT用の領域22(チャンネル巾 $20 \mu\text{m}$)を図面の右側に、NTFT用の領域13を左側に作製した。

【0045】

50

この上に酸化珪素膜をゲイト絶縁膜として500～2000 例えば1000 の厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0046】

この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 MoSi_2 または WSi_2 との多層膜を形成した。これを第2のフォトマスク▲2▼にてパターニングして図3(B)を得た。PTFT用のゲイト電極55、NTFT用のゲイト電極56を形成した。例えばチャネル長 $10 \mu\text{m}$ 、ゲイト電極としてリンド-ブ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。図3(C)において、フォトレジスト57をフォトマスク▲3▼を用いて形成し、PTFT用のソ-ス59ドレイン58に対し、ホウ素を $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ のド-ズ量でイオン注入法により添加した。次に図3(D)の如く、フォトレジスト61をフォトマスク▲4▼を用いて形成した。NTFT用のソ-ス64、ドレイン62としてリンを $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ のド-ズ量でイオン注入法により添加した。

10

【0047】

これらはゲイト絶縁膜54を通じて行った。しかし図3(B)において、ゲイト電極55、56をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0048】

次に、600 にて10～50時間再び加熱アニ-ルを行った。PTFTのソ-ス59、ドレイン58NTFTのソ-ス64、ドレイン62を不純物を活性化してP+、N+として作製した。またゲイト電極55、56下にはチャネル形成領域60、63がセミアモルファス半導体として形成されている。

20

【0049】

かくすると、セルフアライン方式でありながらも、700 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、大画素の液晶表示装置にきわめて適したプロセスである。

【0050】

本実施例では熱アニ-ルは図3(A)、(D)で2回行った。しかし図3(A)のアニ-ルは求める特性により省略し、双方を図3(D)のアニ-ルにより兼ね製造時間の短縮を図ってもよい。図4(A)において、層間絶縁物65を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、フォトマスク▲5▼を用いて電極用の窓66を形成した。さらに、これら全体にアルミニウムをスパッタ法により形成し、リ-ド71、72およびコンタクト67、68をフォトマスク▲6▼を用いて作製した後、表面を平坦化用有機樹脂69例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスク▲7▼にて行った。

30

【0051】

図4(B)に示す如く2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジウム・スズ酸化膜)を形成した。それをフォトマスク▲8▼によりエッチングし、電極70を構成させた。このITOは室温～150 で成膜し、200～400 の酸素または大気中のアニ-ルにより成就した。かくの如くにしてPTFT22とNTFT13と透明導電膜の電極70とを同一ガラス基板50上に作製した。得られたTFTの電気的な特性はPTFTで移動度は $20 (\text{cm}^2/\text{Vs})$ 、 V_{th} は $-5.9 (\text{V})$ で、NTFTで移動度は $40 (\text{cm}^2/\text{Vs})$ 、 V_{th} は $5.0 (\text{V})$ であった。

40

【0052】

この液晶表示装置の画素部分の電極等の配置を図2に示している。NTFT13を第1の走査線15とデータ線21との交差部に設け、第1の走査線15とデータ線14との交差

50

部にも他の画素用のNTFTが同様に設けられている。一方PTFTは第2の走査線18とデータ線21との交差部に設けられている。また、隣接した他の第1の走査線16とデータ線21との交差部には、他の画素用のNTFTが設けられている。このようなC/TF Tを用いたマトリクス構成を有せしめた。NTFT13は、ドレイン64の入力端のコンタクトを介し第1の走査線15に連結され、ゲイト56は多層配線形成がなされたデータ線21に連結されている。ソ - ス62の出力端はコンタクトを介して画素の電極17に連結している。

【0053】

他方、PTFT22はドレイン58の入力端がコンタクトを介して第2の走査線18に連結され、ゲイト55はデータ線21に、ソ - ス59の出力端はコンタクトを介してNTFTと同様に画素電極17に連結している。かくして一対の走査線15、18に挟まれた間（内側）に、透明導電膜よりなる画素23とC/TF Tとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、 2×2 のマトリクスをそれを拡大した 640×480 、 1280×960 といった大画素の液晶表示装置とすることができる。

【0054】

このようにスイッチング素子と同じプロセスで作製されたNTFT13とPTFT22とが設けられたCMOS構成となっている。

【0055】

上記のようにして、片方の基板を完成し、他方の基板と従来よりの方法で貼り合わせ、STN液晶を基板間に注入する。次に、残りの周辺回路として、IC4を使用する。このIC4はCOGにより基板のX方向の配線およびY方向の配線の各々と接続されている。このIC4には外部から電源、データの供給の為に接続リードが各々に接続されているだけで、基板の一边全てに接続の為にFPCが張りつけられているようなことはなく、接続部分の数が相当減り信頼性が向上する。上記のようにして、液晶表示装置を完成した。

【0056】

本実施例においては、X方向側の周辺回路のうちアナログスイッチアレー部分1のみをY方向側の周辺回路のうちアナログスイッチアレー部分2のみをTF T化し、スイッチング素子と同じプロセスでC/TF T化し、残りの周辺回路部分をIC4で構成したが、特にこの構成に限定されることはなく、TF T化する際の歩留り、TF T化する際のプロセス技術上の問題等を考慮して、よりTF T化が簡単な部分のみをTF T化すればよい。

【0057】

本実施例では半導体膜として、セミアモルファス半導体を使用したもので、その移動度は非単結晶半導体を使用したTF Tに比べて10倍以上の値が得られている。そのため、早い応答速度を必要とされる周辺の回路のTF Tにも、十分使用でき、従来のように、周辺回路部分のTF Tを特別に結晶化処理する必要もなくアクティブ素子と同じプロセスで作成することができた。

【0058】

また、液晶の画素に接続されたアクティブ素子として、C/TF T構成としたので、動作マージンが拡大し、画素の電位がふらつくことはなく一定の表示レベルを確保でき、また一方のTF Tが不良でも特に目立った欠陥表示都ならない等の利点があった。

【0059】

【実施例2】

本実施例の液晶表示装置の概略外観図を図5に示す。基本的な回路等は実施例1と全く同じである。図5において、Y方向の配線に接続された周辺回路のうちIC4で構成されている部分は、COG法により、基板上に直接ICが形成されている。このIC4は基板の上下の部分に分けて設けられている。

【0060】

この場合IC4のパッド電極とY方向配線との接続にいて、ICを片側のみに形成した場合に比べてより間隔を狭くできる。その為より高精細な表示画素を設計できる特徴をもつ

10

20

30

40

50

。さらに、基板上にＩＣを設けたので、その容積は殆ど増すことがなく、より薄型の液晶表示装置を提供することができた。

【００６１】

上記の実施例において、アクティブ素子のＴＦＴはいずれもＣＭＯＳ構成としたが、特にこの構成に限定されることはなく、ＮＴＦＴ、ＰＴＦＴのみで構成してもよい、その場合は周辺回路の構成がより素子数が増すことになる。

【００６２】

また、基板上にＴＦＴを形成する位置をＸ方向またはＹ方向の配線と繋がっている一方側のみではなく、もう一方の側にもＴＦＴを形成して、交互にＴＦＴを接続し、ＴＦＴの密度を半分として、ＴＦＴの製造歩留りを向上させることを実現した。

10

【００６３】

【発明の効果】

本発明により、液晶表示を外部の接続技術上の制限の為に高精細化できないことはなくなった。また、Ｘ方向の配線またはＹ方向の配線と外部の周辺回路との不要な接続を極力へらせることができたので、接続部分での信頼性が向上した。

【００６４】

一部の周辺回路のみをＴＦＴ化するため、ディスプレイ基板自身の専有面積をへらすことができ、かつ必要とされる寸法形状に自由に基板の設計ができる。また、ＴＦＴの製造上の問題を回避して、製造歩留りの高い部分のみをＴＦＴ化できる。よって、製造コストを下げる事ができた。

20

【００６５】

ＴＦＴに使用する半導体膜として、セミアモルファス半導体を使用したので、周辺回路用にも十分使用できる応答速度が得られ、アクティブ素子の作成プロセスのまま特別な処理をすることもなく、周辺回路用のＴＦＴを同時に作成することができた。

【００６６】

本発明は相補型のＴＦＴをマトリクス化された各画素に連結することにより、▲１▼しきい値の明確化 ▲２▼スイッチング速度の増加 ▲３▼動作マージンの拡大 ▲４▼不良ＴＦＴが一部にあってもその補償をある程度行うことができる。 ▲５▼作製に必要なフォトリソマスク数はＮＴＦＴのみの従来例に比べて２回多くなるのみである。▲６▼キャリアの移動度がアモルファス珪素を用いた場合に比べ１０倍以上も大きいため、ＴＦＴの大きさを小さくでき、１つのピクセル内に２つのＴＦＴをつけても開口率の減少をほとんど伴わない。 という多くの特長を有する。

30

【００６７】

そのため、これまでのＮＴＦＴのみを用いるアクティブＴＦＴ液晶装置に比べて、数段の製造歩留まりと画面の鮮やかさを成就できるようになった。

【図面の簡単な説明】

【図１】 $m \times n$ の回路構成の液晶表示装置を示す図。

【図２】 液晶表示装置の画素部分の配置の様子を示す図。

【図３】 ＴＦＴの作製工程の概略を示す図。

【図４】 ＴＦＴの作製工程の概略を示す図。

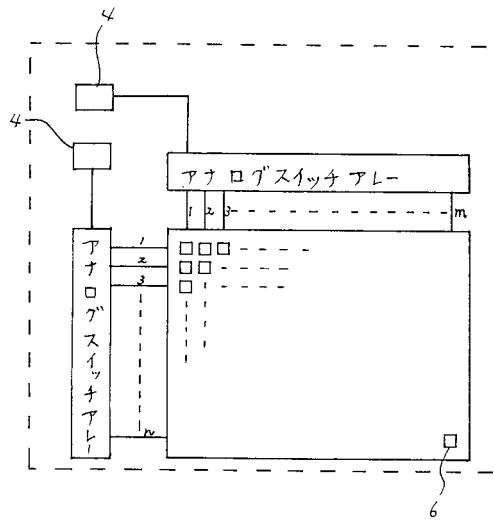
40

【図５】 他の実施例を示す図。

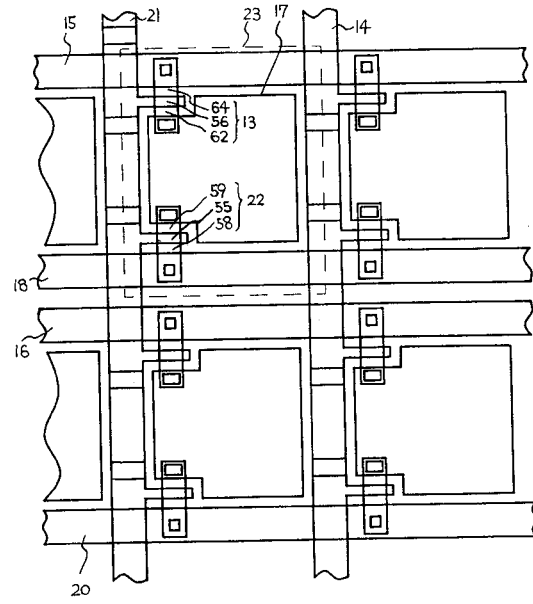
【符号の説明】

- １、２・・・・・・周辺回路
- ４・・・・・・ＩＣ
- ５・・・・・・ＴＦＴ化した周辺回路
- ６・・・・・・画素
- １３・・・・・・ＮＴＦＴ
- ２２・・・・・・ＰＴＦＴ

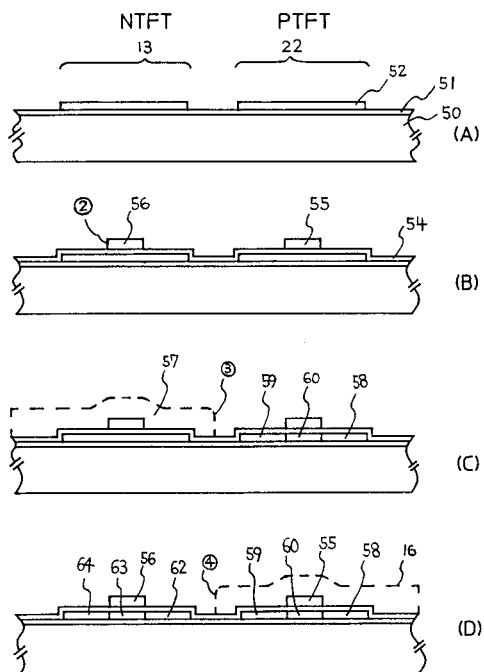
【図 1】



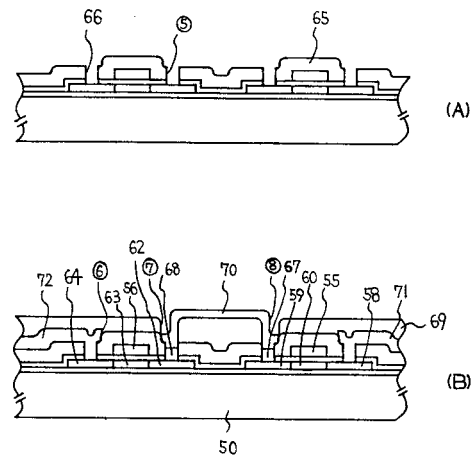
【図 2】



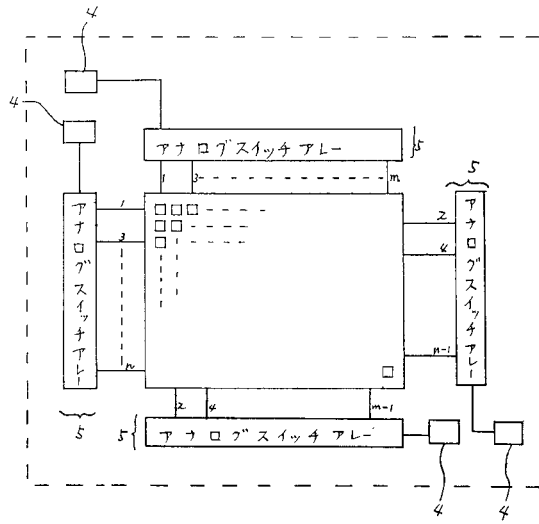
【図 3】



【図 4】



【図 5】



フロントページの続き

- (56)参考文献 特開平 1 - 2 8 9 9 1 7 (J P , A)
特開昭 6 2 - 5 2 9 2 4 (J P , A)
特開昭 6 1 - 8 0 2 2 6 (J P , A)
特開昭 5 4 - 1 5 4 9 9 2 (J P , A)
特開昭 5 7 - 1 0 0 4 6 7 (J P , A)
特開昭 6 1 - 5 5 7 8 (J P , A)

专利名称(译)	表示装置、液晶表示装置及び集积回路		
公开(公告)号	JP3672084B2	公开(公告)日	2005-07-13
申请号	JP2000310309	申请日	2000-10-11
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平		
发明人	山崎 舜平		
IPC分类号	G02F1/136 G02F1/1368 G09F9/00 G09F9/30 H01L29/786		
FI分类号	G09F9/30.338 G09F9/00.348.C G02F1/136.500 H01L29/78.612.B G02F1/1368 G09F9/00.348.Z		
F-TERM分类号	2H092/GA28 2H092/GA59 2H092/GA60 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB42 2H092/KA03 2H092/KA05 2H092/MA05 2H092/NA27 2H092/NA29 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB24 2H192/CB34 2H192/CC72 2H192/EA67 2H192/FB03 2H192/FB05 2H192/FB27 5C094/AA42 5C094/AA43 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB02 5C094/DB04 5C094/EA04 5C094/EB02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5F110/AA16 5F110/AA17 5F110/BB01 5F110/CC02 5F110/CC07 5F110/DD02 5F110/DD13 5F110/EE09 5F110/FF02 5F110/FF28 5F110/GG02 5F110/GG15 5F110/GG24 5F110/GG32 5F110/GG33 5F110/GG43 5F110/GG45 5F110/GG47 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HK04 5F110/HK05 5F110/HL03 5F110/NN02 5F110/NN03 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN35 5G435/AA14 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE37 5G435/KK05		
代理人(译)	玉木真一		
其他公开文献	JP2001159873A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供高性能的显示设备。 解决方案：在具有像素部分和用于驱动像素部分的电路的显示装置中，用于驱动像素部分和像素部分的电路是P沟道薄膜晶体管。

【 图 2 】

