

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3562585号
(P3562585)

(45) 発行日 平成16年9月8日(2004.9.8)

(24) 登録日 平成16年6月11日(2004.6.11)

(51) Int.Cl.⁷

F I

G09G 3/36
G02F 1/133
G09G 3/20G09G 3/36
G02F 1/133 550
G09G 3/20 611J
G09G 3/20 621B
G09G 3/20 623F

請求項の数 10 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2002-25520 (P2002-25520)
(22) 出願日 平成14年2月1日(2002.2.1)
(65) 公開番号 特開2003-228339 (P2003-228339A)
(43) 公開日 平成15年8月15日(2003.8.15)
審査請求日 平成14年2月1日(2002.2.1)(73) 特許権者 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(74) 代理人 100088328
弁理士 金田 暢之
(74) 代理人 100106297
弁理士 伊藤 克博
(74) 代理人 100106138
弁理士 石橋 政幸
(72) 発明者 関根 裕之
東京都港区芝五丁目7番1号 日本電気株
式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素がマトリクス状に配置された画素マトリクスと、前記各画素に設けられた画素 T F T のソース端子に接続されるデータ線を駆動するデータドライバと、前記画素 T F T のゲート端子に接続されるゲート線を駆動するゲートドライバとから構成される液晶表示装置において、

前記画素マトリクスでは、各画素列毎に1本のデータ線が配線され、それぞれ奇数画素列の画素と偶数画素列の画素に接続された2本のゲート線が各画素行毎に配線され、

前記データドライバは、

データ線の本数と同数の出力を有するシフトレジスタと、

入力されたデジタル映像信号を前記シフトレジスタの出力によりサンプリングする、画素行に含まれる画素数と同数のメモリと、

前記複数のメモリに記憶された信号を、映像信号の下位ビットから各ビット毎に順次出力する、前記メモリと同数のパラレル／シリアル変換回路と、

前記複数のデータ線のうちの隣接する2本のデータ線毎に設けられ、該2本のデータ線の負荷容量を用いることにより、前記複数のパラレル／シリアル変換回路のうちの奇数画素列の画素に対応したパラレル／シリアル変換回路からのデータを順次アナログデータに変換して奇数画素列の画素に印加し、前記複数のパラレル／シリアル変換回路のうちの偶数画素列の画素に対応したパラレル／シリアル変換回路からのデータを順次偶数画素列の画素に印加する、画素行に含まれる画素数の半数のシリアルデジタル／アナログ変換回路と

10

20

、
を備えていることを特徴とする液晶表示装置。

【請求項 2】

前記複数のシリアルデジタル／アナログ変換回路は、それぞれ、
2つのパラレル／シリアル変換回路の出力のうちのいずれかを選択するための第1のスイッチと、

前記第1のスイッチからの出力と第1の制御信号とを入力とするアンド回路と、
一方の端子が第1の電源線に接続され、前記アンド回路の出力により制御される第2のスイッチと、

前記アンド回路の出力の論理を反転するインバータと、
一方の端子が第2の電源線に接続され、前記インバータの出力により制御される第3のスイッチと、

一方の端子が前記第2のスイッチの他方の端子および前記第3のスイッチの他方の端子に接続され、他方の端子が2本のデータ線のうちのいずれか一方に接続され、第2の制御信号により制御される第4のスイッチと、

2つの端子が、前記2本のデータ線にそれぞれ接続され、第3の制御信号により制御される第5のスイッチと、から構成される請求項1記載の液晶表示装置。

【請求項 3】

前記ゲートドライバが、前記画素マトリクス of 両側に設けられた第1および第2のゲートドライバにより構成され、前記2本のゲート線は、前記第1および第2のゲートドライバにより共通して駆動される請求項1または2記載の液晶表示装置。

【請求項 4】

前記ゲートドライバが、前記画素マトリクス of 両側に設けられた第1および第2のゲートドライバにより構成され、前記2本のゲート線は、前記第1および第2のゲートドライバによりそれぞれ独立して駆動される請求項1または2記載の液晶表示装置。

【請求項 5】

請求項1記載の液晶表示装置を駆動するための液晶表示装置の駆動方法であって、
前記各メモリから前記パラレル／シリアル変換回路へ信号を転送するステップと、

奇数画素列の画素に信号を書き込む期間として、奇数画素列の画素に対応したパラレル／シリアル変換回路から出力された信号がハイレベルの場合には前記2本のデータ線の負荷容量のうちの一方に前記第1の電源線の電圧を書き込んだ後に前記2つの負荷容量に書き込まれた電荷を平均化し、前記パラレル／シリアル変換回路から出力された信号がロウレベルの場合には前記2本のデータ線の負荷容量のうちの一方に前記第2の電源線の電圧を書き込んだ後に前記2つの負荷容量に書き込まれた電荷を平均化するステップと、

映像信号を構成する全てのビットに対して、前記2つの負荷容量に第1または第2の電源線の電圧を書き込んで電荷の平均化を行う処理が終了した後に、前記負荷容量の電圧を奇数画素列の各画素に印加するステップと、

偶数画素列の画素に信号を書き込む期間として、偶数画素列の画素に対応したパラレル／シリアル変換回路から出力された信号がハイレベルの場合には前記2本のデータ線の負荷容量のうちの一方に前記第1の電源線の電圧を書き込んだ後に前記2つの負荷容量に書き込まれた電荷を平均化し、前記パラレル／シリアル変換回路から出力された信号がロウレベルの場合には前記2本のデータ線の負荷容量のうちの一方に前記第2の電源線の電圧を書き込んだ後に前記2つの負荷容量に書き込まれた電荷を平均化するステップと、

映像信号を構成する全てのビットに対して、前記2つの負荷容量に第1または第2の電源線の電圧を書き込んで電荷の平均化を行う処理が終了した後に、前記負荷容量の電圧を偶数画素列の各画素に印加するステップと、を備えた液晶表示装置の駆動方法。

【請求項 6】

フレーム毎に第1の電源線V_Sの電圧を、画素に印加される電圧のうちで最も低い電圧V_Lと画素に印加される電圧のうちで最も高い電圧V_Hとの間で切り替えることによりフレーム反転駆動を行う請求項5記載の液晶表示装置の駆動方法。

10

20

30

40

50

【請求項 7】

1 水平期間毎に前記第 1 の電源線 V S の電圧を、画素に印加される電圧のうちで最も低い電圧 V L と画素に印加される電圧のうちで最も高い電圧 V H との間で切り替えることによりゲート線反転駆動を行う請求項 5 記載の液晶表示装置の駆動方法。

【請求項 8】

奇数画素列への書き込みを行う 1 水平期間の前半は前記第 1 の電源線を、画素に印加される電圧のうちで最も高い電圧 V H または画素に印加される電圧のうちで最も低い電圧 V L とし、偶数画素列への書き込みを行う 1 水平期間の後半は前記第 1 の電源線を前記電圧 V L または前記電圧 V H とすることによりデータ線反転駆動を行う請求項 5 記載の液晶表示装置の駆動方法。

10

【請求項 9】

奇数フレームの第 n 行においては、奇数画素列への書き込みを行う 1 水平期間の前半は前記第 1 の電源線を、画素に印加される電圧のうちで最も高い電圧 V H とし、偶数画素列への書き込みを行う 1 水平期間の後半は前記第 1 の電源線を、画素に印加される電圧のうちで最も低い電圧 V L とし、奇数フレームの第 n + 1 行においては、奇数画素列への書き込みを行う 1 水平期間の前半は前記第 1 の電源線の電圧を前記電圧 V L とし、偶数画素列への書き込みを行う 1 水平期間の後半は前記第 1 の電源線を前記電圧 V H とすることによりドット反転駆動を行う請求項 5 記載の液晶表示装置の駆動方法。

【請求項 10】

偶数フレームの第 n 行においては、奇数画素列への書き込みを行う 1 水平期間の前半は前記第 1 の電源線の電圧を、画素に印加される電圧のうちで最も低い電圧 V L とし、偶数画素列への書き込みを行う 1 水平期間の後半は前記第 1 の電源線の電圧を、画素に印加される電圧のうちで最も高い電圧 V H とし、奇数フレームの第 n + 1 行においては、奇数画素列への書き込みを行う 1 水平期間の前半は前記第 1 の電源線の電圧を前記電圧 V H とし、偶数画素列への書き込みを行う 1 水平期間の後半は前記第 1 の電源線を前記電圧 V L とすることによりドット反転駆動を行う請求項 5 記載の液晶表示装置の駆動方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の画素がマトリクス状に配置された画素マトリクスを備えた液晶表示装置に関し、特に、デジタル映像信号を入力して画素マトリクスの各画素を駆動するための液晶表示装置およびその駆動方法に関する。

30

【0002】

【従来の技術】

現在の液晶表示装置では、各画素にアクティブ素子である T F T（薄膜トランジスタ）を設けたアクティブマトリクス型液晶表示装置が、その良好な表示特性から主流となっている。その中でも特に、アクティブ素子として多結晶シリコン（p o l y - S i : ポリシリコン）T F T を用いたものに主流が移りつつある。これは、各画素に多結晶シリコン T F T を用いた場合、画素 T F T 以外に、画素 T F T のゲートに接続されるゲート線を駆動するゲートドライバ、画素 T F T のソース端子に接続されるデータ線を駆動するデータドライバを、画素が作り込まれるガラス基板上に同時に作製することができるからである。これにより、液晶表示装置と外部回路の接続端子数を大幅に削減でき、液晶表示装置モジュールの小型化と、外部回路の簡略化に伴う低価格化を実現することができる。しかしながら、多結晶シリコン T F T はその特性ばらつきが単結晶シリコントランジスタに比較し大きいので、高精度なアナログ回路を実現するのが困難であった。そのため、アナログ信号である映像信号を扱うデータドライバは、外部回路から供給される信号をサンプリングする単純なスイッチと、そのスイッチを制御する走査回路とで構成されることが多い。液晶素子に印加する電圧が対向電極に対し ± 5 V 程度必要であることから、液晶表示装置に供給されるアナログ映像信号は 10 V 程度の電圧振幅となる。また、アナログ映像信号の周波数も数 M H z から十数 M H z と比較的高く、映像信号を液晶表示装置に供給する外部

40

50

回路の大きな負担となっている。

【0003】

このような理由から、映像信号をデジタルデータの形で液晶表示装置に供給し、液晶表示装置においてアナログ信号に変換することで、外部回路の簡略化と低価格化を実現する試みが多く行われてきた。具体的には、データドライバ内にDACを設けることにより液晶表示装置がデジタルの映像信号を扱うことができるようにすることが行われている。このような液晶表示装置のデータドライバに使用されるDACの代表的な例を図24に示す。図24に示したDAC50は“SID (SOCIETY FOR INFORMATION DISPLAY) 96 Digest p22-24, Y. Matsueda”において報告されている多結晶シリコンTFTによるデータドライバ用DAC (Digital-Analog-Converter) を等価的に示したものである。このDAC50は一般的に容量アレイ型DACと呼ばれているものの变形であり、バイナリに重み付けされた容量アレイC1~Cnと、補助容量C0、DAC50の負荷となるデータ線の負荷容量(寄生容量)Cdとの間の電荷再分配によりデジタル/アナログ変換がなされる。この構成の場合、DAC50を容量C1~Cnとスイッチで構成することが可能であることから、素子特性ばらつきが大きい多結晶シリコンTFTを用いても比較的精度の高いDACが実現できるというメリットがある。

10

【0004】

しかしながらこの方式では以下のような2つの問題が生ずる。1つは、ここに記載されているDAC50は、一般的な容量アレイ型DACとは異なり、DAC50の出力をアナログアンプを通さずに直接負荷であるデータ線に供給するため、その出力電圧が容量アレイC1~Cnに印加する電圧よりも小さくなってしまいう問題である。この問題を解決するには負荷であるデータ線の負荷容量Cdと同程度かそれ以上の容量値を持つ容量アレイを作り込まなければならない。この場合DAC50の回路面積が大きくなるという新たな問題が生ずる。もう1つの問題は、DAC50の分解能を高くすると回路面積も同時に大きくなってしまいう問題である。これは分解能(デジタルデータビット数)と容量アレイの数が等しくなる事に起因する。

20

【0005】

【発明が解決しようとする課題】

上述した従来の液晶表示装置では、特性変動の大きい多結晶シリコンTFTを用いて構成した液晶表示装置上に、デジタルデータの映像信号を処理するためのDACをを構成しようとすると、下記のような問題点があった。

30

(1) DACの出力電圧がデータ線の負荷容量による影響を受けて小さくなってしまいDA変換の精度が低下してしまう。

(2) デジタルデータである映像信号のビット数だけ容量アレイの数が必要となるため、DACの分解能を高くすると回路面積が増大してしまう。

【0006】

本発明の目的は、データ線の負荷容量により影響を受けることなく高精度のDA変換を行うことができるDACを備えた液晶表示装置を提供することである。

【0007】

40

また、本発明の他の目的は、分解能を高くしても回路面積が増大しないDACを備えた液晶表示装置を提供することである。

【0008】

【課題を解決するための手段】

上記目的を達成するために、本発明の液晶表示装置は、複数の画素がマトリクス状に配置された画素マトリクスと、前記各画素に設けられた画素TFTのソース端子に接続されるデータ線を駆動するデータドライバと、前記画素TFTのゲート端子に接続されるゲート線を駆動するゲートドライバとから構成される液晶表示装置において、前記画素マトリクスでは、各画素列毎に1本のデータ線が配線され、それぞれ奇数画素列の画素と偶数画素列の画素に接続された2本のゲート線が各画素行毎に配線され、

50

前記データドライバが、
データ線の本数と同数の出力を有するシフトレジスタと、
入力されたデジタル映像信号を前記シフトレジスタの出力によりサンプリングする、画素行に含まれる画素数と同数のメモリと、
前記複数のメモリに記憶された信号を、映像信号の下位ビットから各ビット毎に順次出力する、前記メモリと同数のパラレル／シリアル変換回路と、
前記複数のデータ線のうちの隣接する2本のデータ線毎に設けられ、該2本のデータ線の負荷容量を用いることにより、前記複数のパラレル／シリアル変換回路のうちの奇数画素列の画素に対応したパラレル／シリアル変換回路からのデータを順次アナログデータに変換して奇数画素列の画素に印加し、前記複数のパラレル／シリアル変換回路のうちの偶数画素列の画素に対応したパラレル／シリアル変換回路からのデータを順次偶数画素列の画素に印加する、画素行に含まれる画素数の半数のシリアルデジタル／アナログ変換回路と、
を備えていることを特徴とする。

【0009】

本発明によれば、シリアルデジタル／アナログ変換回路は、パラレル／シリアル変換回路からの信号を負荷となる2つのデータ線の負荷容量を用いてD/A変換を行っているため、シリアルデジタル／アナログ変換回路の誤差要因は2つの負荷容量の容量差のみで決まり、T/F/Tは単純なスイッチとして働くだけである。そのため、液晶表示装置を多結晶シリコンにより構成してT/F/Tの特性が変動した場合でも、シリアルデジタル／アナログ変換回路の出力誤差の原因とはならない。そのため、D/A/Cの出力電圧は、データ線の負荷容量により影響を受けることなく高精度のD/A変換を行うことができる。

【0010】

さらに、本発明、デジタルデータである映像信号のD/A変換を行うD/A/C部分は、シリアルに転送されてくるデジタルデータを順次変換するシリアルD/A/Cの構成を用いているため、変換する映像信号のビット数に依存せずに一定である。そのため、入力する映像信号のビットを増加させても、メモリおよびシリアル／パラレル変換回路のみが増加するのみで、D/A/C部分は増加することがない。そのため、容量アレイ型D/A/Cを用いた従来の液晶表示装置と比較して多ビット化した際により少ない面積で実現することが可能となる。つまり、デジタルデータである映像信号のビット数だけ容量アレイの数が必要となるため、D/A/Cの分解能を高くしても回路面積が増大することがない。

【0011】

また、本発明の他の液晶表示装置では、前記複数のシリアルデジタル／アナログ変換回路が、それぞれ、
2つのパラレル／シリアル変換回路の出力のうちのいずれかを選択するための第1のスイッチと、
前記第1のスイッチからの出力と第1の制御信号とを入力とするアンド回路と、
一方の端子が第1の電源線に接続され、前記アンド回路の出力により制御される第2のスイッチと、
前記アンド回路の出力の論理を反転するインバータと、
一方の端子が第2の電源線に接続され、前記インバータの出力により制御される第3のスイッチと、
一方の端子が前記第2のスイッチの他方の端子および前記第3のスイッチの他方の端子に接続され、他方の端子が2本のデータ線のうちのいずれか一方に接続され、第2の制御信号により制御される第4のスイッチと、
2つの端子が、前記2本のデータ線にそれぞれ接続され、第3の制御信号により制御される第5のスイッチと、から構成される。

【0012】

さらに、前記ゲートドライバを、前記画素マトリクスの上側に設けられた第1および第2のゲートドライバにより構成し、前記2本のゲート線は、前記第1および第2のゲート

10

20

30

40

50

ライバにより共通して駆動されるようにしてもよいし、前記第1および第2のゲートドライバによりそれぞれ独立して駆動されるようにしてもよい。

【0013】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】

（第1の実施形態）

本発明の第1の実施形態の液晶表示装置の構成を図1を用いて説明する。ここでは、説明のため映像信号V0～V5のデータビット数を6ビットとしている。

【0015】

本実施形態の液晶表示装置は、図1に示されるように、複数の画素がマトリクス状に配置された画素マトリクスと、各画素の画素TFTのソース端子に接続されるデータ線を駆動するデータドライバ20と、画素TFTのゲート端子に接続されるゲート線を駆動するゲートドライバ40₁、40₂とで構成される。そして、画素マトリクスは、各画素毎にアクティブ素子である画素TFTと、そのドレイン端子に接続される液晶容量、蓄積容量とで構成される。さらに、画素マトリクスでは、各画素列毎に1本のデータ線が配線され、それぞれ奇数画素列の画素と偶数画素列の画素に接続された2本のゲート線が各画素行毎に配線されている。

【0016】

また、データドライバ20は、データ線と同数以上の出力を有するシフトレジスタ11と、シフトレジスタ11の出力によりデジタル映像信号をサンプリングするメモリMEMa1～MEMa4、MEMb1～MEMb4と、メモリMEMa1～MEMa4、MEMb1～MEMb4に記憶された信号を各ビット毎に順次SDAC10₁～10₄へ出力するパラレル／シリアル変換回路(PSC)12₁～12₄と、8つのデータ線D1～D8の2本毎に設けられたSDAC10₁～10₄とで構成される。ゲートドライバ40₁、40₂は、それぞれ画素行と同数以上の出力を有するシフトレジスタと、そのシフトレジスタの出力を2分割するデコーダとから構成される。

【0017】

本実施形態の液晶表示装置は、SDAC10₁～10₄の構成と画素マトリクスの構成に特徴を有する。

【0018】

本実施形態におけるSDAC10₁～10₄は、複数のデータ線のうちの隣接する2本のデータ線毎に設けられ、この2本のデータ線の負荷容量を用いることにより、PSC12₁～12₈のうちの奇数画素列の画素に対応したパラレル／シリアル変換回路からのデータを順次アナログデータに変換して奇数画素列の画素に印加し、偶数画素列の画素に対応したパラレル／シリアル変換回路からのデータを順次偶数画素列の画素に印加する。

【0019】

次にデータドライバ20、ゲートドライバ40₁、40₂に用いられている各要素回路の具体的な一実施形態を説明する。図2は、データドライバ20を構成するシフトレジスタ11の一例を示す回路図であり、各出力端子毎に2つのクロックインバータと1つのインバータで構成されている。このシフトレジスタ回路11は位相の異なる2つのクロック信号CD、／CDとスタート信号DSTにより制御される。

【0020】

図3はデータドライバ20を構成するメモリMEMan、MEMbn（n＝1～4）の一例を示す回路図である。このメモリMEMan、bnはシフトレジスタ11の出力信号SP（2n）、SP（2n－1）により、外部から供給される映像信号V0～V5をDFF（Dフリップフロップ）にラッチする動作を行っている。

【0021】

図4はデータドライバ20を構成するパラレル／シリアル変換回路(PSC)12₁～12₈の一例を示す回路図であり、メモリMEMan、MEMbnの出力を、直列に接続さ

10

20

30

40

50

れた D F F に転送し、それを順次出力する働きをする。メモリ M E M a n、M E M b n からのデータ転送は制御信号 T D、／T D により制御され、データの順次出力はクロック信号 C S O、C S E で制御される。このクロック信号 C S O は、1 つの S D A C に接続された 2 つの P S C の内、奇数番目の P S C を制御するものであり、クロック信号 C S E は偶数番目の P S C を制御するものである。

【0022】

図 5 はゲートドライバ 4 0₁、4 0₂ の一例を示す回路図であり、2 つのクロック信号 C G、／C G とスタート信号 G S T とにより制御されるシフトレジスタと、2 つのアンド回路により構成され、制御信号 E G O、E G E によりシフトレジスタの出力を 2 つに分割するデコード回路とで構成される。

10

【0023】

次に、本実施形態の液晶表示装置の動作について図面を参照して詳細に説明する。

【0024】

本実施形態の液晶表示装置の動作の説明として、まず先に S D A C 1 0₁ ～ 1 0₄ の動作を等価回路とタイミングチャートを用いて説明する。図 6 は S D A C 1 0₁ ～ 1 0₄ のうちの 1 回路分の等価回路を示している。S D A C 1 0₁ は、2 つの P S C 1 2₁、1 2₂ の出力のうちのいずれかを選択するための 2 つのスイッチ S L O、S L E と、スイッチ S L O、S L E からの出力と制御信号 R S T D とを入力とするアンド回路 1 と、アンド回路 1 の出力により制御されるスイッチ S W D と、アンド回路 1 の出力の論理を反転するインバータ 2 と、インバータ 2 の出力により制御されるスイッチ S W R と、制御信号 C G で制御されるスイッチ S W G と、スイッチ S W G と 2 本のデータ線に接続され制御信号 D I V により制御されるスイッチ S W V とから構成される。スイッチ S W D の各端子は電源線 V S とスイッチ S W G にそれぞれ接続され、スイッチ S W R の各端子は電源線 V R とスイッチ S W G にそれぞれ接続され、スイッチ S W G のもう一方の端子は、D A C に接続される 2 本のデータ線の内の 1 本に接続され、スイッチ S W V の 2 つの端子は、D A C に接続される 2 本のデータ線にそれぞれ接続される。画素マトリクスにおいては、既に述べたように各画素行毎に 2 本のゲート線が設けられており、そのゲート線と画素 T F T のゲート端子の接続の特徴として、1 つの D A C に接続された隣り合う 2 列の画素列の内、一方が上述の 1 本のゲート線に接続され、もう一方が別のゲート線に接続されていることを特徴としている。

20

30

【0025】

図 6 中スイッチ S W V に接続された 2 つの負荷容量 C S 1、C S 2 は S D A C 1 0₁ の負荷である 2 本のデータ線の負荷容量を示しており、この回路の入力端子である D は、P S C 1 2₁ ～ 1 2₈ からの出力を表している。ここで、容量 C S 1 と C S 2 の容量値は等しいとする。図 7 に動作を説明するためのタイミングチャートを示す。この図 7 では、“1 1 0 1 0 1” という 6 ビットの信号が D 端子から入力されて D A 変換される場合を用いて具体的に説明する。

【0026】

液晶パネルの 1 行分の映像信号を画素マトリクスに表示する 1 水平時間を 1 H とすると、この S D A C では、奇数画素列に信号を書き込む期間 (T r a ～ T w a) と偶数画素列に信号を書き込む期間 (T r b ～ T w b)、そしてメモリ M E M a n、M E M b n から P S C 1 2₁ ～ 1 2₈ へ信号を転送する期間 (T t f) に分けて動作する。まず、期間 T r a において R S T D 信号がローレベルとなるためアンド回路 1 の出力はデータ D に関わらずローレベルとなりインバータ 2 の出力はハイレベルとなり、スイッチ S W D がオフ、スイッチ S W R がオン状態となる。また、制御信号 C G、D I V がともにハイレベルであるため、スイッチ S W G、S W V 共にオン状態となる。そのため、負荷容量 C S 1、C S 2 共に電源線 V R の電圧が書き込まれリセットされる。

40

【0027】

次に、期間 T c a 0 では、この回路にデジタル化された映像信号の下位ビット信号 d a 0 が端子 D に入力される。この時図 6 では、信号 d a 0 がハイレベル、制御信号 R S T D、

50

C G、D I Vがそれぞれハイレベル、ハイレベル、ローレベルであるため、スイッチ S W Dがオン状態、スイッチ S W Rがオフ状態、スイッチ S W Vがオフ状態となり、負荷容量 C S 2に電源線 V Sの電圧が書き込まれる。

【0028】

期間 T d a 0では、C Gがローレベル、D I Vがハイレベルとなるため、スイッチ S W Gがオフ状態、スイッチ S W Vがオン状態となり、T c a 0の期間に負荷容量 C S 2に書き込まれた電荷がスイッチ S W Vを通して負荷容量 C S 1に分配されるため、2つの負荷容量 C S 1、C S 2のそれぞれの電圧 V c s 1、V c s 2は下記の式 (1) に示された値となる。

【0029】

$$V c s 1 = V c s 2 = 1 / 2 \times (V S - V R) \cdots (1)$$

同様に次ビットのデータ d a 1を期間 T c a 1、T d a 1で変換し、この動作を最上位ビットデータである d a 5まで繰り返される。つまり、端子 Dから入力された信号 d a nがハイレベルの場合には負荷容量 C S 2に電源線 V Sの電圧が書き込まれた後に負荷容量 C S 1と負荷容量 C S 2に書き込まれた電荷がスイッチ S W Vにより平均化され、D端子から入力された信号 d a nがローレベルの場合には負荷容量 C S 2に電源線 V Rの電圧が書き込まれた後に負荷容量 C S 1と負荷容量 C S 2に書き込まれた電荷がスイッチ S W Vにより平均化される。このような処理が順次行われることにより、期間 T d a 5の時点で2つの負荷容量の電圧は式 (2) で示された値を取る。

【0030】

$$V c s 1 = V c s 2 = \Sigma (2^{-n} \times D a n) \times (V S - V R) \cdots (2)$$

ここで、D a nは下位 nビット目のデータであり、“0”または“1”のどちらかの値を取るものとしている。また、ここに示した例では“0”がD端子のローレベルであり、“1”がハイレベルである。

【0031】

つまり、端子 Dに順次入力される nビットのデジタルデータ（ここでは6ビット）をアナログ値に変換し電圧が2つの負荷容量 C S 1、C S 2に書き込まれることになる。ここで、奇数番目の画素列の画素 T F Tを制御するゲート信号 G O mが期間 T r aから期間 T d a 5までハイレベルで、期間 T w aの初めにローレベルへと変化するため、奇数番目の画素列の画素に V c s 1の電圧が書き込まれる。

【0032】

同様に T r b～T w bまでの期間において、偶数画素列へのデジタル化された映像信号 D b 0～D b 5が順次入力されていくことにより、2つの負荷容量 C S 1、C S 2のそれぞれの電圧 V c s 1、V c s 2は下記の式 (3) で示された値となる。

【0033】

$$V c s 1 = V c s 2 = \Sigma (2^{-n} \times D b n) \times (V S - V R) \cdots (3)$$

ここで、D b nは下位 nビット目のデータであり、“0”または“1”のどちらかの値を取るものとしている。また、ここに示した例では“0”がD端子のローレベルであり、“1”がハイレベルである。

【0034】

この期間においては、偶数番目の画素列の画素 T F Tを制御するゲート信号 G E mが期間 T r bから期間 T d b 5までハイレベルで、期間 T w bの初めにローレベルへと変化するため、偶数番目の画素列の画素に V c s 2の電圧が書き込まれる。

【0035】

ここで、電源線 V Rを液晶表示装置の対向電極電位 V C O Mとし、画素に書き込む電圧として V C O Mよりも高い電圧（正極性電圧）とした場合、電源線 V Sを液晶画素に印加される最も高い電圧 V Hに設定することで、画素に正極性のアナログ電圧を書き込むことが可能となる。同様に V C O Mに対し低い電圧（負極性電圧）を書き込む場合には、電源線 V Rを V C O Mと同じ電位にし、電源線 V Sを液晶画素に印加される最も低い電圧 V Lに設定することで、画素に負極性のアナログ電圧を書き込むことが可能となる。これら V C

10

20

30

40

50

OM、VH、VLと液晶画素に印加される映像信号の関係を図8に示す。

【0036】

以上説明した動作により、1水平期間に奇数番目の画素列、偶数番目の画素列にアナログ変換された電圧が書き込まれ、この動作を画素行分繰り返すことで、画素マトリクス全体にアナログ変換された映像信号を書き込むことが可能となる。

【0037】

次に、データドライバ20全体の動作について、タイミングチャートを用い説明する。一般に、液晶を駆動する場合、極性が一定である直流を印加し続けると液晶物質の劣化などの悪影響をもたらす。このような不具合を防ぐために、所定のタイミングで印加電圧の極性を反転して得た交流による駆動を行う交流駆動方式が採用されている。ここでは、液晶の交流駆動のための方式としてゲート線反転駆動を行う例を示している。これ以外の反転駆動方式の実現方法については、後に説明する。

10

【0038】

図9はデータドライバ20の構成要素であるシフトレジスタ11の動作を示すタイミングチャートである。このシフトレジスタ11はスタート信号DSTと2相のクロック信号CD、/CDにより制御される。スタート信号DSTは1水平期間(1H)の周期でパルスが出力され、クロックは映像信号V0~V5と同じ周波数を持つパルスである。図2で示したシフトレジスタ11の各出力SP1~n+1は、スタート信号DSTがハイレベルに変化してからSP1、SP2、...の順にクロック周期と同じ長さのパルスを順次出力する。このパルスは図3に示したメモリMEMan、MEMbnのDFFのクロック信号として供給されるので、これにより図1で示したメモリMEMa1、MEMb1、MEMa2、...の順に、1画素行分の映像信号が順次サンプリングされる。

20

【0039】

図10はPSC12₁~12₈とSDAC10₁~10₈の動作を示したタイミングチャートである。まず、期間TtfにおいてPSC12₁~12₈の制御信号TDがハイレベルとなり、その間にパルス信号CSO、CSEが印加されるため、メモリMEMan、MEMbnに保持されていた1画素行分のデータが全て同時にPSC12₁~12₈に転送される。次にTra~Twaの記号で示された奇数画素列に映像信号を書き込む期間となる。この期間において、PSC12₁~12₈の出力を切り替える信号SDO、SDEがハイレベル、ローレベルとなるため、スイッチSLOがオン状態、スイッチSLEがオフ状態となり、PSC12_(2n-1)(nは正の自然数)の出力がSDAC10₁~10₄に接続される。この期間でのSDAC10₁~10₄の動作については既に説明しているので、PSC12₁~12₈からSDAC10₁~10₄へのデータの転送についてのみ説明する。

30

【0040】

奇数画素列へのデータはメモリMEManに保持されている。先のデータ転送期間Ttfにおいて、そのデータはPSC12_(2n-1)へ転送されているので、奇数画素列へのデータはPSC12_(2n-1)に保持されている。ここで、奇数画素列へのデータを保持しているPSC12_(2n-1)は、同じく偶数画素列へのデータを保持するPSC12_(2n)とは異なる制御信号で駆動されており、この期間において、PSC12_(2n-1)の制御信号CSOが期間Tca1、Tca2、...、Tca5の期間のみハイレベルとなる。そのため、期間Tca0においては、期間Ttfの時に転送された下位ビット信号Da0がDFF0に保持されているので、PSC12_(2n-1)の出力はDa0となる。同様に期間Tca1においてはCSOがハイレベルとなるため、DFF0~DFF5のデータがそれぞれシフトし、DFF0のデータがDa1となるため、PSC12_(2n-1)の出力はDa1となる。同様にTca2ではPSC12_(2n-1)の出力がDa2となり、図示したとおりMEMa(2n-1)に保持された奇数画素列の映像信号データが下位ビットから順次PSC12_(2n-1)の出力として出力される。よって、奇数画素列の選択画素に映像信号が書き込まれる。

40

【0041】

50

T r b ~ T w b で示される偶数画素列のデータを書き込む期間においては、S D O、S D E がローレベル、ハイレベルとなるため、スイッチ S L O がオフ状態、S L E がオン状態となり、P S C 1 2 (2 n) の出力が S D A C 1 0 1 ~ 1 0 4 に接続される。奇数画素列への書き込み期間と同様に、P S C (2 n) の制御信号 C S E が期間 T c b 1、T c b 2、・・・、T c b 5 の期間のみハイレベルとなるため、図示したとおり、期間 T c b 0 から T c b 5 にかけて順次データ D b 0 から D b 5 が S D A C 1 0 1 ~ 1 0 4 に出力される。よって、偶数画素列の選択画素に映像信号が書き込まれる。

【0042】

次に、ゲートドライバ 4 0 1、4 0 2 の動作について説明する。図 1 1 は図 5 に示したゲートドライバ 4 0 1、4 0 2 を画素マトリクス of 左右に配置した構成におけるタイミングチャートである。G S T はゲートドライバを構成するシフトレジスタのスタートパルスであり、画素マトリクス全体に映像信号を書き込むのに要する期間 1 V に 1 回パルスが出力される。C G、/ C G はシフトレジスタ回路 1 1 のクロック信号であり、1 H の周期のパルスである。E G O、E G E はシフトレジスタ 1 1 の出力を分割するデコード回路の制御信号である。スタートパルス G S T がハイレベルとなると、シフトレジスタ 1 1 はクロック C G に同期して 1 H の幅を有するパルスを G S R 1、G S R 2 の順次出力する。デコード回路ではシフトレジスタの出力を制御信号 E G O、E G E により時分割するので、結果としてゲート線 G O m、G E m に順次パルスが出力されていくこととなる。ここで、図 1 0 で図示したとおり、奇数画素列の画素 T F T のゲート端子に接続されるゲート線 G O m と、偶数画素列の画素 T F T のゲート端子に接続されるゲート線 G E m は、それぞれ、期間 T c a 0 ~ T d a 5、期間 T c b 0 ~ T d b 5 の間だけハイレベルになる必要があるため、制御信号 E G O、E G E のハイレベルとなる期間が先の期間と同じになるようにする。

【0043】

以上説明してきた動作により、デジタルデータとして液晶パネルに入力されたデータが順次画素に書き込まれ、2 次元の映像を書き込むことが可能となる。

【0044】

また、本構成では、液晶を交流駆動させるための反転駆動方式として、フレーム反転、ゲート線反転、データ線反転、ドット反転駆動が実現できる。各駆動を行う場合のタイミングチャートを図 1 2 ~ 1 8 に示す。

【0045】

図 1 2 はフレーム反転駆動を実現する際の電源線 V S のタイミングチャートを示したもので、フレーム毎に電源線 V S の電圧を V L と V H で切り替える。これにより、フレーム単位で画素に書き込まれる極性が異なることになる。よってフレーム反転駆動を実現することができる。

【0046】

図 1 3、図 1 4 はゲート線反転を実現する際の V S のタイミングチャートを示したものである。図 1 3 は奇数フレームの第 n、n + 1 行の信号を書き込む際のタイミングチャートで、1 水平期間毎に電源線 V S の電圧を V L と V H で切り替える。ここでは、第 n 行で V H、第 n + 1 行で V L としている。図 1 4 は偶数フレームの第 n、n + 1 行の信号を書き込む際のタイミングチャートで、奇数フレームの時とは逆に第 n 行で V L、第 n + 1 行で V H としている。これにより、1 フレーム単位では 1 行毎に画素に書き込まれる極性が交互に異なり、またフレーム間で見ると、正極性の信号が書き込まれる行と負極性が書き込まれる行が入れ替わることになる。よってゲート線反転駆動が実現できる。

【0047】

図 1 5、図 1 6 はデータ線反転駆動を行う際のタイミングチャートを示している。図 1 5 は奇数フレームの第 n、n + 1 行に映像信号を書き込む際のタイミングチャートで、1 水平期間の前半、つまり奇数画素列への書き込みの際に電源線 V S を V H とし、後半、つまり偶数画素列への書き込みの際には電源線 V S を V L としている。図 1 6 は偶数フレームの第 n、n + 1 行に映像信号を書き込む際のタイミングチャートで、1 水平期間の前半に

10

20

30

40

50

電源線VSをVLとし、後半に電源線VSをVHとしている。これにより、1フレーム単位では1画素列毎に極性が異なり、フレーム間で見ると正極性の信号が書き込まれる列と負極性の信号が書き込まれる列が入れ替わることになる。よってデータ線反転駆動が実現できる。

【0048】

図17、図18はドット反転駆動を行う際のタイミングチャートを示している。図17は奇数フレームの第n、n+1行に映像信号を書き込む際のタイミングチャートで、第n行においては前半、つまり奇数画素列に映像信号を書き込む際には電源線VSをVHとし、後半、つまり偶数画素列に映像信号を書き込む際には電源線VSをVLとしている。第n+1行においては前半に電源線VSをVLに、後半では電源線VSをVHとしている。これにより、第n行の奇数画素列には正極性の信号が、偶数画素列には負極性の信号が書き込まれ、次の第n+1行では逆に、奇数画素列に負極性、偶数画素列に正極性が書き込まれる。図18は偶数フレームの第n、n+1行に映像信号を書き込む際のタイミングチャートで、第n行の前半では電源線VSをVLに、後半では電源線VSをVHにし、第n+1行の前半では電源線VSをVHに、後半では電源線VSをVLにしている。これにより奇数フレームとは逆に、第n行の奇数画素列には負極性の信号が、偶数画素列には正極性の信号が書き込まれ、第n+1行の奇数画素列には正極性、偶数画素列には負極性が書き込まれる。よって、ドット反転駆動が実現できる。

【0049】

上記で説明したように、本実施形態の液晶表示装置では、SDAC10₁～10₄は、PSC12₁～12₈からの信号を負荷となる2つのデータ線の負荷容量CS1、CS2を用いてDA変換を行っているため、SDAC10₁～10₄の誤差要因がSDACの負荷となる2つのデータ線の負荷容量CS1、CS2の容量差で決まり、TFTは単純なスイッチとして働くだけである。そのため、液晶表示装置を多結晶シリコンにより構成してTFTの特性が変動した場合でも、SDAC10₁～10₄の出力誤差の原因とはならない。また、出力誤差の原因となるデータ線の負荷容量CS1、CS2は、画素マトリクス内のデータ線と他の配線、あるいはBM（ブラックマトリクス）などの導電膜との交差部で形成されるため、微小領域に置いてPRプロセスなどでの重ね合わせ誤差等が生じた場合でも、画素マトリクス全体ではキャンセルされるため、隣り合うデータ線での負荷容量の大きさにはほとんど誤差が生じない。そのため、本実施形態の液晶表示装置によれば、特性変動の大きい多結晶シリコンTFTを用いて高精度DACを実現することが可能となる。

【0050】

さらに、本実施形態の液晶表示装置では、デジタルデータである映像信号のDA変換を行うDAC部分は、シリアルに転送されてくるデジタルデータを順次変換するシリアルDACの構成を用いているため、変換するビット数に依存せずに一定である。そのため、入力する映像信号のビットを増加させても、メモリおよびSPCのみが増加するのみである。従って、容量アレイ型DACを用いた従来の液晶表示装置と比較して多ビット化した際により少ない面積で実現することが可能となる。つまり、小さな面積で多ビットDACを実現できる。

【0051】

(第2の実施形態)

次に、本発明の第2の実施形態の液晶表示装置について説明する。

【0052】

図19は本発明の第2の実施形態の液晶表示装置の構成を示すブロック図である。図19において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【0053】

上記で説明した第1の実施形態の液晶表示装置では、全てのゲート線が画素マトリクスの左右に配置された2つのゲートドライバ40₁、40₂により共通して駆動されているが

10

20

30

40

50

、図19に示すように、各画素行毎に設けられた2本のゲート線GO、GEのそれぞれを、画素マトリクスに左右に設けられた2つのゲートドライバ41₁、41₂によりそれぞれ別々に独立して駆動しても良い。この場合、2つのゲートドライバ41₁、41₂はそれぞれ図20、図21に示した回路で実現することが出来る。図20、図21で示したゲートドライバ41₁、41₂はシフトレジスタ回路の出力をアンド回路と制御信号EGOまたはEGEで波形整形する働きをする。ここで示した例では、画素マトリクスの左側に配置したゲートドライバで、奇数画素列の画素TF Tを駆動し、右側に配置したゲートドライバで、偶数画素列の画素TF Tを駆動しているが、これと逆の構成でも問題ない。

【0054】

次に、本実施形態の液晶表示装置の動作を図面を参照して詳細に説明する。

10

【0055】

本実施形態の液晶表示装置の動作は、上記で説明した第1の実施形態の液晶表示装置の動作とほぼ同じである。異なるのは左右に配置した2種のゲートドライバ41₁、41₂の駆動方法だけである。図22は、画素マトリクスの左側に配置されたゲートドライバ41₁のタイミングチャートであり、図23は右側に配置されたゲートドライバ41₂のタイミングチャートである。ゲートドライバはスタートパルスGST、クロックCG、／CGとデコード信号EGO、EGEで制御される。ここで、スタートパルスGSTとクロックCG、／CGは2つのゲートドライバ41₁、41₂で共通に用いられるが、デコード信号EGOは左側のゲートドライバ41₁でのみ用いられ、EGEは右側のゲートドライバ41₂でのみ用いられる。これにより、左側のゲートドライバ41₁は奇数画素列の画素TF Tのゲート端子に接続されたゲート線を駆動することになり、右側のゲートドライバ41₂は偶数画素列の画素TF Tのゲート端子に接続されたゲート線を駆動することとなる。

20

【0056】

【発明の効果】

以上説明したように、本発明によれば、下記のような効果を得ることができる。

(1) DACの誤差要因がDACの負荷となる2つのデータ線の負荷容量の容量差で決まり、TF Tは単純なスイッチとして働くため、TF Tの特性が変動した場合でも、出力誤差の原因とはならないため、特性変動の大きい多結晶シリコンTF Tを用いてもデータ線の負荷容量により影響を受けることなく高精度のDA変換を行うことができる。

30

(2) 本発明のDACは、シリアルに転送されてくるデジタルデータを順次変換するシリアルDACの構成を用いているため、DAC部分は変換ビット数に依存せず、変化する部分はメモリと、SPC回路だけである。そのため、入力する映像信号のビットを増加させても回路面積が増大することがない。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の液晶表示装置の構成を示すブロック図である。

【図2】図1中のシフトレジスタ11の構成を示す回路図である。

【図3】図1中のメモリMEM a 1～MEM a 4、MEM b 1～MEM b 4の構成を示す図である。

【図4】図1中のPSC（パラレル／シリアル変換回路）12₁～12₈の構成を示す回路図である。

40

【図5】図1中のゲートドライバ40₁、40₂の構成を示す回路図である。

【図6】図1中のSDAC 10₁～10₄の1回路分の等価回路を示す図である。

【図7】図6に示したSDACの動作を説明するためのタイミングチャートである。

【図8】VCOM、VH、VLと液晶画素に印加される映像信号の関係を示す図である。

【図9】データドライバ20の構成要素であるシフトレジスタ11の動作を示すタイミングチャートである。

【図10】PSC 12₁～12₈とSDAC 10₁～10₄の動作を示したタイミングチャートである。

【図11】図5に示したゲートドライバ40₁、40₂を画素マトリクスの左右に配置し

50

た構成における動作を示すタイミングチャートである。

【図 1 2】フレーム反転駆動を実現する際の電源線 V S のタイミングチャートである。

【図 1 3】ゲート線反転を実現する場合に奇数フレームの第 n、n + 1 行の信号を書き込む際の電源線 V S の変化を示すタイミングチャートである。

【図 1 4】ゲート線反転を実現する場合に偶数フレームの第 n、n + 1 行の信号を書き込む際の電源線 V S の変化を示すタイミングチャートである。

【図 1 5】データ線反転駆動を行う場合に奇数フレームの第 n、n + 1 行に映像信号を書き込む際の動作を示すタイミングチャートである。

【図 1 6】データ線反転駆動を行う場合に偶数フレームの第 n、n + 1 行に映像信号を書き込む際の動作を示すタイミングチャートである。

10

【図 1 7】ドット反転駆動を行う場合に奇数フレームの第 n、n + 1 行に映像信号を書き込む際の動作を示すタイミングチャートである。

【図 1 8】ドット反転駆動を行う場合に偶数フレームの第 n、n + 1 行に映像信号を書き込む際の動作を示すタイミングチャートである。

【図 1 9】本発明の第 2 の実施形態の液晶表示装置の構成を示すブロック図である。

【図 2 0】図 1 9 中のゲートドライバ 4 1₁ の構成を示す回路図である。

【図 2 1】図 1 9 中のゲートドライバ 4 1₂ の構成を示す回路図である。

【図 2 2】画素マトリクス of 左側に配置されたゲートドライバ 4 1₁ の動作を示すタイミングチャートである。

【図 2 3】画素マトリクス of 右側に配置されたゲートドライバ 4 1₂ の動作を示すタイミングチャートである。

20

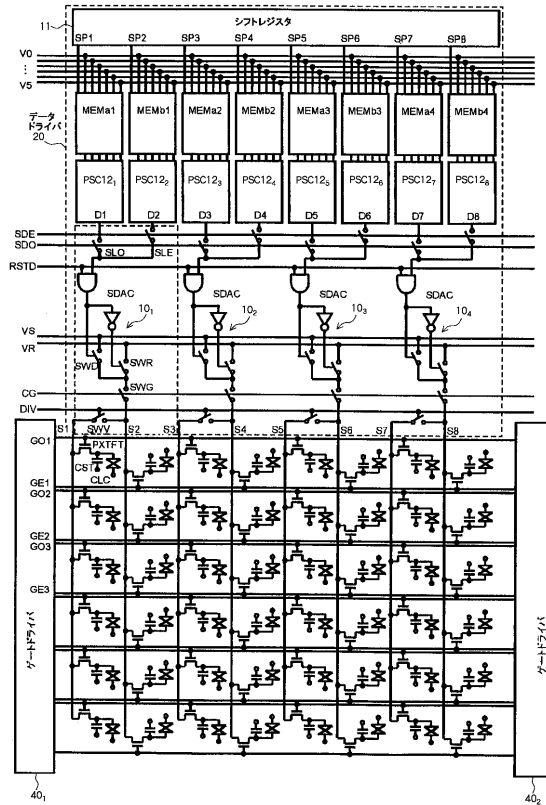
【図 2 4】従来の液晶表示装置に備えられた D A C 5 0 の構成を示すブロック図である。

【符号の説明】

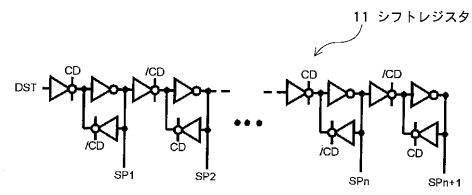
- 1 アンド回路
- 2 インバータ
- 1 0₁ ~ 1 0₄ シリアル デジタル／アナログコンバータ（S D A C）
- 1 1 シフトレジスタ
- 1 2₁ ~ 1 2₈ パラレル／シリアル変換回路（P S C）
- 2 0 データドライバ
- 4 0₁、4 0₂ ゲートドライバ
- 4 1₁、4 1₂ ゲートドライバ
- 5 0 デジタル／アナログコンバータ（D A C）
- C S 1、C S 2 負荷容量
- M E M a 1 ~ M E M a 4 メモリ
- M E M b 1 ~ M E M b 4 メモリ
- S W D、S W R、S W G、S W V スイッチ

30

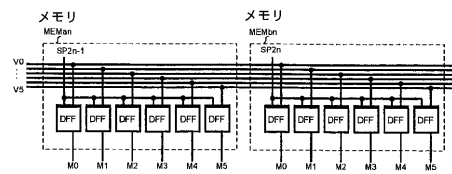
【図 1】



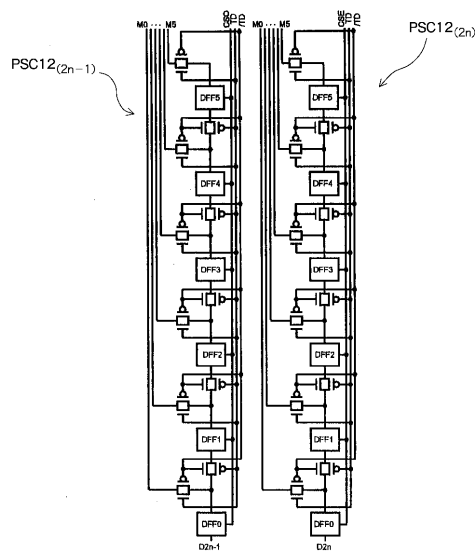
【図 2】



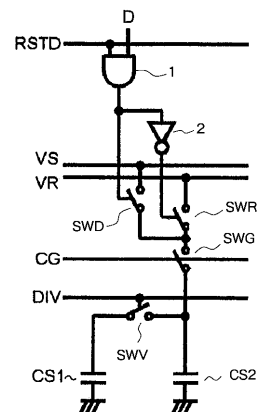
【図 3】



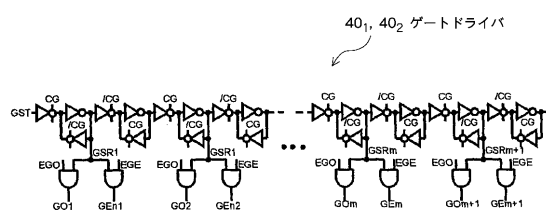
【図 4】



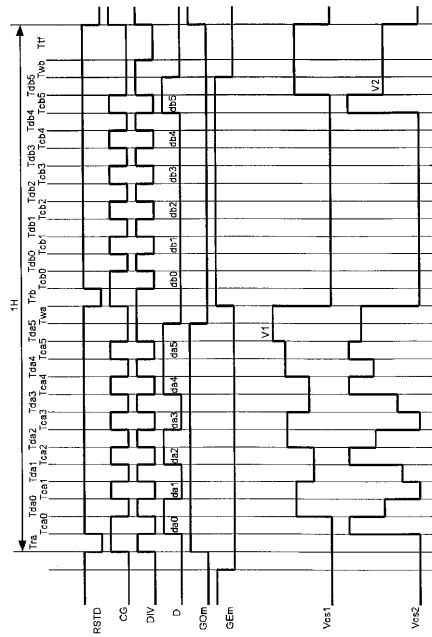
【図 6】



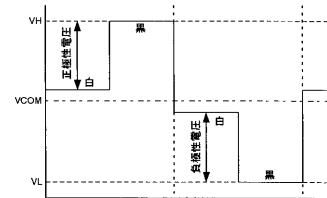
【図 5】



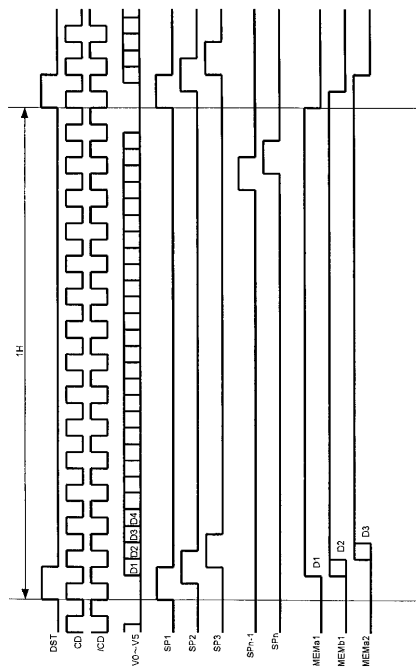
【図 7】



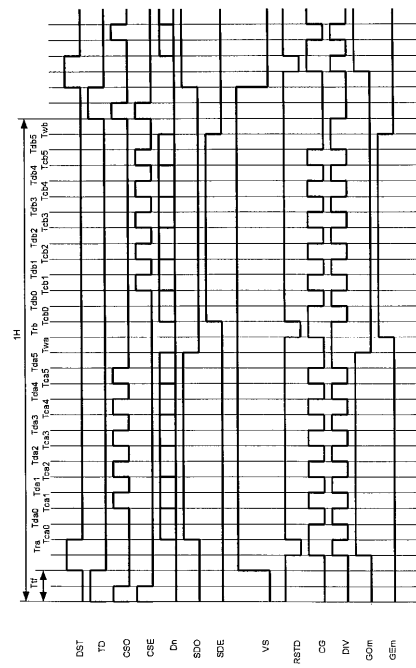
【図 8】



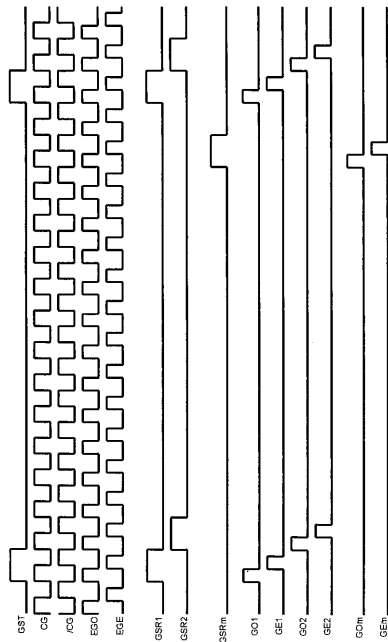
【図 9】



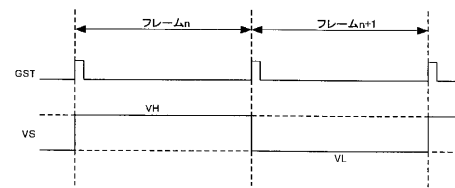
【図 10】



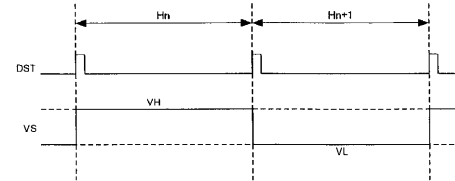
【図 1 1】



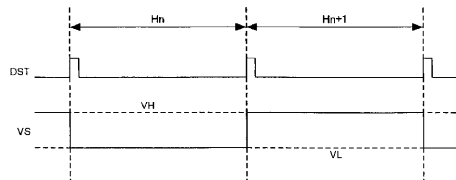
【図 1 2】



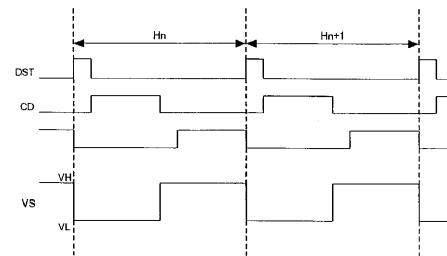
【図 1 3】



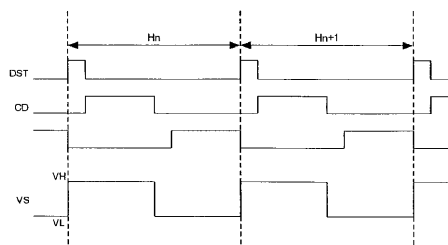
【図 1 4】



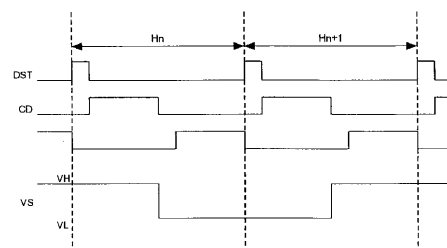
【図 1 6】



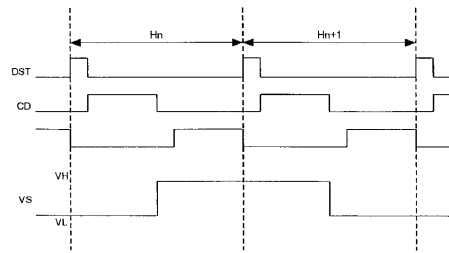
【図 1 5】



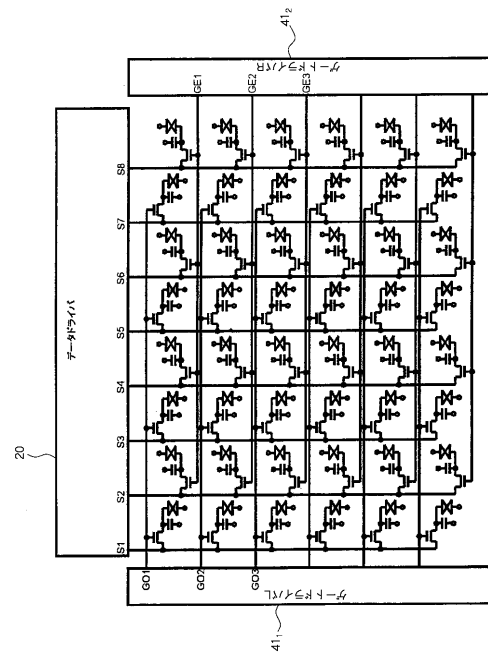
【図 1 7】



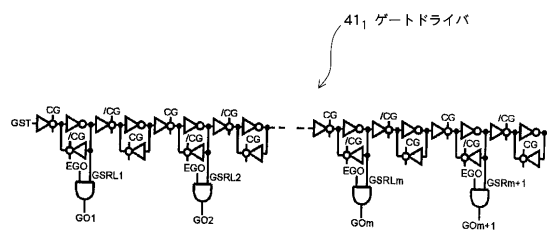
【図 18】



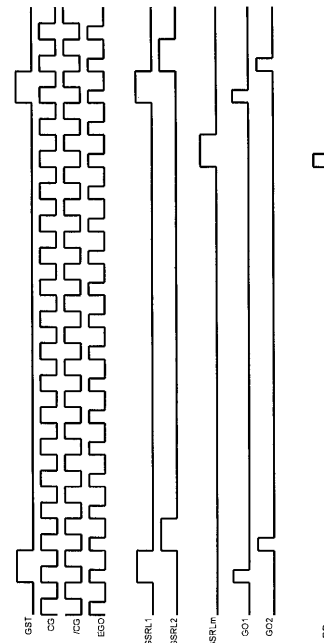
【図 19】



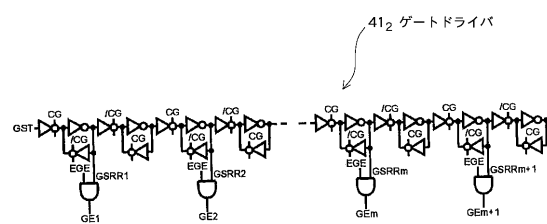
【図 20】



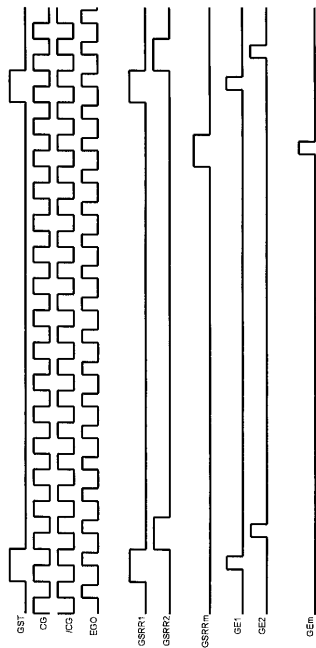
【図 22】



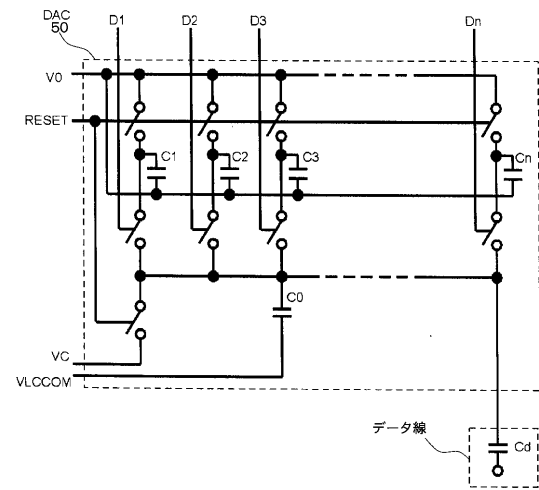
【図 21】



【図 2 3】



【図 2 4】



フロントページの続き

(51)Int.Cl.⁷

F I

G 0 9 G 3/20 6 2 3 W

(56)参考文献 特開2002-164511 (JP, A)

特開平11-296147 (JP, A)

特開昭52-117535 (JP, A)

特開平05-134629 (JP, A)

特開2000-305535 (JP, A)

特開平10-133174 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G09G 3/00- 3/38

G02F 1/133 505-580

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP3562585B2	公开(公告)日	2004-09-08
申请号	JP2002025520	申请日	2002-02-01
申请(专利权)人(译)	NEC公司		
当前申请(专利权)人(译)	NEC公司		
[标]发明人	関根裕之		
发明人	関根 裕之		
IPC分类号	G02F1/133 G09F9/30 G09F9/35 G09G3/20 G09G3/30 G09G3/36		
CPC分类号	G09G3/3688 G09G3/30 G09G3/3655 G09G2310/027 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.621.B G09G3/20.623.F G09G3/20.623.W G09F9/30.338 G09F9/35 G09G3/20.623.H G09G3/20.623.L G09G3/20.623.R		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NC22 2H093/NC23 2H093/NC34 2H093/ND60 2H193/ZA04 2H193/ZA08 2H193/ZC15 2H193/ZF23 2H193/ZF24 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AC28 5C006/AF25 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF50 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF26 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD09 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA10 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/FB19		
代理人(译)	伊藤 克博		
其他公开文献	JP2003228339A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在不受数据线负载能力影响的情况下执行DA转换。解决方案：数据驱动器20中提供的串行数模转换电路（SDAC）10 1至10 4由每两条相邻的数据线提供，并转换数据从PSC 10 1到10 8中的奇数像素阵列中的像素对应的并行到串行转换电路（PSC）通过使用负载依次进入模拟数据两个数据线的电容器将模拟数据施加到奇数像素阵列的像素，同时将来自对应于偶数像素阵列的像素的PSC的数据依次施加到偶数像素阵列的像素。SDAC 10 1至10 4的误差因子仅由两个负载电容之间的容量差确定。因此，即使当液晶显示装置由多晶硅构成并且TET的特性波动时，也不会导致SDAC 10 1的输出误差为10 4。因此，可以在不受数据线的负载电容器影响的情况下执行高精度DA转换。Z

