

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-98587

(P2009-98587A)

(43) 公開日 平成21年5月7日(2009.5.7)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO9F 9/30 (2006.01)	GO9F 9/30 338	5C094

審査請求 未請求 請求項の数 19 O L (全 20 頁)

(21) 出願番号 特願2007-300763 (P2007-300763) (22) 出願日 平成19年11月20日 (2007.11.20) (31) 優先権主張番号 10-2007-0104032 (32) 優先日 平成19年10月16日 (2007.10.16) (33) 優先権主張国 韓国 (KR)	(71) 出願人 390019839 三星電子株式会社 SAMSUNG ELECTRONICS CO., LTD. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR) (74) 代理人 110000408 特許業務法人高橋・林アンドパートナーズ (72) 発明者 横山 良一 東京都港区六本木3-1-1 六本木ティ ーキューブ 日本サムスン株式会社内
---	--

最終頁に続く

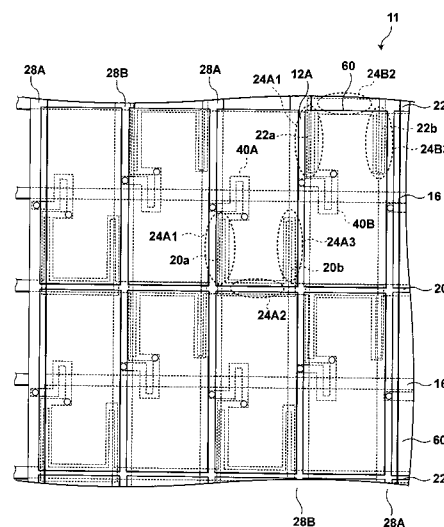
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画素の開口率を向上できる液晶表示装置を提供すること。

【解決手段】本発明の液晶表示装置は、第1の薄膜トランジスタを有する第1の画素及び第2の薄膜トランジスタを有する第2の画素を有する画素群と、前記第1及び第2の薄膜トランジスタのゲートに駆動信号を供給するゲート線と、前記ゲート線と平行に前記第1の画素の一端に沿って配置された第1の補助容量線と、前記ゲート線と平行に前記第1の補助容量線とは反対側に前記第1の画素の他端に沿って配置された第2の補助容量線と、前記第1の画素中に設けられ、前記第1の薄膜トランジスタの一端と前記第1の補助容量線との間に接続された第1の補助容量と、前記第2の画素中に設けられ、前記第2の薄膜トランジスタの一端と前記第2の補助容量線との間に接続された第2の補助容量と、を有する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 の薄膜トランジスタを有する第 1 の画素及び第 2 の薄膜トランジスタを有する第 2 の画素を有する画素群と、
前記第 1 及び第 2 の薄膜トランジスタのゲートに駆動信号を供給するゲート線と、
前記ゲート線と平行に前記第 1 の画素の一端に沿って配置された第 1 の補助容量線と、
前記ゲート線と平行に前記第 1 の補助容量線とは反対側に前記第 1 の画素の他端に沿って配置された第 2 の補助容量線と、
前記第 1 の画素中に設けられ、前記第 1 の薄膜トランジスタの一端と前記第 1 の補助容量線との間に接続された第 1 の補助容量と、
前記第 2 の画素中に設けられ、前記第 2 の薄膜トランジスタの一端と前記第 2 の補助容量線との間に接続された第 2 の補助容量と、
を有すること特徴とする液晶表示装置。

10

【請求項 2】

前記第 1 の画素と前記第 2 の画素とは、交互に配列されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 の補助容量は、前記第 1 の画素と前記第 1 の画素に隣接する画素との境界部に沿って形成され、
前記第 2 の補助容量は、前記第 2 の画素と前記第 2 の画素に隣接する画素との境界部に沿って形成されていることを特徴とする請求項 1 記載の液晶表示装置。

20

【請求項 4】

前記第 1 の補助容量線は第 1 の突起部及び第 2 の突起部を有しており、前記第 1 の補助容量は、前記第 1 の薄膜トランジスタの第 1 の半導体層、前記第 1 の突起部及び前記第 1 の半導体層と前記第 1 の突起部との間に挟まれる絶縁体でなる容量と、前記第 1 の半導体層、前記第 2 の突起部及び前記第 1 の半導体層と前記第 2 の突起部との間に挟まれる絶縁体でなる容量とを有し、
前記第 2 の補助容量線は第 3 の突起部及び第 4 の突起部を有しており、前記第 2 の補助容量は、前記第 2 の薄膜トランジスタの第 2 の半導体層、前記第 3 の突起部及び前記第 2 の半導体層と前記第 3 の突起部との間に挟まれる絶縁体でなる容量と、前記第 2 の半導体層、前記第 4 の突起部及び前記第 2 の半導体層と前記第 4 の突起部との間に挟まれる絶縁体でなる容量とを有していることを特徴とする請求項 1 記載の液晶表示装置。

30

【請求項 5】

前記第 1 の補助容量線は第 1 の突起部及び第 2 の突起部を有しており、前記第 1 の補助容量は、前記第 1 の画素の第 1 の画素電極、前記第 1 の突起部及び前記第 1 の画素電極と前記第 1 の突起部との間に挟まれる絶縁体でなる容量と、前記第 1 の画素電極、前記第 2 の突起部及び前記第 1 の画素電極と前記第 2 の突起部との間に挟まれる絶縁体でなる容量とを有し、
前記第 2 の補助容量線は第 3 の突起部及び第 4 の突起部を有しており、前記第 2 の補助容量は、前記第 1 の画素の第 2 の画素電極、前記第 3 の突起部及び前記第 2 の画素電極と前記第 3 の突起部との間に挟まれる絶縁体でなる容量と、前記第 2 の画素電極、前記第 4 の突起部及び前記第 2 の画素電極と前記第 4 の突起部との間に挟まれる絶縁体でなる容量とを有していることを特徴とする請求項 1 記載の液晶表示装置。

40

【請求項 6】

前記ゲート線に、所定の周期のゲート駆動信号を供給するとともに、前記第 1 の補助容量線に前記ゲート駆動信号と同期した第 1 の信号を供給し、前記第 2 の補助容量線に前記第 1 の信号と逆相の第 2 の信号を供給する駆動回路を有することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 7】

所定方向に沿って配列された複数の画素と、

50

前記複数の画素上に配置され、それぞれの画素に対応するカラーフィルタと、前記カラーフィルタの隣接する境界部に対応して形成された複数の遮光部と、それぞれが、対応する前記複数の遮光部の下に形成された複数の補助容量と、を具備することを特徴とする液晶表示装置。

【請求項 8】

前記複数の画素は、それぞれが、当該画素を駆動する複数の薄膜トランジスタを有し、前記複数の薄膜トランジスタのゲートは、前記複数の画素の中心軸を貫通するゲート線に接続され、

さらに、前記ゲート線に平行し、前記複数の画素の一端に沿って形成された、第 1 の補助容量線と、

前記ゲート線に平行し、前記第 1 の補助容量線の反対側の前記複数の画素の他端に沿って形成された、第 2 の補助容量線とを有し、

前記複数の補助容量は、それぞれ対応する画素の前記薄膜トランジスタの一端と前記第 1 の補助容量線との間に接続された複数の第 1 の補助容量と、それぞれ対応する画素の前記複数のトランジスタの一端と前記第 2 の補助容量線との間に接続された複数の第 2 の補助容量とから構成される

ことを特徴とする請求項 7 記載の液晶表示装置。

【請求項 9】

前記複数の第 1 の補助容量と前記複数の第 2 の補助容量とは、それぞれ、前記所定方向に沿って交互に配置されていることを特徴とする請求項 8 記載の液晶表示装置。

【請求項 10】

前記ゲート線に、所定の周期のゲート駆動信号を供給するとともに、前記第 1 の補助容量線に前記ゲート駆動信号と同期した第 1 の信号を供給し、前記第 2 の補助容量線に前記第 1 の信号と逆相の第 2 の信号を供給する駆動回路を有することを特徴とする請求項 8 記載の液晶表示装置。

【請求項 11】

前記複数の第 1 の補助容量と、前記複数の第 2 の補助容量とは、ほぼ同一のキャパシタンスを有することを特徴とする請求項 8 記載の液晶表示装置。

【請求項 12】

所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、前記ゲート線と平行に配置された補助容量線と、前記補助容量線に、第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 > 第 2 の電圧 > 第 3 の電圧 > 第 4 の電圧）を供給する駆動回路と、を具備することを特徴とする液晶表示装置。

【請求項 13】

前記駆動回路は、前記第 3 の電圧、前記第 4 の電圧、第 2 の電圧、第 1 の電圧の順に繰り返し前記補助容量線に供給することを特徴とする請求項 12 記載の液晶表示装置。

【請求項 14】

前記駆動回路は、前記第 4 の電圧又は前記第 1 の電圧を供給している時に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させることを特徴とする請求項 13 記載の液晶表示装置。

【請求項 15】

前記駆動回路は、前記第 3 の電圧、前記第 1 の電圧、第 2 の電圧、第 4 の電圧の順に繰り返し前記補助容量線に供給することを特徴とする請求項 12 記載の液晶表示装置。

【請求項 16】

前記駆動回路は、前記第 3 の電圧又は前記第 2 の電圧を供給している時に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させることを特徴とする請求項 15 記載の液晶表示装置。

【請求項 17】

前記駆動回路は、前記ゲート線の前記駆動電圧の印加が終了した直後に前記第 1 の電圧又は前記第 4 の電圧を印加することを特徴とする請求項16記載の液晶表示装置。

【請求項 18】

所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、
前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給する、前記複数の画素の中心部に配置されたゲート線と、

前記ゲート線と平行に、前記複数の画素の一端に沿って配置された第 1 の補助容量線と、
前記ゲート線と平行に、前記第 1 の補助容量線とは反対側に、前記複数の画素の他端に沿って配置された第 2 の補助容量線と、

前記複数の画素のうちの第 1 群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第 1 の補助容量線間に接続された複数の第 1 の補助容量と、

前記複数の画素のうちの第 2 群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第 2 の補助容量線間に接続された複数の第 2 の補助容量と、

前記第 1 の補助容量線及び前記第 2 の補助容量線に、第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 > 第 2 の電圧 > 第 3 の電圧 > 第 4 の電圧）を供給する駆動回路と、
を具備することを特徴とする液晶表示装置。

【請求項 19】

前記駆動回路は、前記第 1、第 2、第 3 及び第 4 の電圧を発生する電圧発生回路と、前記第 1、第 2、第 3 及び第 4 の電圧を前記第 1 の補助容量線に順に供給する第 1 のスイッチ群と、前記第 1、第 2、第 3 及び第 4 の電圧を前記第 2 の補助容量線に順に供給する第 2 のスイッチ群とを具備することを特徴とする請求項18記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0002】

各画素に設けられた薄膜トランジスタ（TFT）を駆動させて各画素中の液晶の起立状態（配向状態）を制御する液晶表示装置が提案されており、その一例が下記特許文献 1 に開示されている。

【0003】

特許文献 1 に開示されている液晶表示装置は、複数の画素を備えており、複数の画素は、所定方向に沿って配列されている。各画素は TFT を有しており、TFT は、ゲートに走査線から伝達された駆動信号が供給されて駆動する。走査線は、上記の所定方向に配列された複数の画素に亘って架け渡されている。また、各画素には、1 本又は 2 本の補助容量線が走査線と平行に複数の画素に亘って架け渡されている。補助容量線と TFT の一端との間には補助容量が接続されている。補助容量線に電圧が印加されると、補助容量が蓄電し、この結果、各画素中の液晶の起立状態（配向状態）が制御（維持）される仕組みである。

【0004】

しかしながら、各画素では、1 本又は 2 本の補助容量線が、画素中の透過部を横切って設けられている。このため、各画素の開口率が低下してしまう。

【特許文献 1】特開 2001 - 343636 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、上記事実を考慮し、画素の開口率を向上できる液晶表示装置を得ることを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の一実施形態によると、第 1 の薄膜トランジスタを有する第 1 の画素及び第 2 の薄膜トランジスタを有する第 2 の画素を有する画素群と、前記第 1 及び第 2 の薄膜トランジスタのゲートに駆動信号を供給するゲート線と、前記ゲート線と平行に前記第 1 の画素の一端に沿って配置された第 1 の補助容量線と、前記ゲート線と平行に前記第 1 の補助容量線とは反対側に前記第 1 の画素の他端に沿って配置された第 2 の補助容量線と、前記第 1 の画素中に設けられ、前記第 1 の薄膜トランジスタの一端と前記第 1 の補助容量線との間に接続された第 1 の補助容量と、前記第 2 の画素中に設けられ、前記第 2 の薄膜トランジスタの一端と前記第 2 の補助容量線との間に接続された第 2 の補助容量と、を有すること特徴とする液晶表示装置が提供される。

10

【 0 0 0 7 】

前記第 1 の画素と前記第 2 の画素とは、交互に配列されているようにしてもよい。

【 0 0 0 8 】

前記第 1 の補助容量は、前記第 1 の画素と前記第 1 の画素に隣接する画素との境界部に沿って形成され、前記第 2 の補助容量は、前記第 2 の画素と前記第 2 の画素に隣接する画素との境界部に沿って形成されているようにしてもよい。

【 0 0 0 9 】

前記第 1 の補助容量線は第 1 の突起部及び第 2 の突起部を有しており、前記第 1 の補助容量は、前記第 1 の薄膜トランジスタの第 1 の半導体層、前記第 1 の突起部及び前記第 1 の半導体層と前記第 1 の突起部との間に挟まれる絶縁体でなる容量と、前記第 1 の半導体層、前記第 2 の突起部及び前記第 1 の半導体層と前記第 2 の突起部との間に挟まれる絶縁体でなる容量とを有し、前記第 2 の補助容量線は第 3 の突起部及び第 4 の突起部を有しており、前記第 2 の補助容量は、前記第 2 の薄膜トランジスタの第 2 の半導体層、前記第 3 の突起部及び前記第 2 の半導体層と前記第 3 の突起部との間に挟まれる絶縁体でなる容量と、前記第 2 の半導体層、前記第 4 の突起部及び前記第 2 の半導体層と前記第 4 の突起部との間に挟まれる絶縁体でなる容量とを有しているようにしてもよい。

20

【 0 0 1 0 】

前記第 1 の補助容量線は第 1 の突起部及び第 2 の突起部を有しており、前記第 1 の補助容量は、前記第 1 の画素の第 1 の画素電極、前記第 1 の突起部及び前記第 1 の画素電極と前記第 1 の突起部との間に挟まれる絶縁体でなる容量と、前記第 1 の画素電極、前記第 2 の突起部及び前記第 1 の画素電極と前記第 2 の突起部との間に挟まれる絶縁体でなる容量とを有し、前記第 2 の補助容量線は第 3 の突起部及び第 4 の突起部を有しており、前記第 2 の補助容量は、前記第 1 の画素の第 2 の画素電極、前記第 3 の突起部及び前記第 2 の画素電極と前記第 3 の突起部との間に挟まれる絶縁体でなる容量と、前記第 2 の画素電極、前記第 4 の突起部及び前記第 2 の画素電極と前記第 4 の突起部との間に挟まれる絶縁体でなる容量とを有しているようにしてもよい。

30

【 0 0 1 1 】

前記ゲート線に、所定の周期のゲート駆動信号を供給するとともに、前記第 1 の補助容量線に前記ゲート駆動信号と同期した第 1 の信号を供給し、前記第 2 の補助容量線に前記第 1 の信号と逆相の第 2 の信号を供給する駆動回路を有するようにしてもよい。

40

【 0 0 1 2 】

本発明の一実施形態によると、所定方向に沿って配列された複数の画素と、前記複数の画素上に配置され、それぞれの画素に対応するカラーフィルタと、前記カラーフィルタの隣接する境界部に対応して形成された複数の遮光部と、それぞれが、対応する前記複数の遮光部の下に形成された複数の補助容量と、を具備することを特徴とする液晶表示装置が提供される。

【 0 0 1 3 】

前記複数の画素は、それぞれが、当該画素を駆動する複数の薄膜トランジスタを有し、前記複数の薄膜トランジスタのゲートは、前記複数の画素の中心軸を貫通するゲート線に接続され、さらに、前記ゲート線に平行し、前記複数の画素の一端に沿って形成された、第

50

1の補助容量線と、前記ゲート線に平行し、前記第1の補助容量線の反対側の前記複数の画素の他端に沿って形成された、第2の補助容量線とを有し、前記複数の補助容量は、それぞれ対応する画素の前記薄膜トランジスタの一端と前記第1の補助容量線との間に接続された複数の第1の補助容量と、それぞれ対応する画素の前記複数のトランジスタの一端と前記第2の補助容量線との間に接続された複数の第2の補助容量とから構成されるようにしてもよい。

【0014】

前記複数の第1の補助容量と前記複数の第2の補助容量とは、それぞれ、前記所定方向に沿って交互に配置されているようにしてもよい。

【0015】

前記ゲート線に、所定の周期のゲート駆動信号を供給するとともに、前記第1の補助容量線に前記ゲート駆動信号と同期した第1の信号を供給し、前記第2の補助容量線に前記第1の信号と逆相の第2の信号を供給する駆動回路を有するようにしてもよい。

【0016】

前記複数の第1の補助容量と、前記複数の第2の補助容量とは、ほぼ同一のキャパシタンスを有するようにしてもよい。

【0017】

本発明の一実施形態によると、所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、前記ゲート線と平行に配置された補助容量線と、前記補助容量線に、第1、第2、第3及び第4の電圧（ただし、第1の電圧>第2の電圧>第3の電圧>第4の電圧）を供給する駆動回路と、を具備するようにしてもよい。

【0018】

前記駆動回路は、前記第3の電圧、前記第4の電圧、第2の電圧、第1の電圧の順に繰り返し前記補助容量線に供給するようにしてもよい。

【0019】

前記駆動回路は、前記第4の電圧又は前記第1の電圧を供給している時に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させるようにしてもよい。

【0020】

前記駆動回路は、前記第3の電圧、前記第1の電圧、第2の電圧、第4の電圧の順に繰り返し前記補助容量線に供給するようにしてもよい。

【0021】

前記駆動回路は、前記第3の電圧又は前記第2の電圧を供給している時に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させるようにしてもよい。

【0022】

前記駆動回路は、前記ゲート線の前記駆動電圧の印加が終了した直後に前記第1の電圧又は前記第4の電圧を印加するようにしてもよい。

【0023】

本発明の一実施形態によると、所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給する、前記複数の画素の中心部に配置されたゲート線と、前記ゲート線と平行に、前記複数の画素の一端に沿って配置された第1の補助容量線と、前記ゲート線と平行に、前記第1の補助容量線とは反対側に、前記複数の画素の他端に沿って配置された第2の補助容量線と、前記複数の画素のうちの第1群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第1の補助容量線間に接続された複数の第1の補助容量と、前記複数の画素のうちの第2群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第2の補助容量線間に接続された複数の第2の補助容量と、前記第1の補助容量線及び前記第2の補助容量線に、第1、第2、第3及び第4の電圧（ただし、第1の電圧>第2の電圧>第3の電圧>第4の電圧）を供給する駆動回路と、を具備することを特徴とする液晶表示装置が提供される。

10

20

30

40

50

【 0 0 2 4 】

前記駆動回路は、前記第 1、第 2、第 3 及び第 4 の電圧を発生する電圧発生回路と、前記第 1、第 2、第 3 及び第 4 の電圧を前記第 1 の補助容量線に順に供給する第 1 のスイッチ群と、前記第 1、第 2、第 3 及び第 4 の電圧を前記第 2 の補助容量線に順に供給する第 2 のスイッチ群とを具備するようにしてもよい。

【 発明の効果 】

【 0 0 2 5 】

本発明の液晶表示装置においては、所定方向に沿って配列された複数の画素の各々が薄膜トランジスタを有している。これら複数の画素の中心部にはゲート線が配置されており、ゲート線は、複数の画素の各薄膜トランジスタのゲートに駆動信号を供給する。また、複数の画素の一端に沿って第 1 の補助容量線が配置されており、第 1 の補助容量線は、ゲート線と平行になっている。複数の画素のうち第 1 群の画素中に設けられた画素にある薄膜トランジスタの一端と第 1 の補助容量線間には、複数の第 1 の補助容量が接続されている。さらに、複数の画素の他端に沿って第 2 の補助容量線が配置されており、第 2 の補助容量線は、第 1 の補助容量線とは反対側に、ゲート線と平行になっている。複数の画素のうちの第 2 群の画素中に設けられた画素にある薄膜トランジスタの一端と第 2 の補助容量線間には、複数の第 2 の補助容量が接続されている。また、本発明の一実施形態によると、画素の電位を保持する補助容量を確保するために、通常ゲート線よりも太い補助容量線を画素間の遮光部に配置し、さらに信号線に沿った画素間の遮光部にも補助容量を形成することにより、透過部で遮光してしまう補助容量の配置面積を減らすことになり、画素の開口率を向上することができる。

10

20

【 発明を実施するための最良の形態 】

【 0 0 2 6 】

(実施形態 1)

図 1 は、本発明の実施の形態に係る液晶表示装置 10 のブロック図である。

【 0 0 2 7 】

本実施の形態に係る本発明の液晶表示装置 10 は、アクティブマトリクス型表示装置であり、ドット反転駆動法を用いて駆動される。

【 0 0 2 8 】

この液晶表示装置 10 は、表示パネル 11 を備えている。この表示パネル 11 は、図示しない基板を有しており、表示パネル 11 は、この基板上に複数の画素 12 (画素部) を有している。各画素 12 は、矩形状に形成されている。これらの画素 12 は、長手方向を列方向としてこの列方向に沿って配列されると共に、長手直交方向を行方向としてこの行方向に沿って配列されており、これらの画素 12 は、全体としてマトリクス状に配列されている。

30

【 0 0 2 9 】

これらの複数の画素 12 は、それぞれ、薄膜トランジスタ 14 を有している。各薄膜トランジスタ 14 の一端には、画素電極、液晶及び対向電極からなる液晶容量 15 の一端が接続されている。また、各画素 12 は、図示しない画素電極を有している。

40

【 0 0 3 0 】

以上説明したような画素 12 には、第 1 群に属するものと、第 2 群に属するものがあり、以下、第 1 群に属する画素 12 と第 2 群に属する画素 12 とを区別する場合には、第 1 群に属する画素 12 を第 1 群の画素 12 A、第 2 群に属する画素 12 を第 2 群の画素 12 B ということとする。これらの第 1 群の画素 12 A と、第 2 群の画素 12 B とは、行方向並びに列方向において、交互に配列されている。

【 0 0 3 1 】

また、複数の画素 12 の中心部には、ゲート線 16 が配置されている。ゲート線 16 は、複数の画素 12 の中心軸を貫通して (画素 12 の行方向に沿って形成されて) いる。ゲート線 16 には、複数の薄膜トランジスタ 14 のゲート 18 が接続されており、ゲート線 16 は、複数の画素 12 の各薄膜トランジスタ 14 のゲート 18 に駆動信号を供給する。こ

50

れにより、各薄膜トランジスタ 14 は、対応する画素 12 を駆動する。

【0032】

また、表示パネル 11 は、第 1 の補助容量線 20 を有している。第 1 の補助容量線 20 は、ゲート線 16 と平行に（画素 12 の行方向に沿って）複数の画素 12 の列方向一端（複数の画素 12 の一端）に沿って配置（形成）されている。ここで、第 1 の補助容量線 20 についての「平行」とは、第 1 の補助容量線 20 の中心線が画素 12 の中心軸に沿った状態で第 1 の補助容量線 20 が形成されていることをいい、例えば、第 1 の補助容量線 20 がその途中でジグザグ状に折れ曲がったり、突出部を有していたりする場合も含まれる。なお、図 4（図 4 は本実施形態に係る本発明の液晶表示装置 10 の画素部のレイアウト配置図であり、図 5 は本実施形態に係る本発明の液晶表示装置 10 の画素部の拡大図である。）に示すとおり、本実施形態においては、第 1 の補助容量線 20 は画素 12（画素部）で突出部 20a 及び 20b を有しているが、本発明の液晶表示装置に用いる第 1 の補助容量線 20 はこの形状に限定されるわけではない。

10

【0033】

また、表示パネル 11 は、第 2 の補助容量線 22 を有している。第 2 の補助容量線 22 は、ゲート線 16 と平行に（画素 12 の行方向に沿って）、第 1 の補助容量線 20 とは反対側に、複数の画素 12 の列方向他端（複数の画素 12 の他端）に沿って配置（形成）されている。ここで、第 2 の補助容量線 22 についての「平行」とは、第 2 の補助容量線 22 の中心線が画素 12 の中心軸に沿った状態で第 2 の補助容量線 22 が形成されていることをいい、例えば、第 2 の補助容量線 22 がその途中でジグザグ状に折れ曲がったり、突出部を有していたりする場合も含まれる。なお、図 4 及び図 5 に示すとおり、本実施形態においては、第 2 の補助容量線 22 は画素 12（画素部）で突出部 22a 及び 22b を有しているが、本発明の液晶表示装置に用いる第 2 の補助容量線 22 はこの形状に限定されるわけではない。

20

【0034】

このように、画素の電位を保持する補助容量を確保するために、通常ゲート線よりも太い補助容量線を画素間の遮光部に配置し、さらに信号線に沿った画素間の遮光部にも補助容量を形成することにより、透過部で遮光してしまう補助容量の配置面積を減らすことになり、画素 12 の開口率を向上できる。

【0035】

これらの複数の画素 12 のうちの第 1 群の画素 12A 中には、複数の補助容量 24 を構成する複数の第 1 の補助容量 24A が設けられている。これら複数の第 1 の補助容量 24A は、第 1 群の画素 12A にある薄膜トランジスタ 14 の一端子と第 1 の補助容量線 20 間に接続されている。

30

【0036】

一方、複数の画素 12 のうちの第 2 群の画素 12B 中には、複数の第 1 の補助容量 24A と共に複数の補助容量 24 を構成する複数の第 2 の補助容量 24B が設けられている。これら複数の第 2 の補助容量 24B は、第 2 群の画素 12B にある薄膜トランジスタ 14 の一端子と第 2 の補助容量線 22 間に接続されている。

【0037】

複数の第 1 の補助容量 24A と複数の第 2 の補助容量 24B とは、それぞれ、画素 12 の行方向並びに列方向（所定方向）に沿って交互に配置されている。これらの複数の第 1 の補助容量 24A と、複数の第 2 の補助容量 24B とは、ほぼ同一のキャパシタンスを有している。

40

【0038】

信号線 28A は、第 1 の画素群 12A の薄膜トランジスタ 14 に接続され、画像信号を薄膜トランジスタ 14 に供給する。また、信号線 28B は、第 2 の画素群 12B の薄膜トランジスタ 14 に接続され、画像信号を薄膜トランジスタ 14 に供給する。

【0039】

図 4 に本実施形態に係る本発明の液晶表示装置 10 の画素部のレイアウト配置図を示し、

50

図 5 に画素部の拡大図を示す。また、画素部を図 4 に示す 4 A - 4 B で切った断面図を図 6 に示し、5 A - 5 B で切った断面図を図 7 に示す。

【 0 0 4 0 】

本実施形態 1 においては、第 1 の補助容量 2 4 A は、第 1 群の画素 1 2 A と隣接する第 2 群の画素 1 2 B との境界部 2 6 に沿って形成されている。一方、第 2 の補助容量 2 4 B は、第 2 群の画素 1 2 B と隣接する第 1 群の画素 1 2 A との境界部 2 6 に沿って形成されている。

【 0 0 4 1 】

図 4 に示すとおり、本実施形態に係る本発明の液晶表示装置の第 1 の画素群 1 2 A においては、薄膜トランジスタ 1 4 の半導体層 4 0 A を有している。半導体層 4 0 A はジグザグ形状に形成されている。半導体層 4 0 A は、図 4 に示すように、突出部 2 0 a 及び 2 0 b 並びに補助容量線 2 0 の一部の下部に形成されている。半導体層 4 0 A と突出部 2 0 a とそれらの間に挟まれた絶縁層によって補助容量 2 4 A 1 が形成される。信号線 2 8 A の一部と 2 0 a 及び半導体層 4 0 A の一部とは、オーバーラップしているので、上部に遮光膜を設ける必要がない。また、半導体層 4 0 A と突出部 2 0 b とそれらの間に挟まれた絶縁層によって補助容量 2 4 A 3 が形成される。半導体層 4 0 A と補助容量線 2 0 の一部とそれらの間に挟まれた絶縁層によって補助容量 2 4 A 2 が形成される。信号線 2 8 B の一部と 2 0 b 及び半導体層 4 0 A の一部とは、オーバーラップしているので、上部に遮光膜を設ける必要がない。本実施形態においては、補助容量 2 4 A 1、2 4 A 2 及び 2 4 A 3 が補助容量 2 4 A を構成する。また、6 0 は画素電極である。本実施形態においては、画素電極 6 0 には、I Z O (I n d i u m Z i n c O x i d e) 又は I T O (I n d i u m T i n O x i d e) が用いられる。

【 0 0 4 2 】

また、図 4 に示すとおり、本実施形態に係る本発明の液晶表示装置の第 2 の画素群 1 2 B においては、第 1 の画素群 1 2 A と同様、薄膜トランジスタ 1 4 の半導体層 4 0 B を有している。本実施形態においては、半導体層 4 0 B はジグザグ形状に形成されている。半導体層 4 0 B は、図 4 に示すように、突出部 2 2 及び 2 2 b 並びに補助容量線 2 2 の一部の下部に形成されている。半導体層 4 0 B と突出部 2 2 a とそれらの間に挟まれた絶縁層によって補助容量 2 4 B 1 が形成される。信号線 2 8 B の一部と 2 2 a 及び半導体層 4 0 B の一部とは、オーバーラップしているので、上部に遮光膜を設ける必要がない。また、半導体層 4 0 A と突出部 2 2 b とそれらの間に挟まれた絶縁層によって補助容量 2 4 B 3 が形成される。半導体層 4 0 A と補助容量線 2 2 の一部とそれらの間に挟まれた絶縁層によって補助容量 2 4 B 2 が形成される。信号線 2 8 A の一部と 2 2 b 及び半導体層 4 0 B の一部とは、オーバーラップしているので、上部に遮光膜を設ける必要がない。本実施形態においては、補助容量 2 4 B 1、2 4 B 2 及び 2 4 B 3 が補助容量 2 4 B を構成する。

【 0 0 4 3 】

これら補助容量 2 4 A 及び 2 4 B は、不透明な金属膜を有しているので、画素の遮光部となる。

【 0 0 4 4 】

図 4 に示すように、本実施形態に係る本発明の液晶表示装置においては、補助容量 2 4 A 及び 2 4 B 画素 1 2 A 及び 1 2 B において十分な補助容量を形成することができる。なお、本実施形態においては、半導体層 4 0 A 及び 4 0 B はジグザグ状に形成されたポリシリコンであるが、これに限定されるわけではない。

【 0 0 4 5 】

図 4 に示す画素部 1 2 A を 4 A - 4 B で切った断面図を図 6 に示し、5 A - 5 B で切った断面図を図 7 に示す。図 6 及び図 7 に示すように、本実施形態に係る本発明の液晶表示装置の薄膜トランジスタ基板は、基板 4 8、保護膜 5 0、半導体層 4 0 A、ゲート線 1 6 (ゲート電極)、ゲート絶縁膜 5 2、層間絶縁膜 5 4、信号線 2 8、保護膜 5 8、画素電極 6 0、配向膜 6 2 を有している。また、本実施形態に係る本発明の液晶表示装置の対向基板は、基板 7 0、カラーフィルタ 7 2 A、7 2 B 及び 7 2 C、対向電極 7 4 並びに配向膜

10

20

30

40

50

76を有している。薄膜トランジスタ基板と対向基板とがスペーサを介して貼り合わされ、これらの基板の間に液晶層64が設けられる。なお、カラーフィルタの隣接する境界部に対応して遮光部を設けるようにしてもよい。

【0046】

本実施形態においては、保護膜50には窒化シリコン膜を用い、ゲート線16（ゲート電極）にはモリブデン-タンタル（MoTa）を用い、ゲート絶縁膜52には酸化シリコン膜を用い、層間絶縁膜52には酸化シリコン膜と窒化シリコン膜との積層膜を用い、信号線28にはアルミニウム（Al）を用い、保護膜58には酸化シリコン膜（SiO₂）、画素電極60にはITO（indium tin oxide）を用い、配向膜62にはポリイミドを用いたが、これらに限定されるわけではない。

10

【0047】

図1に示すように。本実施形態に係る本発明の液晶表示装置10は、駆動回路82を有している。駆動回路82は、電圧発生回路84と、第1のスイッチ群86と、第2のスイッチ群88と、SCスイッチタイミングジェネレータ90と、ゲートシフトレジスタ92と、ゲートドライバ94と、制御回路96とを有している。

【0048】

電圧発生回路84は、第1、第2、第3及び第4の電圧V1、V2、V3、V4を発生する。

【0049】

第1のスイッチ群86は、第1、第2、第3及び第4の電圧V1、V2、V3、V4を選択して第1の補助容量線20に順に供給する。

20

【0050】

第2のスイッチ群88は、第1、第2、第3及び第4の電圧V1、V2、V3、V4を選択して第2の補助容量線22に順に供給する。

【0051】

第1のスイッチ群86及び第2のスイッチ群88には、SCスイッチタイミングジェネレータ90が接続されている。このSCスイッチタイミングジェネレータ90によって、第1のスイッチ群86及び第2のスイッチ群88のスイッチ動作タイミングが制御される。

【0052】

このSCスイッチタイミングジェネレータ90には、ゲートシフトレジスタ82が接続されている。ゲートシフトレジスタ82は、SCタイミングジェネレータ90によって選択されるゲート線16に関する命令信号をSCタイミングジェネレータ90に出力する。

30

【0053】

また、ゲート線16には、ゲートドライバ94が接続されている。ゲートドライバ94は、駆動させる行の画素12に対応したゲート線16にゲート駆動信号を供給（出力）する。

【0054】

以上説明したような電圧発生回路84、第1のスイッチ群86、第2のスイッチ群88、SCタイミングジェネレータ90、ゲートシフトレジスタ92、及びゲートドライバ94は、制御回路96に接続されており、この制御回路96は、電圧発生回路84、第1のスイッチ群86、第2のスイッチ群88、SCタイミングジェネレータ90、ゲートシフトレジスタ82、及びゲートドライバ84の各動作を制御する。

40

【0055】

なお、電圧発生回路84、第1のスイッチ群86、第2のスイッチ群88、SCタイミングジェネレータ90、ゲートシフトレジスタ92、及びゲートドライバ94は、これらの電圧発生回路84、第1のスイッチ群86、第2のスイッチ群88、SCタイミングジェネレータ90、ゲートシフトレジスタ92、ゲートドライバ94、制御回路96は、これらの回路の全部又は一部を液晶表示パネル11と一体形成してもよいし、それらの回路を外付けのICによって構成してもよい。

【0056】

50

以上説明したような駆動回路 8 2 は、ゲート線 1 6 に所定の周期のゲート駆動信号を供給すると共に、第 1 の補助容量線 2 0 にゲート駆動信号と同期した第 1 の信号 S 1 を供給し、第 2 の補助容量線 2 2 に第 1 の信号 S 1 とほぼ逆相の第 2 の信号 S 2 (さらに詳しく言えば、第 2 の信号 S 2 は、第 1 の信号 S 1 よりもタイミングが 1 水平期間遅れる) を供給する。駆動回路 8 2 は、補助容量線 (第 1 の補助容量線 2 0、第 2 の補助容量線 2 2) に、第 1、第 2、第 3 及び第 4 の電圧 (ただし、第 1 の電圧 V 1 > 第 2 の電圧 V 2 > 第 3 の電圧 V 3 > 第 4 の電圧 V 4) を供給する。

【0057】

図 3 に示されるように、駆動回路 8 2 は、第 3 の電圧 V 3、第 1 の電圧 V 1、第 2 の電圧 V 2、第 4 の電圧 V 4 の順に繰り返し補助容量線 (第 1 の補助容量線 2 0、第 2 の補助容量線 2 2) に供給する。

10

【0058】

ここで、駆動回路 8 2 は、薄膜トランジスタ 1 4 のゲート 1 8 をオンにした直後に (さらに言えば、画素 1 2 の電圧 (画素電圧) のシフトタイミングで) 第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に供給する電圧をオーバードライブさせる設定とされている。

【0059】

画素 1 2 の電位が (-) 電位から (+) 電位に切り替えられる場合には、駆動回路 8 2 は、第 3 の電圧 V 3 を第 1 の補助容量線 2 0 又は第 2 の補助容量線 2 2 に供給している時に、ゲート線 1 6 に駆動電圧 (ゲート駆動信号) を印加して対応する画素 1 2 の薄膜トランジスタ 1 4 のゲート 1 8 をオンにしこの薄膜トランジスタ 1 4 を導通させた直後に、オーバードライブ期間に移行する。駆動回路 8 2 は、第 3 の電圧 V 3 から第 2 の電圧 V 2 よりも電圧の高い第 1 の電圧 V 1 を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加する。従って、第 3 の電圧 V 3 から第 2 の電圧 V 2 を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加する構成 (電圧 (V 2 - V 3) を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加する構成) と比べて、より大きな電圧 (V 1 - V 3) を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加することができる。

20

【0060】

またさらに、画素 1 2 の電位が (+) 電位から (-) 電位に切り替えられる場合には、駆動回路 8 2 は、第 2 の電圧 V 2 を第 1 の補助容量線 2 0 又は第 2 の補助容量線 2 2 に供給している時に、ゲート線 1 6 に駆動電圧 (ゲート駆動信号) を印加して対応する画素 1 2 の薄膜トランジスタ 1 4 のゲート 1 8 をオンにしこの薄膜トランジスタ 1 4 を導通させた直後に、オーバードライブ期間に移行する。駆動回路 8 2 は、第 2 の電圧 V 2 から第 3 の電圧 V 3 よりも電圧の低い第 4 の電圧 V 4 を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加する。従って、第 2 の電圧 V 2 から第 3 の電圧 V 3 を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加する構成 (電圧 (V 3 - V 2) を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加する構成) と比べて、より大きな電圧 (V 4 - V 2) を第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に印加することができる。

30

【0061】

以上説明したように、液晶容量 1 5 に電圧を印加する際に、従来よりも大きな電圧を補助容量 2 4 に供給する構成であるので、液晶の起立状態 (配向状態) を従来よりも早く所望の起立状態にすることができるだけでなく、画素 1 2 の電圧 (画素電圧) をより長く適正範囲内に維持できる。

40

【0062】

(実施形態 2)

本実施形態 2 においては、本発明の液晶表示装置 1 0 の別の例について説明する。本実施形態 2 に係る本発明の液晶表示装置 1 0 は、実施形態 1 と同様、アクティブマトリクス型表示装置であり、ドット反転駆動法を用いて駆動される。なお、本実施形態 2 に係る本発明の液晶表示装置においては、液晶表示装置 1 0 の画素構造以外は実施形態 1 と同様である。本実施形態 2 に係る本発明の液晶表示装置 1 0 においては、実施形態 1 に係る本発明の液晶表示装置 1 0 と同様の構成については、改めて説明しない。

50

【 0 0 6 3 】

図 8 に本実施形態 2 に係る本発明の液晶表示装置 1 0 の画素部のレイアウト配置図を示し、画素部の拡大図を図 9 に示す。また、画素部を図 7 に示す 4 A - 4 B で切った断面図を図 1 0 に示し、5 A - 5 B で切った断面図を図 1 1 に示す。

【 0 0 6 4 】

本実施形態 2 においては、第 1 の補助容量 2 4 A は、第 1 群の画素 1 2 A と隣接する第 2 群の画素 1 2 B との境界部 2 6 に沿って形成されている。一方、第 2 の補助容量 2 4 B は、第 2 群の画素 1 2 B と隣接する第 1 群の画素 1 2 A との境界部 2 6 に沿って形成されている。

【 0 0 6 5 】

図 8 に示すとおり、本実施形態 2 に係る本発明の液晶表示装置 1 0 は、第 1 の画素群 1 2 A に薄膜トランジスタ 1 4 の半導体層 4 0 A を有している。本実施形態 2 においては、半導体層 4 0 A は概略直角に折れ曲がった形状に形成されている。なお、半導体層 4 0 A の形状は、図 8 に示す形状に限定されるわけではない。図 8 に示すように、補助容量線 2 0 は、突出部 2 0 a 及び 2 0 b を有している。6 0 は画素電極である。本実施形態 2 においては、画素電極 6 0 には、I Z O (I n d i u m Z i n c O x i d e) 又は I T O (I n d i u m T i n O x i d e) が用いられる。電極 8 4 は配線 2 8 A の一部又は配線 2 8 B の一部である。本実施形態 2 に係る本発明の液晶表示装置 1 0 においては、画素電極 6 0 及び電極 8 6 と突出部 2 0 a とそれらの間に挟まれた絶縁層によって補助容量 2 4 A 1 が形成される。また、画素電極 6 0 と突出部 2 0 b とそれらの間に挟まれた絶縁層によって補助容量 2 4 A 3 が形成される。画素電極 6 0 と補助容量線 2 0 の一部とそれらの間に挟まれた絶縁層によって補助容量 2 4 A 2 が形成される。本実施形態 2 においては、補助容量 2 4 A 1、2 4 A 2 及び 2 4 A 3 が補助容量 2 4 A を構成する。

10

20

【 0 0 6 6 】

また、図 8 に示すとおり、本実施形態 2 に係る本発明の液晶表示装置 1 0 は、第 2 の画素群 1 2 B に薄膜トランジスタ 1 4 の半導体層 4 0 B を有している。本実施形態 2 においては、半導体層 4 0 B は概略直角に折れ曲がった形状に形成されている。なお、半導体層 4 0 A の形状は、図 8 に示す形状に限定されるわけではない。図 8 に示すように、補助容量線 2 2 は、突出部 2 2 a 及び 2 2 b を有している。本実施形態 2 に係る本発明の液晶表示装置 1 0 においては、画素電極 6 0 及び電極 8 4 と突出部 2 2 a とそれらの間に挟まれた絶縁層によって補助容量 2 4 B 1 が形成される。また、画素電極 6 0 と突出部 2 2 b とそれらの間に挟まれた絶縁層によって補助容量 2 4 B 3 が形成される。画素電極 6 0 と補助容量線 2 2 の一部とそれらの間に挟まれた絶縁層によって補助容量 2 4 B 2 が形成される。本実施形態 2 においては、補助容量 2 4 B 1、2 4 B 2 及び 2 4 B 3 が補助容量 2 4 B を構成する。

30

【 0 0 6 7 】

これら補助容量 2 4 A 及び 2 4 B は、不透明な金属膜を有しているので、画素の遮光部となる。

【 0 0 6 8 】

図 8 に示すように、本実施形態 2 に係る本発明の液晶表示装置 1 0 においては、補助容量 2 4 A 及び 2 4 B を有しているので、十分な補助容量を形成することができる。なお、本実施形態 2 においては、半導体層 4 0 A 及び 4 0 B は、半導体層 4 0 B は概略直角に折れ曲がった形状に形成されているアモルファスシリコンを用いているが、これに限定されるわけではない。

40

【 0 0 6 9 】

図 8 に示す画素部 1 2 A を 4 A - 4 B で切った断面図を図 1 0 に示し、5 A - 5 B で切った断面図を図 1 1 に示す。図 1 0 及び図 1 1 に示すように、本実施形態 2 に係る本発明の液晶表示装置の薄膜トランジスタ基板は、基板 4 8、保護膜 5 0、半導体層 4 0 A、ゲート絶縁膜 5 2、ゲート線 1 6 (ゲート電極)、オーミックコンタクト層 8 0 及び 8 2、ソース・ドレイン電極 8 4 及び 8 6、保護膜 5 8、画素電極 6 0、配向膜 6 2 を有している

50

。また、本実施形態に係る本発明の液晶表示装置の対向基板は、基板 70、カラーフィルタ 72A、72B 及び 72C、対向電極 74 並びに配向膜 76 を有している。薄膜トランジスタ基板と対向基板とがスペーサを介して貼り合わされ、これらの基板の間に液晶層 64 が設けられる。また、基板 70 には遮光部 73 が形成されている。

【0070】

本実施形態 2 においては、保護膜 50 には窒化シリコン膜を用い、ゲート線 16 (ゲート電極) にはモリブデン - タンタル (MoTa) を用い、ゲート絶縁膜 52 には酸化シリコン膜を用い、層間絶縁膜 52 には酸化シリコン膜と窒化シリコン膜との積層膜を用い、信号線 28 にはアルミニウム (Al) を用い、保護膜 58 には窒化シリコン膜 (SiN)、画素電極 60 には ITO (indium tin oxide) を用い、配向膜 62 にはポリイミドを用いたが、これらに限定されるわけではない。

10

【0071】

(実施形態 3)

本実施形態 3 においては、本発明の液晶表示装置 10 の別の例について説明する。本実施形態 3 に係る本発明の液晶表示装置 10 は、実施形態 1 及び 2 と同様、アクティブマトリクス型表示装置であり、ドット反転駆動法を用いて駆動される。なお、本実施形態 3 に係る本発明の液晶表示装置においては、液晶表示装置 10 の画素構造以外は実施形態 1 及び 2 と同様である。本実施形態 3 に係る本発明の液晶表示装置 10 においては、実施形態 1 及び 2 に係る本発明の液晶表示装置 10 と同様の構成については、改めて説明しない。

20

【0072】

図 12 に本実施形態 3 に係る本発明の液晶表示装置 10 の画素部のレイアウト配置図を示し、画素部の拡大図を図 13 に示す。また、画素部を図 12 に示す 4A - 4B で切った断面図を図 14 に示し、5A - 5B で切った断面図を図 15 に示す。

【0073】

本実施形態 3 においては、第 1 の補助容量 24A は、第 1 群の画素 12A と隣接する第 2 群の画素 12B との境界部 26 に沿って形成されている。一方、第 2 の補助容量 24B は、第 2 群の画素 12B と隣接する第 1 群の画素 12A との境界部 26 に沿って形成されている。

【0074】

図 12 に示すとおり、本実施形態 3 に係る本発明の液晶表示装置 10 は、第 1 の画素群 12A に薄膜トランジスタ 14 の半導体層 40A を有している。本実施形態 3 においては、実施形態 2 と同様、半導体層 40A は概略直角に折れ曲がった形状に形成されている。なお、半導体層 40A の形状は、図 12 に示す形状に限定されるわけではない。図 12 に示すように、補助容量線 20 は、突出部 20a 及び 20b を有している。60 は画素電極である。本実施形態 3 においては、画素電極 60 には、IZO (Indium Zinc Oxide) 又は ITO (Indium Tin Oxide) が用いられる。本実施形態 3 に係る本発明の液晶表示装置 10 においては、画素電極 60 と突出部 20a とそれらの間に挟まれた絶縁層によって補助容量 24A1 が形成される。また、画素電極 60 と突出部 20b とそれらの間に挟まれた絶縁層によって補助容量 24A3 が形成される。画素電極 60 と補助容量線 20 の一部とそれらの間に挟まれた絶縁層によって補助容量 24A2 が形成される。本実施形態 3 においては、補助容量 24A1、24A2 及び 24A3 が補助容量 24A を構成する。

30

40

【0075】

また、図 12 に示すとおり、本実施形態 3 に係る本発明の液晶表示装置 10 は、第 2 の画素群 12B に薄膜トランジスタ 14 の半導体層 40B を有している。本実施形態 3 においては、半導体層 40B は概略直角に折れ曲がった形状に形成されている。なお、半導体層 40A の形状は、図 12 に示す形状に限定されるわけではない。図 12 に示すように、補助容量線 22 は、突出部 22a 及び 22b を有している。本実施形態 3 に係る本発明の液晶表示装置 10 においては、画素電極 60 と突出部 22a とそれらの間に挟まれた絶縁層によって補助容量 24B1 が形成される。また、画素電極 60 と突出部 22b とそれらの

50

間に挟まれた絶縁層によって補助容量 2 4 B 3 が形成される。画素電極 6 0 と補助容量線 2 2 の一部とそれらの間に挟まれた絶縁層によって補助容量 2 4 B 2 が形成される。本実施形態 3 においては、補助容量 2 4 B 1、2 4 B 2 及び 2 4 B 3 が補助容量 2 4 B を構成する。

【 0 0 7 6 】

これら補助容量 2 4 A 及び 2 4 B は、不透明な金属膜を有しているので、画素の遮光部となる。

【 0 0 7 7 】

図 1 2 に示すように、本実施形態 3 に係る本発明の液晶表示装置 1 0 においては、補助容量 2 4 A 及び 2 4 B を有しているので、十分な補助容量を形成することができる。なお、本実施形態 3 においては、半導体層 4 0 A 及び 4 0 B は、半導体層 4 0 B は概略直角に折れ曲がった形状に形成されているアモルファスシリコンを用いているが、これに限定されるわけではない。

10

【 0 0 7 8 】

図 1 2 に示す画素部 1 2 A を 4 A - 4 B で切った断面図を図 1 4 に示し、5 A - 5 B で切った断面図を図 1 5 に示す。図 1 4 及び図 1 5 に示すように、本実施形態 2 に係る本発明の液晶表示装置の薄膜トランジスタ基板は、基板 4 8、保護膜 5 0、半導体層 4 0 A、ゲート絶縁膜 5 2、ゲート線 1 6 (ゲート電極)、オーミックコンタクト層 8 0 及び 8 2、ソース・ドレイン電極 8 4 及び 8 6、保護膜 5 8、画素電極 6 0、配向膜 6 2 を有している。また、本実施形態に係る本発明の液晶表示装置の対向基板は、基板 7 0、カラーフィルタ 7 2 A、7 2 B 及び 7 2 C、対向電極 7 4 並びに配向膜 7 6 を有している。薄膜トランジスタ基板と対向基板とがスペーサを介して貼り合わされ、これらの基板の間に液晶層 6 4 が設けられる。また、基板 7 0 には遮光部 7 3 が形成されている。

20

【 0 0 7 9 】

本実施形態 3 においては、保護膜 5 0 には窒化シリコン膜を用い、ゲート線 1 6 (ゲート電極) にはモリブデン - タantal (MoTa) を用い、ゲート絶縁膜 5 2 には酸化シリコン膜を用い、層間絶縁膜 5 2 には酸化シリコン膜と窒化シリコン膜との積層膜を用い、信号線 2 8 にはアルミニウム (Al) を用い、保護膜 5 8 には窒化シリコン膜 (SiN)、画素電極 6 0 にはITO (indium tin oxide) を用い、配向膜 6 2 にはポリイミドを用いたが、これらに限定されるわけではない。

30

【図面の簡単な説明】

【 0 0 8 0 】

【図 1】本発明の実施形態 1 に係る液晶表示装置 1 0 の要部を示すブロック図である。

【図 2】本発明の実施形態 1 に係る液晶表示装置 1 0 の表示パネルの拡大図である。

【図 3】本発明の実施形態 1 に係る液晶表示装置 1 0 の駆動方法を示す信号の波形図である。

【図 4】本発明の実施形態 1 に係る本発明の液晶表示装置 1 0 の画素部のレイアウト配置図である。

【図 5】本発明の実施形態 1 に係る本発明の液晶表示装置 1 0 の画素部の拡大図である。

【図 6】本発明の実施形態 1 に係る本発明の液晶表示装置 1 0 の画素部を図 4 に示す 4 A - 4 B で切った断面図である。

40

【図 7】本発明の実施形態 1 に係る本発明の液晶表示装置 1 0 の画素部を図 4 に示す 5 A - 5 B で切った断面図を図 6 に示す。

【図 8】本発明の実施形態 2 に係る本発明の液晶表示装置 1 0 の画素部のレイアウト配置図である。

【図 9】本発明の実施形態 2 に係る本発明の液晶表示装置 1 0 の画素部の拡大図である。

【図 1 0】本発明の実施形態 2 に係る本発明の液晶表示装置 1 0 の画素部を図 7 に示す 4 A - 4 B で切った断面図である。

【図 1 1】本発明の実施形態 2 に係る本発明の液晶表示装置 1 0 の画素部を図 7 に示す 5 A - 5 B で切った断面図である。

50

【図 1 2】本発明の実施形態 3 に係る本発明の液晶表示装置 1 0 の画素部のレイアウト配置図である。

【図 1 3】本発明の実施形態 3 に係る本発明の液晶表示装置 1 0 の画素部の拡大図である。

【図 1 4】本発明の実施形態 3 に係る本発明の液晶表示装置 1 0 の画素部を図 1 0 に示す 4 A - 4 B で切った断面図である。

【図 1 5】本発明の実施形態 3 に係る本発明の液晶表示装置 1 0 の画素部を図 1 0 に示す 5 A - 5 B で切った断面図である。

【符号の説明】

【 0 0 8 1 】

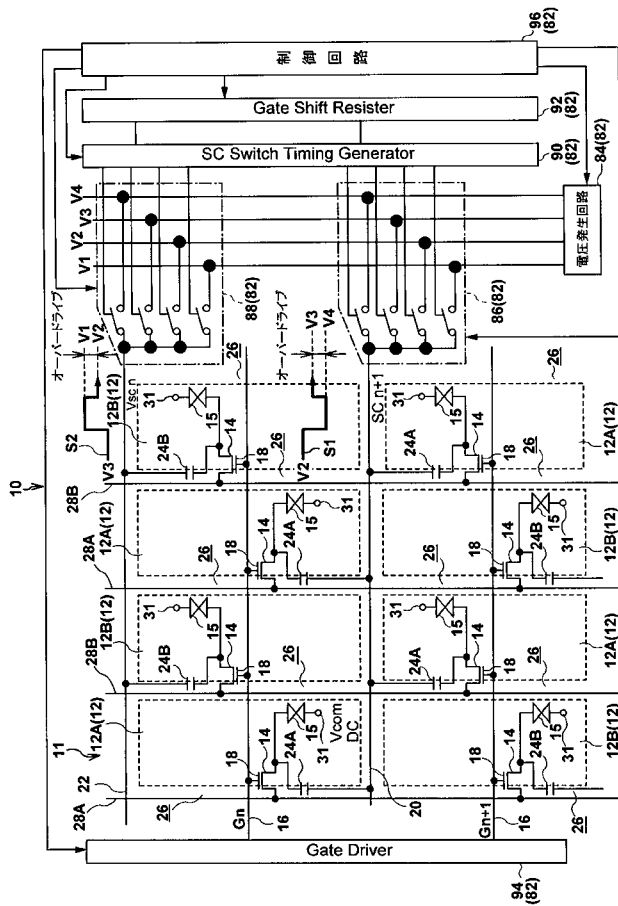
10

1 0	液晶表示装置
1 2	画素
1 2 A	第 1 群の画素
1 2 B	第 2 群の画素
1 4	薄膜トランジスタ
1 6	ゲート線
1 8	ゲート
2 0	第 1 の補助容量線
2 2	第 2 の補助容量線
2 4	補助容量
2 4 A	第 1 の補助容量
2 4 B	第 2 の補助容量
2 6	境界部
2 8	カラーフィルタ
3 0	遮光部
3 2	駆動回路
3 4	電圧発生回路
3 6	第 1 のスイッチ群
3 8	第 2 のスイッチ群
V 1	第 1 の電圧
V 2	第 2 の電圧
V 3	第 3 の電圧
V 4	第 4 の電圧

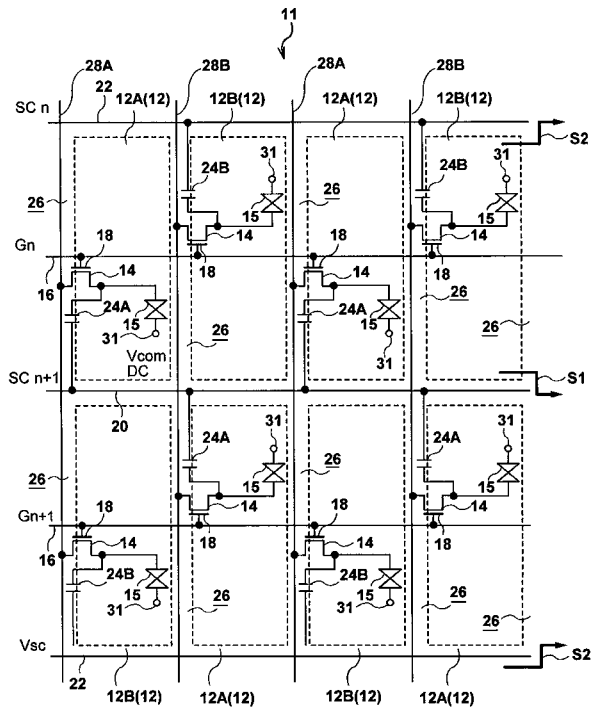
20

30

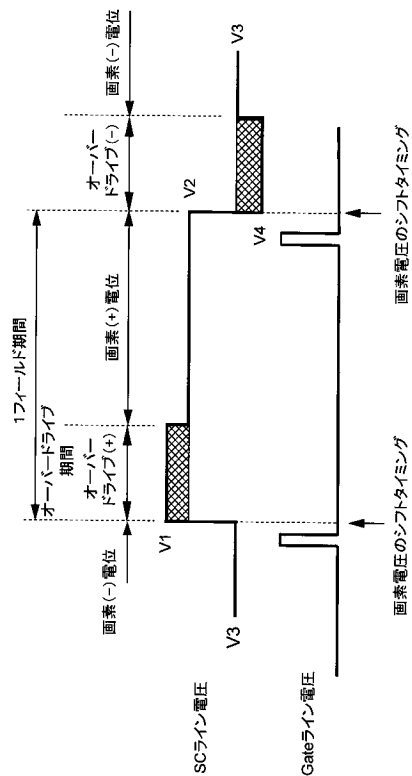
【図 1】



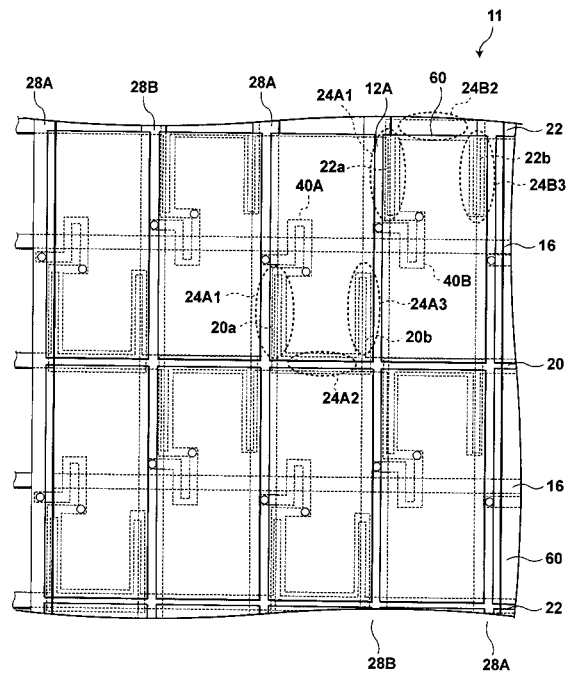
【図 2】



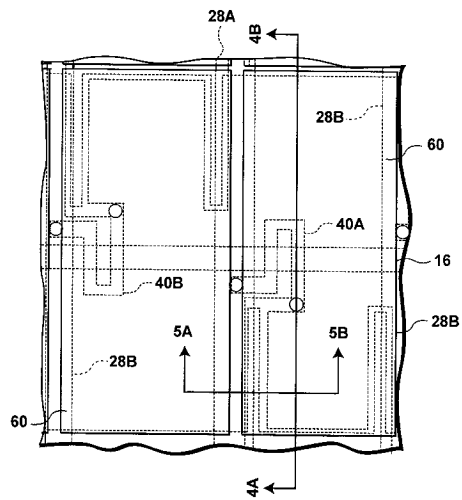
【図 3】



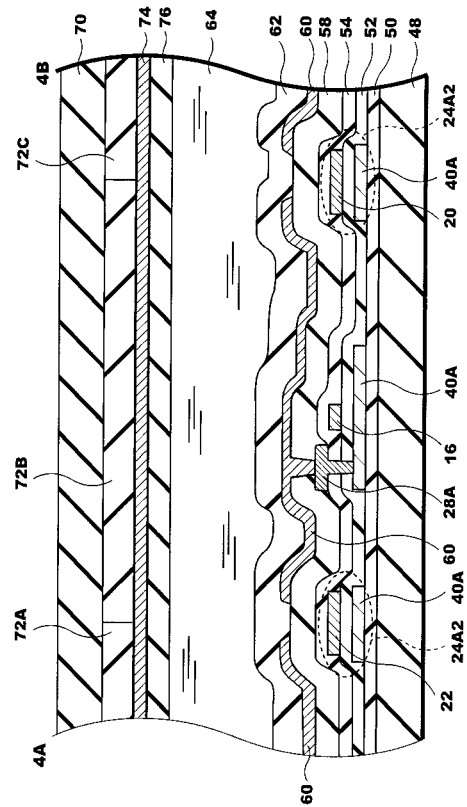
【図 4】



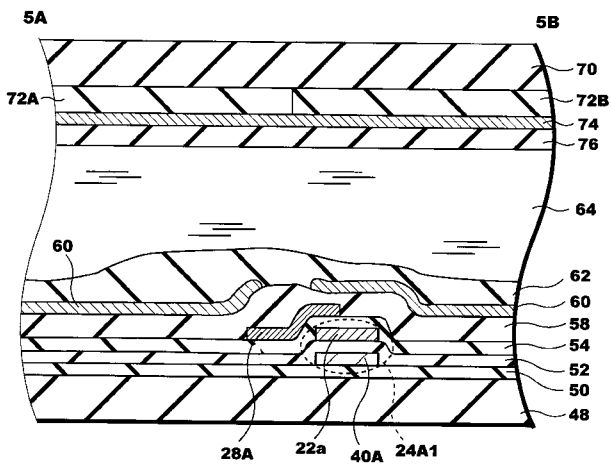
【 図 5 】



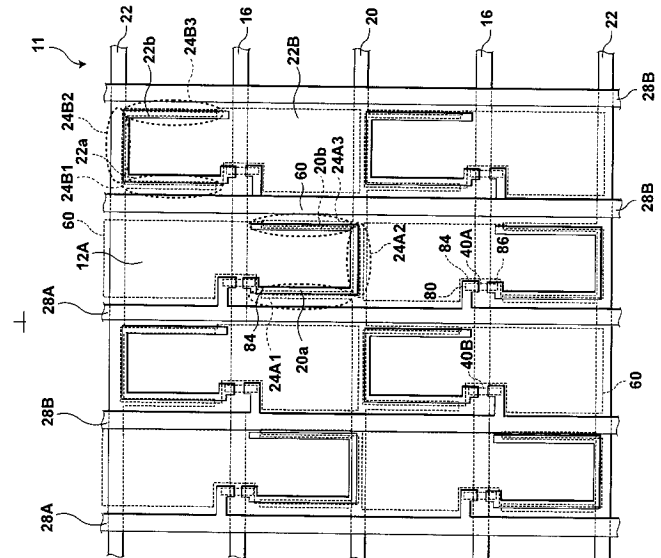
【 図 6 】



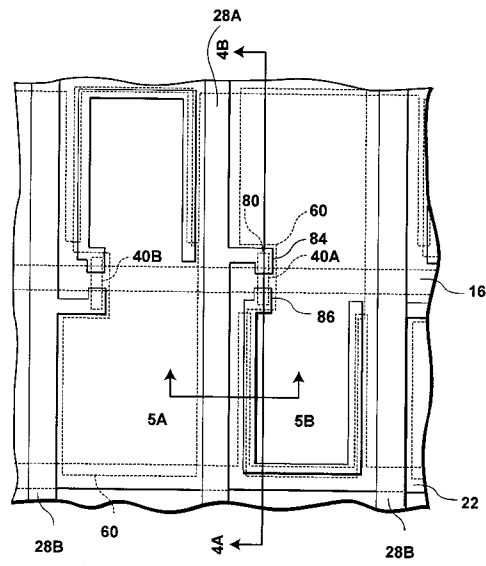
【圖 7】



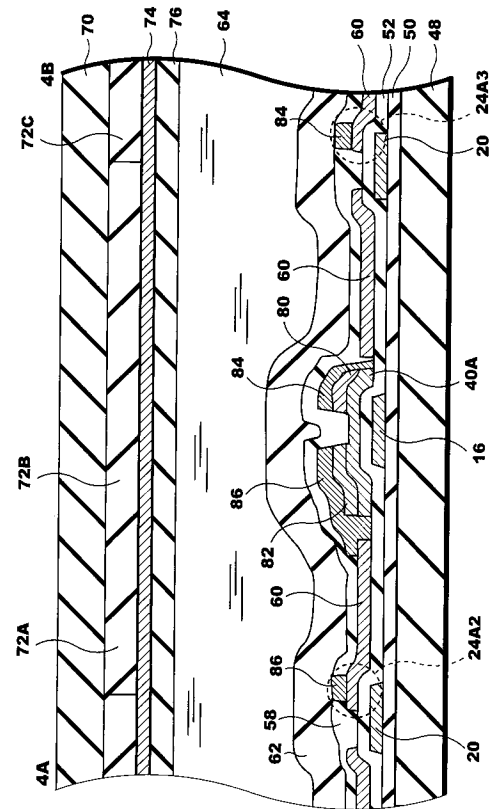
【 図 8 】



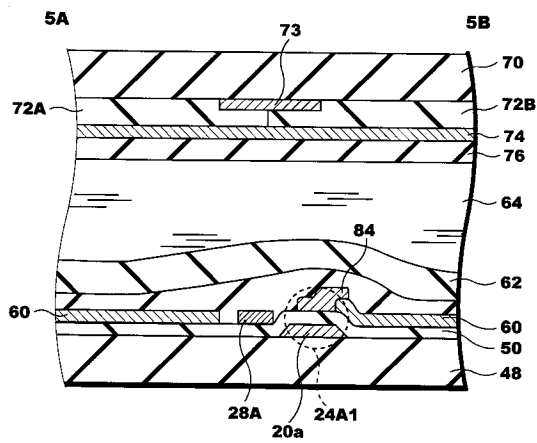
【図 9】



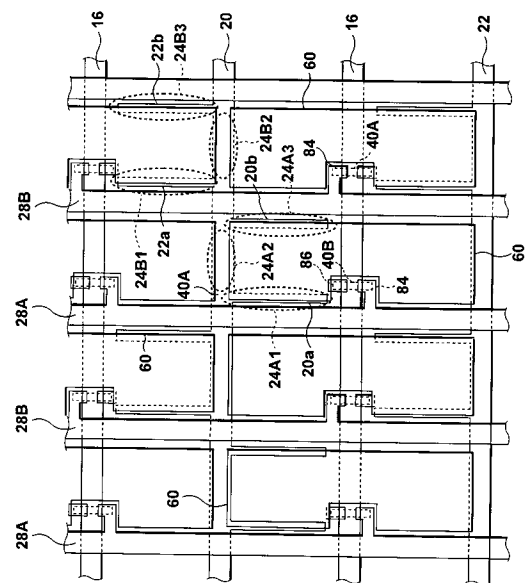
【図 10】



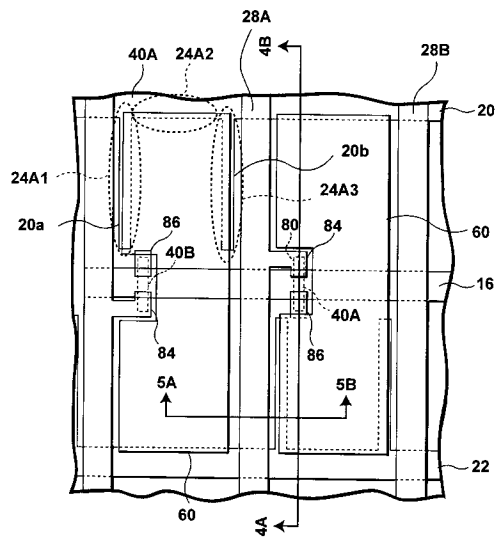
【図 11】



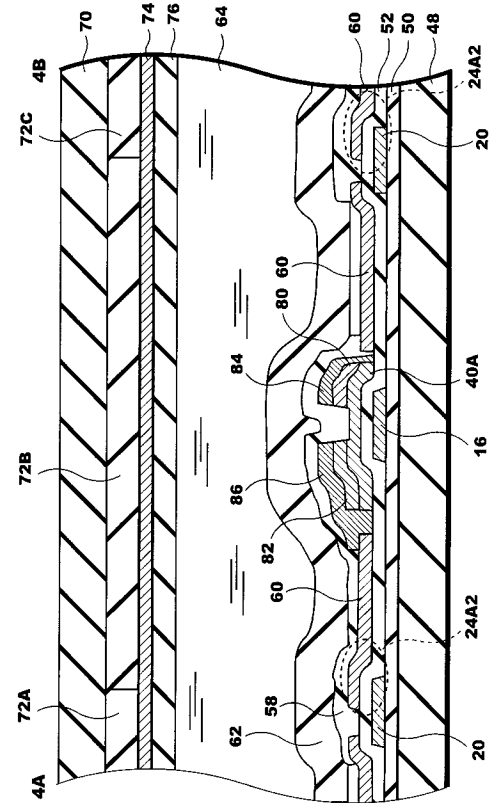
【図 12】



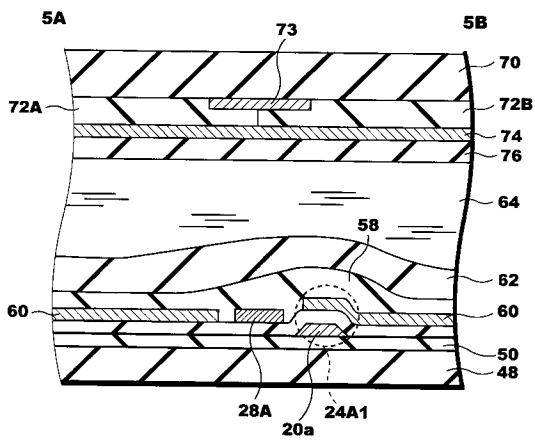
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 千田 みちる

東京都港区六本木 3 - 1 - 1 六本木ティーキューブ 日本サムスン株式会社内

Fターム(参考) 2H092 GA11 JA24 JA34 JA37 JB11 JB22 JB51 JB56 NA07 PA01

PA02 PA03 PA06 PA08

5C094 AA10 BA03 BA43 CA19 CA24 DA13 EA04 EA10 ED15 GA10

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2009098587A5	公开(公告)日	2011-01-06
申请号	JP2007300763	申请日	2007-11-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	横山良一 千田みちる		
发明人	横山 良一 千田 みちる		
IPC分类号	G02F1/1368 G09F9/30		
CPC分类号	G02F1/136213 G02F2201/40 G09G3/3655 G09G2300/0426 G09G2300/0439 G09G2300/0876 G09G2320/0252		
FI分类号	G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JB11 2H092/JB22 2H092/JB51 2H092/JB56 2H092/NA07 2H092/PA01 2H092/PA02 2H092/PA03 2H092/PA06 2H092/PA08 5C094/AA10 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/EA04 5C094/EA10 5C094/ED15 5C094/GA10 2H192/AA24 2H192/AA42 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB45 2H192/CB46 2H192/CC04 2H192/CC22 2H192/CC42 2H192/DA12 2H192/DA13 2H192/EA22 2H192/EA43 2H192/GD61		
优先权	1020070104032 2007-10-16 KR		
其他公开文献	JP2009098587A JP5405733B2		

摘要(译)

提供一种能够提高像素的开口率的液晶显示装置。 本发明的液晶显示装置包括：具有第一像素的像素组，该第一像素具有第一薄膜晶体管，该第二像素具有第二薄膜晶体管，该第一像素和第二薄膜晶体管的栅极具有第一像素和第二薄膜晶体管。 用于提供驱动信号的栅极线，沿着所述第一像素的一端与所述栅极线平行地布置的第一辅助电容线以及与所述栅极线平行的第一辅助电容线。 沿着第一像素的相对侧的另一端，第一薄膜晶体管的一端和设置在第一像素中的第一辅助电容布置的第二辅助电容线。 第一辅助电容器连接在一条线与设置在第二像素中的第二辅助电容器之间，并且连接在第二薄膜晶体管的一端与第二辅助电容器线之间。 并具有辅助能力。 [选择图]图4