

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-241832  
(P2008-241832A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 621B	5C080
	G09G 3/20 611E	
	G09G 3/20 670K	
審査請求 未請求 請求項の数 12 O L (全 35 頁) 最終頁に続く		

(21) 出願番号 特願2007-78758 (P2007-78758)  
(22) 出願日 平成19年3月26日 (2007. 3. 26)

(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿 2 丁目 4 番 1 号  
(74) 代理人 100090479  
弁理士 井上 一  
(74) 代理人 100104710  
弁理士 竹腰 昇  
(74) 代理人 100124626  
弁理士 榎並 智和  
(74) 代理人 100124682  
弁理士 黒田 泰  
(72) 発明者 渡辺 賢哉  
長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

最終頁に続く

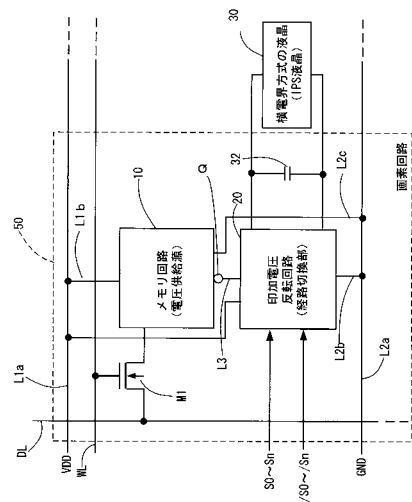
(54) 【発明の名称】 液晶装置、画素回路、アクティブマトリクス基板、および電子機器

(57) 【要約】

【課題】 印加電圧の高精度な反転を実現すると共に、線順次駆動や面順次駆動にも対応可能とすること。

【解決手段】 メモリ回路 (10) は電圧供給源としてのみ機能し、液晶に印加される電圧の極性反転は、印加電圧反転回路 (20) によって実現される。印加電圧反転回路 (20) には、互いに逆相の相補クロック (S0 ~ Sn, /S0 ~ /Sn) が入力され、印加電圧反転回路および液晶と接続された保持コンデンサ (32) が設けられる。メモリ回路 (10) への面データや線データの書き込み期間では、印加電圧反転回路 (20) に入力される切換制御信号 (S0 ~ Sn, /S0 ~ /Sn) を全てローレベルとし、その間、保持コンデンサ (32) に保持された直前の表示データの電圧を液晶素子 (30) に供給する。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

液晶層に基板面方向の電界を印加して液晶分子の配向制御を行う、第 1 の画素電極および第 2 の画素電極を備える横電界方式の液晶素子と、

各画素回路に設けられ、第 1 の電圧および第 2 の電圧の供給源として機能するメモリ回路と、

各画素回路に設けられ、前記メモリ回路から供給される前記第 1 および第 2 の電圧の各々を、前記液晶素子の前記第 1 の画素電極および前記第 2 の画素電極のいずれに供給するかを切り換えることにより、前記液晶素子に印加する電圧を反転させる印加電圧反転回路と、

前記液晶素子に印加する電圧を保持する保持コンデンサと、  
を有し、

前記印加電圧反転回路は、前記メモリ回路の前記第 1 および第 2 の電圧の供給端と、基準電源電位との間に直列に接続された、第 1 および第 2 のスイッチ素子と、

前記メモリ回路の前記第 1 および第 2 の電圧の供給端と、前記基準電源電位との間に直列に接続された、第 3 および第 4 のスイッチ素子と、を有し、

前記第 1 および第 2 のスイッチ素子の共通接続点および前記第 3 および第 4 のスイッチ素子の共通接続点の少なくとも 1 つに前記保持コンデンサの一端が接続され、さらに前記第 1 および第 2 のスイッチ素子の共通接続点と前記第 3 および第 4 のスイッチ素子の共通接続点の各々に、前記液晶素子の前記第 1 の画素電極および第 2 の画素電極の各々が接続されると共に、

前記第 1 および第 4 のスイッチ素子を選択的にオンさせるか、前記第 2 および第 3 のスイッチ素子を選択的にオンさせるか、あるいは前記第 1 ~ 第 4 のスイッチ素子をすべてオフさせるかを、切換制御信号によって制御することを特徴とする液晶装置。

**【請求項 2】**

請求項 1 記載の液晶装置であって、

前記保持コンデンサは、前記第 1 および第 2 のスイッチ素子の共通接続点と、前記第 3 および第 4 のスイッチ素子の共通接続点との間に接続されていることを特徴とする液晶装置。

**【請求項 3】**

請求項 1 記載の液晶装置であって、

前記保持コンデンサは、その一端が前記第 1 および第 2 のスイッチ素子の共通接続点または前記第 3 および第 4 のスイッチ素子の共通接続点と接続され、他端は所定の直流電位と接続されることを特徴とする液晶装置。

**【請求項 4】**

請求項 2 記載の液晶装置であって、

前記第 1、第 2、第 3 および第 4 のスイッチ素子の各々は、同一導電型のトランジスタによって構成され、

前記液晶素子に印加される電圧の更新期間には、前記第 1 および第 3 のスイッチ素子と、第 2 および第 4 のスイッチ素子とは、互いに逆相の前記切換制御信号によって相補的に駆動され、前記液晶素子に印加される電圧を前記保持コンデンサにて保持する期間中には、前記第 1 および第 3 のスイッチ素子ならびに前記第 2 および第 4 のスイッチ素子は前記切換制御信号によってすべてオフ状態となることを特徴とする液晶装置。

**【請求項 5】**

請求項 4 記載の液晶装置であって、

前記 1 本の走査線に接続され、前記各画素回路に設けられた前記メモリ回路の各々に対して表示データを書き込んでいる期間において、前記 1 走査線に接続された画素回路に設けられた前記印加電圧反転回路を構成する前記第 1 および第 3 のスイッチ素子ならびに前記第 2 および第 4 のスイッチ素子はすべてオフ状態となり、

前記 1 走査線に接続され、前記各画素回路に設けられた前記メモリ回路の各々への前記

10

20

30

40

50

表示データの書き込みが終了すると、前記第 1 および第 2 のスイッチ素子あるいは前記第 3 および第 4 のスイッチ素子がオン状態となって、前記更新された表示データの電圧が前記液晶素子に印加されることを特徴とする液晶装置。

【請求項 6】

請求項 4 記載の液晶装置であって、

前記全ての走査線に接続され、前記各画素回路に設けられた前記メモリ回路の各々に対して表示データを書き込んでいる期間において、前記全ての走査線に接続された画素回路に保持された前記印加電圧反転回路を構成する前記第 1 および第 3 のスイッチ素子ならびに前記第 2 および第 4 のスイッチ素子はすべてオフ状態となり、

前記全ての走査線 (WL) に接続され、前記各画素回路に設けられた前記メモリ回路の各々に対して前記表示データの書き込みが終了すると、前記第 1 および第 2 のスイッチ素子、あるいは前記第 3 および第 4 のスイッチ素子がオン状態となって、前記更新された表示データの電圧が液晶に印加されることを特徴とする液晶装置。

10

【請求項 7】

請求項 1 ~ 請求項 6 のいずれか記載の液晶装置であって、

前記メモリ回路は、1 ビットデータを保持する S R A M 型のメモリセルであることを特徴とする液晶装置。

【請求項 8】

請求項 1 ~ 請求項 7 のいずれか記載の液晶装置であって、

前記横電界方式の液晶素子は、I P S (In-Plane Switching) 方式の液晶素子であることを特徴とする液晶装置。

20

【請求項 9】

請求項 1 ~ 請求項 8 のいずれか記載の液晶装置であって、

前記液晶装置は反射型の液晶装置であり、

前記メモリ回路および前記印加電圧反転回路と前記保持コンデンサは、光を反射する材料からなる前記第 1 および第 2 の画素電極の下側の素子形成領域に配設されることを特徴とする液晶装置。

【請求項 10】

第 1 の電圧および第 2 の電圧の供給源として機能するメモリ回路と、

前記メモリ回路から供給される前記第 1 および第 2 の電圧の各々を、液晶素子の前記第 1 の画素電極および前記第 2 の画素電極のいずれに供給するかを切り換えることにより、前記液晶素子に印加される電圧を反転させる印加電圧反転回路と、前記メモリ回路へのデータの書き込みが終了した時点で、前記液晶素子に印加する電圧を保持する保持コンデンサを含むことを特徴とする画素回路。

30

【請求項 11】

横電界方式の液晶素子の液晶層に電界を与えるための第 1 の画素電極および第 2 の画素電極と、

各画素回路に設けられた、第 1 の電圧および第 2 の電圧の供給源として機能するメモリ回路と、

各画素回路に設けられた、前記メモリ回路から供給される前記第 1 および第 2 の電圧の各々を、前記液晶素子の前記第 1 の画素電極および前記第 2 の画素電極のいずれに供給するかを切り換えることにより、前記液晶素子に印加する電圧を反転させる印加電圧反転回路と、

40

前記液晶素子に印加する電圧を保持する保持コンデンサと、

を有することを特徴とするアクティブマトリクス基板。

【請求項 12】

請求項 1 ~ 請求項 9 のいずれか記載の液晶装置を搭載した電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、液晶装置、画素回路、アクティブマトリクス基板、および電子機器に関する。

【背景技術】

【0002】

反射型液晶装置は、例えば、携帯電話端末、ノート型パーソナルコンピュータ、反射型プロジェクタ等の電子機器に搭載されている。反射型液晶装置は、例えば、データ線、走査線、トランジスタ等のスイッチ素子、電荷蓄積容量、およびアルミニウム等の反射型の画素電極を備えたガラスまたはシリコン等の基板と、透明導電膜からなる対向電極等を備えたガラス等の基板との間に液晶層を挟持した構成をもつ。画素電極が反射型であるため、画素電極の下側にトランジスタ等のスイッチ素子を設けることができ、解像度を高めた場合でもパネルの開口率が低下せず、高解像度と高輝度を両立することが比較的容易である。

10

【0003】

但し、保持コンデンサによって画素電圧を保持するアナログ方式の画素回路を用いた場合には、時間の経過と共に保持容量の電圧値が低下することから、表示画像の明度やコントラストの変動が生じ得る。

【0004】

この問題を解決するために、各画素の反射型画素電極の下側に1ビットのメモリセルを配設した液晶装置が提案されている（例えば、特許文献1参照）。このようなメモリセルを各画素に備えた液晶装置においては、メモリセルによりデータ線からの画像信号がラッチされ、その信号が各画素の液晶層に印加される。メモリセルは、新たな信号が書き込まれるまで前の信号を保持している。したがって、例えば、静止画像をメモリに退避した後、別の静止画像を表示し、その後、退避してあった静止画像を再び表示する、というような表示切換えを、簡単かつ効率的に行うことができる。また、画素電圧をデジタル化することにより、クロストーク等による表示品質の劣化が起きにくいといった効果も得ることができる。

20

【0005】

また、液晶に直流電圧が印加されることによって、いわゆる焼き付き（液晶分子の配向が特定方向に揃うことによる表示画像の劣化現象）が生じるのを防止するためには、液晶に印加する電圧の極性を、周期的に反転することが有効である（例えば、特許文献2参照）。

30

【0006】

また、各画素にメモリセルを備えた液晶装置における、液晶に印加する電圧を反転させるための回路構成は、例えば、特許文献3および特許文献4に記載されている。これらの文献に記載される技術は、液晶の一方の電極に与える電圧と、対向電極（共通電極）に与える電圧の極性を周期的に反転させる点で共通している。なお、特許文献3の技術では、SRAMから得られる相補信号のいずれを液晶に供給するかを、トランジスタのオン/オフによって切替えている。また、特許文献4に記載される技術では、液晶に印加される電圧を反転させたときにオフセットが生じると焼き付きの原因となることから、光センサから得られる応答波形がフィールド毎に等しくなるように対向電極（共通電極）に与える電圧のオフセット電圧を微調整している。

40

【0007】

また、液晶装置の一形態として、液晶層に基板面方向の電界を印加して液晶分子の配向制御を行う方式（以下、横電界方式と称する。）のものが知られており、液晶に電界を印加する電極の形態によりIPS（In-Plane Switching）方式、FFS（Fringe-Field Switching）方式等と呼ばれる（例えば、特許文献5参照）。横電界方式の液晶は、水平な液晶分子を横方向に回転させることによって光の透過状態を制御する。液晶分子の垂直方向の傾きが発生しないため、視野角による輝度変化/色変化が少ない。したがって、横電界方式の液晶は、高視野角特性と高品質な発色性が必要なときに利用される。

【特許文献1】特開平8-286170号公報

50

- 【特許文献2】特開平5 - 303077号公報
- 【特許文献3】特開2005 - 148453号公報
- 【特許文献4】特開2005 - 25048号公報
- 【特許文献5】特開2001 - 337339号公報
- 【発明の開示】
- 【発明が解決しようとする課題】

【0008】

液晶の焼き付きを防止するためには、直流電圧が液晶に長時間にわたって印加されることを防止する必要がある。図18は、液晶装置における焼き付き防止のために必要な動作を示す図であり、(A)は液晶に電圧を印加する場合の動作を示す図であり、(B)は液晶に電圧を印加しない場合の動作を示す図である。図18では、液晶層に基板面に垂直に電界が印加されるタイプの液晶(例えば、TN液晶)が用いられる。

10

【0009】

図18(A)に示すように、液晶400に電圧が印加される場合には、焼き付き防止のために、例えば周期的に、液晶に印加する電圧の極性を反転させる。すなわち、図中のX1, X2の各端子に印加する電圧の極性が周期的に切り換えられる。なお、液晶400は、下部電極Lpと、上部電極(共通電極)LCcomと、を有する。

【0010】

また、図18(B)に示すように、液晶400に電圧が印加されない場合の焼き付き防止には、下部電極Lpと、上部電極(共通電極)LCcomとをショートして等電位とし、直流オフセットを生じさせないようにすることが重要である。なお、図18(B)では、便宜上、スイッチSW1を用いて液晶の両電極をショートさせているが、実際には、各電極に同じ電圧を印加することによって、液晶400の両極のショート状態を実現する。

20

【0011】

しかし、各画素にメモリ回路を備える液晶装置において、図18(A), (B)に模式的に記載されるような理想的な動作(焼き付き防止のための極性反転動作や両極のショート動作)を実現することは、現実には困難である。

【0012】

図19(A)~(C)は、各画素回路にメモリ回路を備える液晶装置における、液晶の両極の電圧を反転させる際の問題点を説明するための図である。

30

【0013】

液晶の両極の電圧を反転させる態様としては、図19(A)に示すように、対向電極(共通電極)LCcomの電圧(Vcom)を固定し、下部電極Lpの電圧(Vp)の極性を反転する方法と、図19(B)に示すように、下部電極Lpと共通電極LCcomの各電圧(VpおよびVcom)を同時に入れ替える方法とがある。なお、図19(A)~(C)では、液晶に印加する電圧は“5V”と“0V”としている。

【0014】

図19(A)に示す方法をとれば、対向電極(共通電極)LCcomの電位(Vcom = 0V)を変化させる必要がないため便利であるが、下部電極Lpの電圧(Vp)をVcomに対して相対的に変化させる必要があるため、結果的に負電源を使用する必要が生じる。各画素に備わる各メモリ回路を負電源で動作させることは現実的ではないため、メモリ回路を用いる液晶装置では、図19(A)の方式は採用できない。

40

【0015】

そこで、図19(B)のように、下部電極Lpと共通電極LCcomの各電圧(VpおよびVcom)を同時に入れ替える方法を採用せざるを得ない。この場合、問題となるのは、対向電極(共通電極)LCcomは、液晶装置の全画素に共通する電極であるため、基板間に挟持される液晶層の全体が負荷容量として機能し、したがって、電圧の変化が遅いということである。

【0016】

つまり、図19(C)に示すように、下部電極Lpについては、1画素単位の電極であ

50

るため負荷が軽い。したがって、液晶の両極の電圧の反転時（時刻  $t_1$ ）には、下部電極  $L_p$  の電圧（ $V_p$ ）は速やかに変化する。これに対し、対向電極（共通電極） $L_{Ccom}$  の電圧（ $V_{com}$ ）の変化は、負荷が重いために遅くなり、図 19（C）に示すように、遷移期間  $T_1$ （時刻  $t_1 \sim t_2$ ）を経て電圧が切り換わる。したがって、結果的に、遷移期間  $T_1$  においては、液晶に印加される電圧は時間経過と共に徐々に変化することになり、これに伴う液晶の透過率の変化は、その変化が遅いために人の目につきやすく、よってフリッカ（視覚的なちらつき）が生じやすい。

【0017】

また、図 19（B）のような電圧反転制御を行うためには、 $V_p$  と  $V_{com}$  の各々を、別々の制御回路によって個別に制御する必要があり、回路構成が複雑化するの否めない。

10

【0018】

図 20（A）、図 20（B）は、各画素回路にメモリ回路を備える液晶装置における、液晶の両極をショート状態（同電位状態）とする場合の問題点を説明するための図である。図 20（A）に示すように、液晶 400 の両電極（ $L_p$ 、 $L_{Ccom}$ ）には、別々の回路（配線）から接地電位（ $GND_1$ 、 $GND_2$ ）が与えられる。しかし、別々の回路（配線）経由で各電極に与えられる各接地電位（ $GND_1$ 、 $GND_2$ ）は、電圧レベルの変動が各々独立に生じるために、相対的に差が生じる場合がある。

【0019】

また、液晶の各電極（ $L_p$ 、 $L_{Ccom}$ ）は 2 次元の広がりをもつため、その電圧（ $V_p$ 、 $V_{com}$ ）は面内でばらつき、これによって、各画素の両極に、直流オフセットが生じる場合もある。

20

【0020】

したがって、結果的に、図 20（B）に示すように、液晶 400 の各画素の両極に直流オフセット電圧（ $V$ ）が生じる場合がある。なお、図中の  $V_{gnd1}$ 、 $V_{gnd2}$  は、面内ばらつきを考慮した各画素の両極の電圧を示す。このような直流オフセット電圧  $V$  は、焼き付きの原因となる。

【0021】

このように、各画素にメモリ回路を備えた液晶装置において、フリッカを発生させることなく、焼き付き防止のための印加電圧の反転を行うこと、ならびに直流オフセットを発生しない、完全なショート状態を実現することは困難である。また、液晶の各電極（ $L_p$ 、 $L_{Ccom}$ ）の電圧を個別に制御する必要があるため、制御のための回路構成が複雑化する。

30

【0022】

また、画像データの書き込み方法には、1 本の走査線と接続された各画素回路に対して順に画像データの書き込みを行い、全ての画素回路に対する書き込みが終了した時点で、各画素回路に対して書き込んだ画像データを液晶で表示する線順次方式と、1 本の走査線と接続された各画素回路に対して順に画像データの書き込みを行う動作を走査線の本数分順に行い、全ての画素回路に対する書き込みが終了した時点で、各画素回路に対して書き込んだ画像データを液晶で表示する面順次方式がある。しかし、いずれの方式においても、各画素回路に対して画像データを書き込んでいるのが、表示画面に反映されてしまい、フリッカなどの原因になる。

40

【0023】

本発明は、このような考察に基づいてなされたものであり、その目的は、簡単な回路構成ならびに簡単な制御によって、フリッカを抑制しつつ印加電圧の高精度の反転を実現して焼き付きを防止し、また、液晶に電圧を印加しないときに、直流オフセットを生じさせることなく両極のショートを実現し、さらに、画素回路における表示データの更新時に 1 本の走査線ごとのデータの書き換え動作、もしくは 1 画面ごとのデータの書き換え動作による影響を画面上に及ぼさないようにして線順次駆動や面順次駆動を可能とすることにある。

50

## 【課題を解決するための手段】

## 【0024】

(1) 本発明の液晶表示装置の一態様では、液晶層に基板面方向の電界を印加して液晶分子の配向制御を行う、第1の画素電極および第2の画素電極を備える横電界方式の液晶素子と、各画素回路に設けられ、第1の電圧および第2の電圧の供給源として機能するメモリ回路と、各画素回路に設けられ、前記メモリ回路から供給される前記第1および第2の電圧の各々を、前記液晶素子の前記第1の画素電極および前記第2の画素電極のいずれに供給するかを切り換えることにより、前記液晶素子に印加する電圧を反転させる印加電圧反転回路と、前記液晶素子に印加する電圧を保持する保持コンデンサと、を有し、前記印加電圧反転回路は、前記メモリ回路の前記第1および第2の電圧の供給端と、基準電源電位との間に直列に接続された、第1および第2のスイッチ素子と、前記メモリ回路の前記第1および第2の電圧の供給端と、前記基準電源電位との間に直列に接続された、第3および第4のスイッチ素子と、を有し、前記第1および第2のスイッチ素子の共通接続点および前記第3および第4のスイッチ素子の共通接続点の少なくとも1つに前記保持コンデンサの一端が接続され、さらに前記第1および第2のスイッチ素子の共通接続点と前記第3および第4のスイッチ素子の共通接続点の各々に、前記液晶素子の前記第1の画素電極および第2の画素電極の各々が接続されると共に、前記第1および第4のスイッチ素子を選択的にオンさせるか、前記第2および第3のスイッチ素子を選択的にオンさせるか、あるいは前記第1～第4のスイッチ素子をすべてオフさせるかを、切換制御信号によって制御する。

10

20

## 【0025】

横電界方式の液晶は、液晶を挟む2つの基板のうちの一方の基板側に、1画素に対応した2つの電極が配置される構造をもち、TN液晶のように、全画素に共通した共通電極(LCcom)を用いる場合に比べて負荷容量が小さい(すなわち、横電界方式の液晶の各画素の負荷容量は1画素に相当する容量のみである)。したがって、液晶に印加する電圧を反転する場合において、各電極の電圧は共に、速やかに変化する。本発明では、横電界方式の液晶のこのような特性に着目して、横電界方式の液晶を積極的に採用する。また、メモリ回路を電圧供給源としてのみ機能させ、液晶に印加される電圧の反転は、専用の印加電圧反転回路により実現するという、電圧供給と電圧反転の各機能を完全に分離した新規な画素回路構成を採用する。印加電圧反転回路は、メモリ回路から供給される第1または第2の電圧(例えば、“1”または“0”に対応した“5V(VDD)”または“0V(GND)”の電圧)を電源電圧として動作する。すなわち、印加電圧反転回路は、メモリ回路から供給される電源電圧(第1または第2の電圧)と、基準電源電位(グランド)との間で動作し、そして、メモリ回路から供給される電圧(第1または第2の電圧)ならびに基準電源電圧(グランド)の各々を、横電界方式の液晶の第1および第2の画素電極のいずれに供給するかを(つまり、各電圧の供給経路を)切り換える。つまり、電圧の供給経路が切り換えるだけであり、電圧源自体は共通のため、電圧の反転前と反転後の電圧値自体には何も変動がなく、正確な電圧の極性反転が実現する。また、液晶の面内ばらつきによって、各画素における電圧レベルが若干変動したとしても、上述のとおり各画素における電圧源自体は共通であり、その画素内では、電圧の反転前と反転後の電圧値自体には何も変動がなく、したがって、各画素において直流オフセットは発生しない。また、電圧の供給経路を切り換えるだけであるため、第1および第2の画素電極の各々に供給する電圧レベルの切り替えを、簡単な回路により同時に実現することができる。従来のように、共通Vcomと下部電極の電圧Vpを別個の回路で制御し、各電圧を高精度に調整し、かつ、各電圧の切り換えタイミングの同期をとる必要はなくなる。横電界方式の液晶は、上述のとおり各電極の電圧変化が速やかに行われ、高速応答が可能であるため、従来のような電圧の遷移期間において液晶の透過率が徐々に変化していくというような現象が生じにくく、フリッカが抑制される。また、仮に、液晶の透過率が時間的に変化したとしても、その変化が速いために、人間の目には認識されにくく、この点でもフリッカが抑制される。また、印加電圧反転回路の基準電源電圧が、例えばグランドレベルであるとき、メモ

30

40

50

り回路から供給する電圧を0Vとすれば、液晶の両電極に印加される電圧は、共に正確に0Vとなり、液晶への電圧印加がない場合のショート状態が実現され、この際、直流オフセットは生じない。

【0026】

また、さらに、本発明の液晶装置は、液晶素子に印加する電圧を保持する保持コンデンサを備えているから、画素回路におけるメモリ回路への新規な表示データの書き込み期間において、切換制御信号によって印加電圧反転回路のトランジスタをすべてオフし、この期間においては、保持コンデンサにおいて保持している表示データの電圧を液晶素子に印加することによって、1つ前の表示データを継続的に液晶素子に表示させて、メモリ回路へ表示データを書き込んでいることによる画面上への影響を及ぼさないようにしている。よって、フリッカなどを生じることなく、線順次駆動や面順次駆動が可能となる。

10

【0027】

(2)本発明の液晶装置の他の態様では、前記保持コンデンサは、前記第1および第2のスイッチ素子の共通接続点と、前記第3および第4のスイッチ素子の共通接続点との間に接続されている。

【0028】

保持コンデンサの接続形態の一例を明らかとしたものである。この構成によれば、画素回路におけるメモリ回路への新規な表示データの書き込み期間に、印加電圧反転回路の入力をフローティングとして印加電圧反転回路を構成するスイッチ素子をすべてオフし、保持コンデンサにおいて保持している表示データの電圧を液晶素子に印加することで、1つ前の表示データを継続的に液晶素子に表示させることができる。

20

【0029】

(3)本発明の液晶装置の他の態様では、前記保持コンデンサは、その一端が前記第1および第2のスイッチ素子の共通接続点または前記第3および第4のスイッチ素子の共通接続点と接続され、他端は所定の直流電位と接続されている。

【0030】

保持コンデンサの接続形態の他の例を明らかとしたものである。この構成によれば、画素回路におけるメモリ回路への新規な表示データの書き込み期間に、印加電圧反転回路の入力をフローティングとして印加電圧反転回路を構成するスイッチ素子をすべてオフし、保持コンデンサにおいて保持している表示データの電圧を液晶素子に印加することで、1つ前の表示データを継続的に液晶素子に表示させることができる。

30

【0031】

(4)本発明の液晶装置の他の態様では、前記第1、第2、第3および第4のスイッチ素子の各々は、同一導電型のトランジスタによって構成され、前記液晶素子に印加される電圧の更新期間には、前記第1および第3のスイッチ素子と、第2および第4のスイッチ素子とは、互いに逆相の前記切換制御信号によって相補的に駆動され、前記液晶素子に印加される電圧を前記保持コンデンサにて保持する期間中には、前記第1および第3のスイッチ素子と、第2と第4のスイッチ素子は前記切り換え制御信号によってすべてオフ状態とする。

【0032】

各スイッチ素子が同一導電型のトランジスタ(MOSトランジスタ、バイポーラトランジスタを含む)からなり、第1~第4のトランジスタのオンは、相補的な切換制御信号によって制御され、第1~第4のトランジスタのゲートに入力される切換制御信号をととも例えばローレベルとすることで、液晶素子に印加される電圧の更新期間に第1~第4のトランジスタを全てオフするものである。これによって、メモリ回路と液晶素子とを接続する経路が遮断される。よって、この間に、メモリ回路の面データあるいは線データを書き換えることができ、面順次駆動や線順次駆動が可能となる。メモリ回路から供給される電圧は、第1~第4の各MOSトランジスタのソースまたはドレインに直接に印加されるが、各MOSトランジスタのソース/ドレイン間の耐圧はかなり高いため、耐圧の問題は生じない。また、メモリ回路と印加電圧反転回路は直結されている(例えば、上述の特許文

40

50

献4に開示されるように、液晶への電圧供給パスに、MOSトランジスタのゲート/ソース経路が存在しない)ため、メモリ回路および印加電圧反転回路の高レベル側の電源電圧の値は同じでよく、(印加電圧反転回路を構成する4つのトランジスタのゲート電位は画素アレイ外部からの切換制御信号( $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ )によって供給されるため、任意の電圧( $SRAM$ から供給される $V_{DD}$ の電圧が $V_{th}$ ドロップしない $V_{DD} + V_{th}$ といった電圧)を供給することができる。特許文献4に開示されている技術では、 $SRAM$ からの供給電圧を $V_{DD} + V_{th}$ とする必要があるため、 $SRAM$ を構成する各トランジスタを高耐圧トランジスタで構成する必要があるのに対して、本発明では、 $SRAM$ を構成するトランジスタとして、高耐圧トランジスタを使用せずとも、 $V_{DD}$ 電圧を、印加電圧反転回路を構成するトランジスタを介して液晶に印加できる点で優位である。なお、本発明の場合、印加電圧反転回路を構成するトランジスタのゲートには、 $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ として( $V_{DD} + V_{th}$ )といった高電圧が印加されるが、一般にトランジスタの $S/D$ (ソース/ドレイン)耐圧よりもゲート耐圧の方が、耐圧性が優れており、特に問題はない。また、トランジスタの $S/D$ 耐圧を高耐圧化しようとした場合には、トランジスタの構造自体を高耐圧に適した構造にする必要があり、なおかつトランジスタの $S/D$ サイズが大きくなってしまいう問題が生じやすいが、ゲート耐圧を高耐圧化する場合には、ゲート酸化膜厚を厚くするだけで高耐圧化が可能であり、実現が容易である。また、印加電圧反転回路に用いている4つのトランジスタは、 $V_{DD}$ または $GND$ 電位を液晶へ印加することを目的としているため、トランジスタのサイズ( $W/L$ )は任意のサイズで良い。但し、液晶への充電時間、放電時間を等しくする場合には、4つのトランジスタサイズを等しくしておくことが望ましい。このように、本発明では、メモリ回路を構成するトランジスタや印加電圧反転回路を構成するトランジスタを高耐圧トランジスタとする必要がなく、コンパクトな画素回路を形成することができ、デバイスの製造プロセスが複雑化することもない。また、相補的、あるいはともにローレベルの切換制御信号は、デジタル回路では汎用的に用いられるものであり、生成が容易である。

10

20

30

40

50

**【0033】**

また、このような構成によれば、液晶素子に印加される電圧の更新期間には、印加電圧反転回路における第1および第4のスイッチ素子と、第2および第3のスイッチ素子を相補的に駆動することにより、液晶素子および保持コンデンサに表示データの電圧を印加し、一方、画素回路におけるメモリ回路へ新規な表示データを書き込んでいる期間には、印加電圧反転回路の入力をフローティングとして、印加電圧反転回路を構成するスイッチ素子をすべてオフして保持コンデンサにおいて保持している表示データの電圧を液晶素子に印加することで、1つ前の表示データを継続的に液晶素子に表示させることができる。

**【0034】**

よって、保持コンデンサにおいて保持している1つ前の表示データの電圧を液晶素子に印加することができ、新規な表示データの書き込みを行っている期間に新規なデータは画面上表示されず、走査線単位の書き込みであれば、1本の走査線と接続された全ての画素回路、面単位の書き込みであれば、全ての走査線と接続された全ての画素回路への書き込みが終わった段階で一括してデータが更新されるため、フリッカなどを防止して面順次駆動あるいは線順次駆動による高精細な画像を実現することができる。

**【0035】**

(5)本発明の液晶装置の他の態様では、前記1本の走査線に接続され、前記各画素回路に設けられた前記メモリ回路の各々に対して表示データを書き込んでいる期間において、前記1走査線に接続された画素回路に設けられた前記印加電圧反転回路を構成する前記第1と第3のスイッチ素子と、前記第2と第4のスイッチ素子はすべてオフ状態となり、前記1走査線に接続され、前記各画素回路に設けられた前記メモリ回路の各々への前記表示データの書き込みが終了すると、前記第1と第2のスイッチ素子と、前記第3と第4のスイッチ素子がオン状態となって、前記更新された表示データの電圧が前記液晶素子に印加される。

**【0036】**

線順次駆動を行う場合の動作を明らかとしたものである。1走査線と接続された画素回路におけるメモリ回路に対する新規な表示データへの書き込み期間には、印加電圧反転回路における第1～第4のスイッチ素子を全てオフ状態にして、前記保持コンデンサにおいて保持されている表示データの電圧を液晶素子に印加し、1つ前の表示データを液晶素子にて表示し、書き込みが終了した段階で、切換制御信号の一方をハイレベル、他方をローレベルとすることで、印加電圧反転回路を駆動させ、新規な表示データを一括して液晶素子および保持コンデンサに対して更新することが可能となる。この場合、表示データの書き込み動作を線順次駆動で行っているため、1本の走査線と接続された各画素回路に対する表示データの書き込み過程を画面表示することがないため、フリッカを防止して、液晶装置の表示品質を高精細にすることができる。

10

## 【0037】

(6)本発明の液晶装置の他の態様では、前記全ての走査線に接続され、前記各画素回路に設けられた前記メモリ回路の各々に対して表示データを書き込んでいる期間において、前記全ての走査線に接続された画素回路に保持された前記印加電圧反転回路を構成する前記第1と第3のスイッチ素子と、前記第2と第4のスイッチ素子はすべてオフ状態となり、前記全ての走査線に接続され、前記各画素回路に設けられた前記メモリ回路の各々に対して前記表示データの書き込みが終了すると、前記第1と第2のスイッチ素子と、前記第3と第4のスイッチ素子がオン状態となって、前記更新された表示データの電圧が液晶に印加される。

20

## 【0038】

面順次駆動を行う場合の動作を明らかとしたものである。1画面を構成する全ての走査線と接続された画素回路におけるメモリ回路に対する新規な表示データへの書き込み期間には、印加電圧反転回路における第1～第4のスイッチ素子を全てオフ状態にして、前記保持コンデンサにおいて保持されている表示データの電圧を液晶素子に印加して、1つ前の表示データを液晶素子に表示し、1画面への書き込みが終了した段階で、切換制御信号の一方をハイレベル、他方をローレベルとすることで、印加電圧反転回路を駆動させ、新規な表示データを一括で液晶素子および保持コンデンサに対して更新する事が可能となる。この場合、表示データの書き込み動作を面順次駆動で行っているため、全ての走査線と接続された各画素回路に対する表示データの書き込み過程を画面表示することがないため、フリッカを防止して、液晶装置の表示品質を高精細にすることができる。

30

## 【0039】

(7)本発明の液晶装置の他の態様では、前記メモリ回路は、1ビットデータを保持するSRAM型のメモリセルである。

## 【0040】

SRAMセルとしては、フリップフロップの負荷を高抵抗(例えばイオン打ち込みで形成される抵抗)で形成する高抵抗型SRAMセル、負荷も含めてMOSトランジスタで構成するフルCMOS型セルが含まれ、さらに、複数のインバータを用いてフリップフロップを形成するラッチ型セルも含まれる。

## 【0041】

(8)本発明の液晶装置の他の態様では、前記横電界方式の液晶素子は、IPS(In-Plane Switching)方式の液晶素子である。

40

## 【0042】

横電界方式の液晶として、IPS液晶を使用するものである。

## 【0043】

(9)本発明の液晶装置の他の態様では、前記液晶装置は反射型の液晶装置であり、前記メモリ回路および前記印加電圧反転回路は、光を反射する材料からなる前記第1および第2の画素電極の下側の素子形成領域に配設される。

## 【0044】

反射型液晶の場合、画素電極の下部に素子形成領域を設けることができる。本発明の印加電圧反転回路は簡素化された構成となっているため、画素電極の下部の空スペースに、

50

メモリ回路および印加電圧反転回路を配置することは、むずかしいことではない。したがって、画素回路の占有面積を大きくすることなく、本発明にかかる画素回路を形成することが可能である。

【0045】

(10) 本発明の画素回路は、第1の電圧および第2の電圧の供給源として機能するメモリ回路と、前記メモリ回路から供給される前記第1および第2の電圧の各々を、液晶素子の前記第1の画素電極および前記第2の画素電極のいずれに供給するかを切り換えることにより、前記液晶素子に印加される電圧を反転させる印加電圧反転回路と、前記メモリ回路へのデータの書き込みが終了した時点で、前記液晶素子に印加する電圧を保持する保持コンデンサを含む。

10

【0046】

液晶層が接続される前の、画素回路自体の構成を明らかとしたものである。

【0047】

(11) 本発明のアクティブマトリクス基板は、横電界方式の液晶素子の液晶層に電界を与えるための第1の画素電極および第2の画素電極と、各画素回路に設けられた、第1の電圧および第2の電圧の供給源として機能するメモリ回路と、各画素回路に設けられた、前記メモリ回路から供給される前記第1および第2の電圧の各々を、前記液晶素子の前記第1の画素電極および前記第2の画素電極のいずれに供給するかを切り換えることにより、前記液晶素子に印加する電圧を反転させる印加電圧反転回路と、前記液晶素子に印加する電圧を保持する保持コンデンサと、を有する。

20

【0048】

アクティブマトリクス基板自体の構成を明らかとしたものである。

【0049】

(12) 本発明の電子機器は、本発明の液晶装置を搭載する。

【0050】

本発明の液晶装置は、例えば、携帯電話のサブパネル、低消費電力のノート型パーソナルコンピュータ、反射型プロジェクタ等の電子機器に搭載することが可能である。電圧反転に伴う静止画のフリッカが抑制されるため、高画質の画像を表示できる。また、直流オフセットの発生が低減されて焼き付きが生じにくいことから、表示画像の画質の経時的な劣化も生じにくい。

30

【0051】

このように、本発明によれば、簡単な回路構成ならびに簡単な制御によって、フリッカを抑制しつつ印加電圧の高精度の反転を実現することができ、また、液晶に電圧を印加しないときは、直流オフセットを生じさせないショート状態を実現することができるだけでなく、新規な表示データの書き込み期間であっても、保持コンデンサにおいて保持している1つ前の表示データの電圧を液晶素子に印加することができ、新規な表示データの書き込みを行っている期間に新規なデータは画面上表示されず、走査線単位の書き込みであれば、1本の走査線と接続された全ての画素回路、面単位の書き込みであれば、全ての走査線と接続された全ての画素回路への書き込みが終わった段階で一括してデータが更新されるため、フリッカなどを防止して、線順次駆動あるいは面順次駆動による、高精細な画像表示を実現することができる。

40

【0052】

このように、本発明によれば、簡単な回路構成ならびに簡単な制御によって、フリッカを抑制しつつ印加電圧の高精度の反転を実現して焼き付きを防止することができる。また、液晶に電圧を印加しないときに、直流オフセットを生じさせることなく両極のショートを実現することができる。さらに、画素回路における表示データの更新時に1本の走査線ごとのデータの書き換え動作、もしくは1画面ごとのデータの書き換え動作による影響を画面上に及ぼさないようにすることができ、よって、線順次駆動や面順次駆動も可能となる。

【発明を実施するための最良の形態】

50

## 【 0 0 5 3 】

次に、本発明の実施形態について説明する。なお、以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

## 【 0 0 5 4 】

次に、本発明の実施形態について、図面を参照して説明する。

## 【 0 0 5 5 】

(第1の実施形態)

まず、1画素の基本構成について説明する。

## 【 0 0 5 6 】

(1画素の基本構成)

図1は、本発明の液晶装置における1画素の構成を示す図である。図1に示すとおり、1画素は、画素回路50と、横電界方式の液晶(ここではIPS液晶とする。但し、これに限定されるものではない)30と、を含んで構成される。

10

## 【 0 0 5 7 】

横電界方式の液晶は、液晶層に基板面方向の電界を印加して液晶分子の配向制御を行う方式の液晶であり、液晶に電界を印加する電極の形態によりIPS(In-Plane Switching)方式、FFS(Fringe-Field Switching)方式等と呼ばれるものが知られている。横電界方式の液晶は、液晶を挟む2つの基板のうちの一方の基板側に、1画素に対応した2つの電極が配置される構造をもち、TN液晶のように、全画素に共通した共通電極(LCCo)を用いる場合に比べて負荷容量が小さい(すなわち、横電界方式の液晶の各画素の負荷容量は一画素に相当する容量のみである)。したがって、液晶に印加する電圧を反転する場合において、各電極の電圧は共に、速やかに変化する。本発明では、横電界方式の液晶のこのような特性に着目し、負荷を軽減して両電極の電圧変化を速めるために、横電界方式の液晶を積極的に採用する。

20

## 【 0 0 5 8 】

なお、IPS液晶装置の構造については、図12および図13を用いて後述する。図12から明らかなように、IPS液晶装置は、第1および第2の画素電極(光反射性の材料からなる)218a, 218bが、同一の基板側に近接して配置されており、かつ、電界Eは、基板の面方向に水平に印加される。

30

## 【 0 0 5 9 】

また、画素回路50は、ゲートが走査線(WL)に接続され、一端(ソースまたはドレイン)がデータ線(DL)に接続された画素選択トランジスタ(NMOSトランジスタ)M1と、電圧供給源として機能するメモリ回路10と、液晶の両極に印加する電圧を反転するための印加電圧反転回路(経路切換回路)20と、液晶の両極に印加する電圧と同じ電圧を保持する保持コンデンサ32とを有する。

## 【 0 0 6 0 】

メモリ回路10は、第1の電源配線(L1a)を介して与えられる高レベル側電源電圧(VDD:5V)と、第2の電源配線(L2a)を介して与えられる接地電位(GND)との間で動作する。このメモリ回路10には、データ線(DL)を経由して、黒/白に対応する2値電圧(例えば、第1の電圧:VDD(5V)、第2の電圧:GND(0V))が書き込まれる。このメモリ回路10は、書き込まれた電圧(VDDまたはGND)を、印加電圧反転回路20に電源電圧として供給する働きをし、液晶に印加する電圧の反転には関与しない。

40

## 【 0 0 6 1 】

印加電圧反転回路(経路切換回路)20は、メモリ回路10の電圧供給端(Q)と、基準電源電位(GND)との間に接続されている。印加電圧反転回路20は、メモリ回路10から供給されるVDD(5V)を、高レベル側電源電圧として動作する。低レベル側電源電圧(GND)は、第2の電源配線(L2a)を経由して与えられる。この印加電圧反転回路20には、互いに逆相の、経路切換のための切換制御信号S0~Sn, /S0~/S

50

nが入力され、この切換制御信号 $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ の電圧レベルが反転するタイミングで、液晶への電圧供給経路が切り換えられる。このとき、保持コンデンサ32に対しても、このタイミングで保持コンデンサ32への電圧供給経路が切り換えられることになる。また、メモリ回路10に新規な表示データを書き込む期間には、切換制御信号 $S_0 \sim S_n$ が逆相にならないように制御して、印加電圧反転回路の入力をフローティングにして、保持コンデンサ32に保持された表示データの電圧を液晶の両極に印加する。そして、メモリ回路10への新規な表示データの書き込みが終了した段階で、印加電圧反転回路20に再び互いに逆相の、経路切換のための切換制御信号 $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ が入力されるようにする。

#### 【0062】

図1において、L1bは、第1の電源配線(L1a)の電源電位VDDを、メモリ回路10に供給するための配線である。また、L2bは、第2の電源配線(L2a)の電源電位GNDを、印加電圧反転回路20に供給するための配線である。また、L2cは、第2の電源配線(L2a)の電源電位GNDを、メモリ回路10に供給するための配線である。また、L3は、メモリ回路10の電圧供給端(Q)から出力される2値電圧(VDD, GND)を、印加電圧反転回路20に供給するための配線である。

#### 【0063】

メモリ回路10に接地電位を供給する接地配線と、印加電圧反転回路20に接地電位を供給する接地配線は、画素回路50内において共通である。つまり、接地配線(L2a, L2b, L2c)は共通の接地配線であり(つまり、別系統の接地配線ではなく)、したがって、メモリ回路10から供給される接地電位(0V)と、印加電圧反転回路20の基準電源電位(GND)としての接地電位(0V)とは常に一致し、相対的な電位差が生じない(すなわち、一方が変動すれば他方も同様に変動するため相対的な電位差は常に生じない)ということである。このことは、印加電圧反転回路20から液晶30の両極に0Vを与えて、液晶30をショート状態とするときに、直流オフセットが発生しないことを意味している。

#### 【0064】

(メモリセルの構成例)

図2(A)~(C)は、図1に示されるメモリ回路(メモリセル)10の回路構成例を示す図である。いずれもSRAM(スタティック・ランダムアクセスメモリ)型のメモリセルである。

#### 【0065】

図2(A)のメモリセル(ラッチ型メモリセル)では、駆動能力が大きいインバータINV1と、駆動能力が小さいインバータINV2と、によって、1ビットのデータを保持するためのフリップフロップが構成される。

#### 【0066】

図2(B)のメモリセル(高抵抗型メモリセル)は、2つのトランスファートランジスタ(画素選択トランジスタとして機能するNMOSTランジスタ)M1, M2と、フリップフロップを構成するNMOSTランジスタM4, M6と、負荷抵抗R1, R2と、で構成される。データ線としては、相補信号を供給する2本のデータ線(DL, /DL)が設けられる。

#### 【0067】

図2(C)のメモリセルは、フルCMOS構成のメモリセルである。図2(B)のメモリセルと基本的な構成は同じである。但し、フリップフロップの負荷は、PMOSTランジスタM3, M5により構成される。データ線としては、相補信号を供給する2本のデータ線(DL, /DL)が設けられる。

#### 【0068】

(画素回路の構成)

図3は、画素回路50の具体的な回路構成の一例を示す回路図である。図3では、メモリ回路10として、図2(C)に示される、フルCMOS構成のメモリセルが使用されてい

10

20

30

40

50

る。

【0069】

また、印加電圧反転回路20は、メモリ回路10の電圧供給端(Q)と基準電源電位(GND)との間に直列に接続された、第1および第2のスイッチ素子としてのNMOSトランジスタ(M7, M8)と、同じく、メモリ回路10の電圧供給端(Q)と基準電源電位(GND)との間に直列に接続された、第3および第4のスイッチ素子としてのNMOSトランジスタ(M9, M10)と、により構成される。

【0070】

第1および第2のスイッチ素子としてのNMOSトランジスタ(M7, M8)の共通接続点(c)と、第3および第4のスイッチ素子としてのNMOSトランジスタ(d)の共通接続点(d)の各々に、横電界方式の液晶(IPS液晶素子)30の第1および第2の電極(図13の参照符号218a, 218b)および保持コンデンサ32が接続される。

10

【0071】

そして、第1および第4のスイッチ素子としてのNMOSトランジスタ(M7, M10)のゲートには、切換制御信号(S0~Sn)が入力され、この切換制御信号(S0~Sn)によって、NMOSトランジスタ(M7, M10)が同期してオンするか、あるいはオフするかが制御される。

【0072】

同様に、第2および第3のスイッチ素子としてのNMOSトランジスタ(M8, M9)のゲートには、切換制御信号としての、S0~Snとは逆相の切換制御信号(/S0~/Sn)が入力され、この切換制御信号(/S0~/Sn)によって、NMOSトランジスタ(M8, M9)が同期してオンするか、あるいはオフするかが制御される。

20

【0073】

すなわち、NMOSトランジスタ(M7, M8)は、メモリ回路10の電圧供給端(Q)と基準電源電位(GND)との間に直列に接続された一組のトランジスタである。同様に、第3および第4のトランジスタ(M9, M10)も、メモリ回路10の電圧供給端(Q)と基準電源電位(GND)との間に直列に接続された一組のトランジスタである。そして、各組のトランジスタ(M7およびM8, M9とM10)は、メモリ回路10の電圧供給端(Q)と基準電源電位(GND)との間に並列に接続されているという関係にある。各組の2つのNMOSトランジスタの共通接続点(c, d)が、液晶素子30の第1および第2の画素電極(図13の参照符号218a, 218b)および保持コンデンサ32に電氣的に接続される。

30

【0074】

そして、一方の組の一方のトランジスタ(ここでは、第1のNMOSトランジスタ(M7)とする)がオンして、メモリ回路10からの電圧を液晶素子30の一方の電極(図13の218a)および保持コンデンサ32に供給するときは、他方の組の一方のNMOSトランジスタ(ここでは、第4のトランジスタM10)がオンして、基準電源電位(グラウンド)を液晶素子30の他方の電極(図13の218b)および保持コンデンサ32に供給する。

【0075】

同様に、他方の組の他方のトランジスタ(すなわち、第3のNMOSトランジスタ(M9))がオンして、メモリ回路10からの電圧を液晶素子30の一方の電極(図13の218a)に供給するときは、一方の組の他方のNMOSトランジスタ(すなわち、第2のトランジスタM8)がオンして、基準電源電位(グラウンド)を液晶素子30の他方の電極(図13の218b)および保持コンデンサ32に供給する。

40

【0076】

また、メモリ回路10に新規なデータの書き込みを行う期間には、第1および第4のスイッチ素子としてのNMOSトランジスタ(M7, M10)のゲート、および、第2および第3のスイッチ素子としてのNMOSトランジスタ(M8, M9)のゲートに入力される切換制御信号(S0~Sn, /S0~/Sn)が制御されて、これら全てのNMOSト

50

ランジスタ (M7, M8, M9, M10) がオフされ、保持コンデンサ 32 に保持されていた表示データの電圧が、液晶素子 30 の両電極に印加され、1つ前の表示データが液晶素子 30 に表示される。そして、メモリ回路 10 への新規なデータの書き込み期間終了時に、印加電圧反転回路を駆動させるために、上述したように、切換制御信号 (S0 ~ Sn, /S0 ~ /Sn) は逆相の信号とされて、第 1 および第 4 のスイッチ素子としての NMOSTランジスタ (M7, M10) のゲート、および、第 2 および第 3 のスイッチ素子としての NMOSTランジスタ (M8, M9) のゲートに供給される。

【0077】

また、先に説明したように、メモリ回路 10 の接地電位および印加電圧反転回路 20 の接地電位は、共通の接地配線 (L2 (具体的には L2a, L2b, L2c)) を介して供給される。これによって、液晶素子 30 の両電極 (218a, 218b) および保持コンデンサ 32 の各々に接地電位が供給されるときには、その電圧レベルに相対的な差がなく、直流オフセットが発生せず、焼き付き現象が生じる心配がない。

10

【0078】

また、図 3 の回路では、メモリ回路 10 から供給される電圧は、印加電圧反転回路 20 を構成する上側の NMOSTランジスタ (M7, M9) の一端 (ソースまたはドレイン) に直接に印加される。一般に、MOSTランジスタのソース/ドレイン間の耐圧は、ゲート・ソース間の耐圧に比べて高いため、耐圧の問題は特に生じない。

【0079】

また、図 3 の画素回路の場合、メモリ回路 10 と印加電圧反転回路 20 は直結されており、例えば、上述の特許文献 4 に開示されるように、液晶への電圧供給パスに、MOSTランジスタのゲート/ソース経路が存在するような接続形態となっていない。よって、メモリ回路 10 および印加電圧反転回路 20 の高レベル側の電源電圧 (VDD) の値は同じでよく (すなわち VDD は共に 5V)、よって、各回路 (10, 20) を構成する MOSTランジスタ (M1 ~ M10) のサイズを同じにすることができる。例えば、メモリ回路 10 を構成するトランジスタ (M1 ~ M5) を高耐圧トランジスタとする必要もない。

20

【0080】

また、印加電圧反転回路を駆動させるのに用いられる相補的な切換制御信号 (S0 ~ Sn, /S0 ~ /Sn) は、デジタル回路では汎用的に用いられるものであり、生成が容易である。特に、PWM を用いたデジタル階調駆動で使用されるタイミングパルスに基づいて、相補クロック的な切換制御信号 (S0 ~ Sn, /S0 ~ /Sn) を得ることは容易である。

30

【0081】

また、図 3 の画素回路では、メモリ回路 10 から供給される VDD (5V) は、そのまま印加電圧反転回路 20 の高レベル側の電源電圧となり、そして、その VDD (5V) はそのまま液晶素子 30 の一方の電極 (図 13 の 218a) および保持コンデンサ 32 に供給されるのが、電圧の利用効率からみて望ましい。これを実現するためには、NMOSTランジスタ (M7, M9) のソース・ドレイン間で電圧ドロップが発生しないことが条件となり、このためには、第 1 および第 3 の NMOSTランジスタ (M7, M9) が十分にオンすることができるゲート電圧を供給すればよい。

40

【0082】

具体的には、第 1 および第 3 の NMOSTランジスタ (M7, M9) のゲートを、(5V (VDD) + 閾値電圧 (Vth)) 以上の電圧レベルの切換制御信号 (S0 ~ Sn あるいは /S0 ~ /Sn) によって駆動すればよい。切換制御信号 S0 ~ Sn あるいは /S0 ~ /Sn を、VDD を超える電圧に昇圧することはそれほどむずかしいことではない。例えば、ブートストラップ回路を用いて電源電圧 (VDD) を昇圧することによって簡単に得ることができるため、上述のような NMOSTランジスタのゲート駆動方法の実現に際し、特に問題はない。

【0083】

ここで、保持コンデンサ 32 は、第 1 および第 2 のスイッチ素子としての NMOSTラ

50

ンジスタ (M7, M8) の共通接続点 (c) と、前記第3および第4のスイッチ素子としてのNMOSトランジスタ (M9, M10) の共通接続点 (d) との間に接続してもよいし、保持コンデンサ32は、その一端が前記第1および第2のスイッチ素子としてのNMOSトランジスタ (M7, M8) の共通接続点 (c) または前記第3および第4のスイッチ素子としてのNMOSトランジスタ (M9, M10) の共通接続点 (d) のいずれかと接続して、他端は所定の直流電位と接続してもよい (図3では、このような接続形態の保持コンデンサ32' を点線で示している)。保持コンデンサ32は、いずれの接続方法においても、画素回路50におけるメモリ回路10への新規な表示データの書き込み期間に、印加電圧反転回路20の入力をフローティングとして印加電圧反転回路20を構成するスイッチ素子としてのNMOSトランジスタ (M7, M8, M9, M10) をすべてオフし、保持コンデンサ32において保持している表示データの電圧を液晶素子30に印加することで、1つ前の表示データを継続的に液晶素子30に表示させることができる。

10

【0084】

(印加電圧反転回路の基本的な動作)

図4(A) ~ (C) は、印加電圧反転回路による、液晶に印加する電圧の極性反転動作を説明するための図である。

【0085】

図4(A) は、印加電圧反転回路20に、液晶素子30および液晶素子30と並列接続された保持コンデンサ32を接続した状態を示している。図4(B) では、第1および第4のNMOSトランジスタ (M7, M10) がオンし、太線で示されるような経路で、液晶素子30の両電極および保持コンデンサ32に電圧が印加される。図4(C) では、第2および第3のNMOSトランジスタ (M8, M9) がオンし、太線で示されるような経路で、液晶素子30および保持コンデンサ32の両電極に電圧が印加される。

20

【0086】

図4(B) の状態では、メモリ回路10から供給される電圧は、液晶素子30の上側の電極および保持コンデンサ32の上側の電極に印加され、基準電源電位 (GND) は、液晶素子30の下側の電極および保持コンデンサの下側の電極に印加されている。これに対し、図4(C) の状態では、メモリ回路10から供給される電圧は、液晶素子30の下側の電極および保持コンデンサ32の下側の電極に印加され、基準電源電位 (GND) は、液晶素子30の上側の電極および保持コンデンサ32の上側の電極に印加されている。このように、電圧印加経路を切換えることによって、液晶素子30および保持コンデンサ32に印加される電圧を高速に切換えることができる。

30

【0087】

また、図4(B), (C) から明らかなように、電圧印加経路が切り換わっているだけであり、液晶素子30および保持コンデンサ32に印加される電圧の電圧源 (ソース) には何ら変化がない。すなわち、液晶素子30および保持コンデンサ32に印加される電圧は、メモリ回路10から供給される電圧と、印加電圧反転回路20の基準電源電位 (GND) であり、このことは、図4(A), (B) の各状態において共通している。したがって、極性反転の前後で電圧値がばらつくことがなく、正確な極性反転が担保され、かつ、そのような電圧反転を簡単に行うことができる。

40

【0088】

従来のように、下部電極と対向電極 (共通電極) の電圧 ( $V_p$ ,  $V_{com}$ ) を個別に制御し、両電圧のレベルを高精度に調整し、かつ、各電圧の印加タイミングを合わせたといった面倒な制御は本実施形態の回路では、一切必要ない。

【0089】

(メモリ回路および印加電圧反転回路の具体的な動作)

図5は、図3の画素回路の動作タイミングを示すタイミング図であり、(A) はメモリ回路の動作を示すタイミング図であり、(B) は、印加電圧反転回路の動作を示すタイミング図である。

【0090】

50

まず、図5(A)を参照してメモリ回路10の動作を説明する。時刻 $t_1$ において走査線WLがローレベルからハイレベルに変化し、時刻 $t_2$ において、データ線DLの電位がハイレベルからローレベルに変化する。これに対応して、図3のa点(SRAMの出力点)の電圧はハイレベルからローレベルに変化し、b点(SRAMの他の出力点：メモリ回路の電圧供給端Qとして機能する)の電圧はローレベルからハイレベルに変化する。

【0091】

時刻 $t_3$ において、走査線WLはローレベルとなり、その後、時刻 $t_4$ に再びハイレベルに変化し、時刻 $t_5$ において、データ線(/DL)の電位がハイレベルからローレベルに変化する。これに対応して、図3のa点(SRAMの出力点)の電圧はローレベルからハイレベルに変化し、b点(SRAMの他の出力点：メモリ回路の電圧供給点Qとして機能する)の電圧はハイレベルからローレベルに変化する。

10

【0092】

次に、印加電圧反転回路20の動作について説明する。図5(B)に示すように、相補切換制御信号( $S_0 \sim S_n$ , / $S_0 \sim /S_n$ )の電圧レベルは周期的に電圧レベルが反転する。切換制御信号 $S_0 \sim S_n$ がハイレベルの期間( $t_{11} \sim t_{12}$ ,  $t_{13} \sim t_{14}$ ,  $t_{16} \sim t_{17}$ ,  $t_{18} \sim t_{19}$ ,  $t_{21} \sim t_{22}$ )においては、図4(B)に太線で示される経路で液晶素子30および保持コンデンサ32に電圧が印加される。このとき、c点の電位は、b点(すなわち、メモリ回路10の電圧供給端Q)の電位となり、d点の電位は基準電源電位(接地電位：GND)となる。

20

【0093】

一方、切換制御信号(/ $S_0 \sim /S_n$ )がハイレベルの期間( $t_{12} \sim t_{13}$ ,  $t_{14} \sim t_{16}$ ,  $t_{17} \sim t_{18}$ ,  $t_{19} \sim t_{21}$ )においては、図4(C)に太線で示される経路で液晶素子30および保持コンデンサ32に電圧が印加される。このとき、d点の電位は、b点(すなわち、メモリ回路10の電圧供給端Q)の電位となり、c点の電位は基準電源電位(接地電位：GND)となる。

30

【0094】

そして、b点(すなわち、メモリ回路10の電圧供給端Q)の電位は、図5(B)に示されるように、時刻 $t_{15}$ においてハイレベルからローレベルに変化し、時刻 $t_{20}$ においてローレベルからハイレベルに変化する。つまり、この期間は、表示データを更新するために、メモリ回路10に対して新規な表示データを書き込む期間である。よって、保持コンデンサ32を備えていない場合には、この期間、各画素回路50に接続された液晶素子30はこのメモリ回路10への新規な表示データの書き込みによる影響を受け、安定した画像表示が不可能になり、画面上にフリッカが発生してしまう。しかしながら、本発明の液晶装置には保持コンデンサ32が設けられているため、時刻 $t_{15}$ まで1つ前の表示データの電圧が保持コンデンサ32に印加されていたため、液晶素子30においてはメモリ回路への新規表示データの書き込みとは無関係に、液晶素子30において継続的に1つ前のデータを表示する。すなわち、図1に示すように、新規な表示データをメモリ回路に書き込む期間に、それ以外の期間には相補的に生成されていた切換制御信 $S_0 \sim S_n$ , / $S_0 \sim /S_n$ を制御することで、印加電圧反転回路20におけるスイッチ素子としてのNMOSTランジスタ(M7, M8, M9, M10)をオフし、保持コンデンサ32において保持していた表示データの電圧が液晶素子30の両端の電極に印加されるから、メモリ回路10において新規な表示データを書き込んでいる間でも、1走査線に接続された全メモリ回路への表示データの書き込みが終了するまで、液晶素子において1つ前の表示データを継続的に表示するため、表示データの書き換えが画面上に現れることなく、フリッカなどを防止することができる。

40

【0095】

(液晶装置の全体構成)

図6は、本発明の液晶装置の全体構成の一例を示すブロック図である。図6の液晶装置では、デジタル階調駆動方式として、等間隔サブフィールド駆動(1フィールド期間を等間隔のサブフィールドに分割し、各サブフィールドにおける液晶素子30のオン/オフを制

50

御する方式)が採用される(但し、これに限定されるものではない)。

【0096】

図6の液晶装置は、PWMを用いた駆動によって256階調の階調表示を行うもので、画素数が1024×768、1度にデータを送ることができる1ライン当たりの画素数が128であり、等間隔サブフィールドによって表示パネルが駆動される。

【0097】

図示されるように、液晶装置は、タイミングパルス発生回路1と、走査線駆動回路2と、データ線駆動回路3と、表示メモリ4と、複数の画素回路(50a, 50b...)が含まれる画像表示領域5と、階調メモリ6と、を有している。

【0098】

タイミングパルス発生回路1は、基本クロックパルスCLK1に基づいて水平同期信号、垂直同期信号、サブフィールドタイミングパルス、走査線駆動回路開始信号、データ線駆動回路開始信号YSP、Yクロック信号YCLK、Xクロック信号、クロックタイミングパルス(CLK2, CLK3)などを生成し、走査線駆動回路2およびデータ線駆動回路3へ出力する。

【0099】

走査線駆動回路2は、上述した走査線駆動パルスのタイミングにおいて各走査線(WL)に順次「H(ハイ)」レベルの信号を出力する。また、この走査線駆動回路2は、各画素回路(50a, 50b...)に含まれる印加電圧反転回路20に供給するための切換制御信号(S0~Sn, /S0~/Sn)も出力する。

【0100】

表示メモリ4は、外部から供給される表示データが一時記憶されるメモリであり、画像表示領域5の画素数と同数の記憶スロットを有し、1フィールド分の表示データが一時記憶される。表示データは、例えば、表示輝度の階調を示す8ビットの階調データであり、「0」~「255」の値をとる。例えば、「0」は黒色を表し、「255」は白色を表す。表示メモリ4から読み出された表示データVDは、データ線駆動回路3に供給される。

【0101】

また、階調メモリ6は、表示データに対応するサブフィールド番号が予め記憶されたメモリであり、各表示データに対応したサブフィールド番号が記憶されている。階調メモリ6から読み出されるデータVSは、データ線駆動回路3に供給される。

【0102】

データ線駆動回路3は、走査線毎に表示メモリ4から表示データVDを読み出し、読み出した表示データVDを上述した階調メモリ6の内容によってサブフィールド番号に変換する。そして、走査線駆動系の信号、サブフィールドタイミングパルスおよび上述したサブフィールド番号に基づいて各画素を駆動する。

【0103】

各画素回路(50a, 50b...)に含まれる印加電圧反転回路20に供給される相補切換制御信号(S0~Sn, /S0~/Sn)は、タイミングパルス生成回路1から出力される各種のタイミングパルス(CLK3)に基づいて制御信号S, /Sが生成されこれに基づいて切換制御信号S0~Sn, /S0~/Snが生成されている。よって、図6の液晶装置では、制御信号(S, /S, S0~Sn, /S0~/Sn)を生成するためには簡単な回路が必要であり、したがって、回路構成(システム構成)を簡素化することができる。

【0104】

(表示データ書き込みの面順次駆動)

図7に、本発明の、表示データ書き込みにおいて面順次駆動を行う液晶装置の動作を説明するためのブロック図を示す。図示されるように、液晶装置は、走査線駆動回路2と、データ線駆動回路3と、複数の画素回路(50a, 50b, ...)が含まれる画像表示領域5と、を有している。なお、図6において説明した液晶装置の構成については説明を省略する。走査線駆動回路2は、第1の走査線駆動回路2Aと、第2の走査線駆動回路2B

10

20

30

40

50

から構成され、第1の走査線駆動回路2Aは、走査線駆動開始信号YSPのタイミングにおいて各走査線(WL)に順次“H(ハイ)”レベルの信号を出力する。また、第2の走査線駆動回路2Bは、各画素回路(50a、50b、...)に含まれる印加電圧反転回路20に供給するための相補切換制御信号S0~Sn、/S0~/Snを出力する。すなわち、第2の走査線駆動回路2Bにおいては、順序論理回路、たとえばシフトレジスタのようなカウンタ回路52を有し、カウンタ回路52には図6に示すようなタイミング回路からYクロック信号YCLKが入力され、カウンタ回路52からの出力信号S、/Sが信号線S1、S2に出力され、各信号線S1、S2とそれぞれ接続されるとともに各走査線WLに設けられた駆動回路54を含む。駆動回路54は、カウンタ回路52からの出力信号S、/Sに基づいて、1走査線と接続される画素回路(500~50m)における印加電圧反転回路20に供給される相補的な切換制御信号(S0~Sn、/S0~/Sn)を出力する。本発明の液晶装置においては、表示データ書き込みにおいて面順次駆動を行うため、全ての走査線WL0~WLnを順に選択し、走査線ごとに、選択された走査線に接続される画素回路を、データ線選択スイッチ56によりデータ線を順に選択することで選択して、1走査線と接続される画素回路に順に表示データを書き込み、1画面を構成する。全ての画素回路に対して表示データの書き込みが終了した段階で、全表示データを液晶素子において表示することで、1画面分の表示データを表示するものである。

10

## 【0105】

次に、本発明の、表示データ書き込みにおいて面順次駆動を行う液晶装置における表示データの書き込みについて、図8を用いて説明する。図8は、本発明の表示データ書き込みにおいて面順次駆動を行う液晶装置の動作タイミング図である。

20

## 【0106】

タイミングパルス発生回路は、外部入力されるクロック信号CLK1に基づいて、走査線駆動回路開始信号YSP、Yクロック信号YCLKを生成する。走査線駆動回路開始信号YSPにより走査線駆動回路2A、2Bが起動され、Yクロック信号YCLKに基づいて、走査線駆動回路2Aは走査線WL0を選択する。走査線WL0が選択されている期間に走査線WL0と接続された全てのデータ線DL0~DLmが順に選択されることで、これらと接続された画素回路500~50mにデータ線駆動回路から表示データVid.DATA1が送信される。このようにして、1本の走査線WL0と接続された全ての画素回路50に対して表示データVid.DATA1の書き込みが行われ、ついで、走査線WL1と接続された全ての画素回路500~50mに対して表示データVid.DATA1の書き込みが行われ、同様に走査線WLnと接続された全ての画素回路50に対して表示データVid.DATA1の書き込みが行われる。ここで、走査線駆動回路2Bにも、タイミングパルス発生回路から走査線駆動開始信号YSPおよびYクロック信号YCLKが入力され、カウンタ回路52において信号線S1、S2に、ともにローレベルのカウンタ出力信号S、/Sが出力される。そして、ローレベルのカウンタ出力信号S、/Sを受けて、駆動回路54では、全てがローレベルの切換制御信号S0~Sn、/S0~/Snを出力し、全ての画素回路50に供給する。

30

## 【0107】

この表示期間(0)においては、印加電圧反転回路20と接続された液晶素子30には、表示期間(0)の前に書き込まれた表示データVid.DATA0の電圧が保持コンデンサ32から供給されて液晶素子30において継続的に表示されている。

40

## 【0108】

表示期間(0)でデータ線DLnが選択されることで、データ更新期間(1)に入る。データ更新期間(1)は短く、カウンタ出力信号Sがハイレベルに変化することで、切換制御信号S0~Snがハイレベルとなる。よって、図3におけるNMOSトランジスタ(M7、M10)のゲートにハイレベルの信号が入力されて、NMOSトランジスタ(M7、M10)がオンし、表示期間(0)でメモリ回路10に書き込まれた表示データVid.DATA1が液晶素子30に表示されるとともに、保持コンデンサ32に表示データVid.DATA1の電圧が印加されることで、表示データが更新される。そして、表示デ

50

ータが更新されるとカウンタ出力信号  $S$  はローレベルになり、それに伴って、切換制御信号  $S_0 \sim S_n$  もローレベルになりデータ更新期間 (1) が終了する。

【0109】

次に、 $Y$ クロック信号  $YCLK$  に基づいて、走査線駆動回路  $A$  は走査線  $WL_0$  を選択する。走査線  $WL_0$  が選択されると、走査線  $WL_0$  と接続された全てのデータ線  $DL_0 \sim DL_m$  が順に選択されることで、これらと接続された画素回路  $50$  にデータ線駆動回路から表示データ  $Vid.DATA_2$  が送信される。このようにして、1本の走査線  $WL_0$  と接続された全ての画素回路  $50$  に対して表示データ  $Vid.DATA_2$  の書き込みが行われ、ついで、走査線  $WL_1$  と接続された全ての画素回路  $50$  に対して表示データ  $Vid.DATA_2$  の書き込みが行われ、同様に走査線  $WL_n$  と接続された全ての画素回路  $50$  に対して表示データ  $Vid.DATA_2$  の書き込みが行われる。ここで、走査線駆動回路  $2B$  にも、タイミングパルス発生回路から  $Y$ クロック信号  $YCLK$  が入力され、カウンタ回路  $52$  において信号線  $S_1, S_2$  に、ともにローレベルのカウンタ出力信号  $S, /S$  が出力される。そして、ローレベルのカウンタ出力信号  $S, /S$  を受けて、駆動回路  $54$  では、全てがローレベルの切換制御信号  $S_0 \sim S_n, /S_0 \sim /S_n$  を出力し、全ての画素回路  $50$  に供給する。

10

【0110】

この表示期間 (1) においては、印加電圧反転回路  $20$  と接続された液晶素子  $30$  には、表示期間 (1) の前の表示期間 (0) において画像回路に書き込まれた表示データ  $Vid.DATA_1$  の電圧が保持コンデンサ  $32$  から供給されて液晶素子  $30$  において継続的に表示されている。

20

【0111】

表示期間 (1) でデータ線  $DL_n$  が選択されることで、データ更新期間 (2) に入る。データ更新期間 (2) においては、印加電圧反転回路  $20$  における経路が切換られたために、カウンタ出力信号  $/S$  がハイレベルに変化することで、切換制御信号  $/S_0 \sim /S_n$  がハイレベルとなる。よって、図3における  $NMOS$  トランジスタ ( $M_8, M_9$ ) のゲートにハイレベルの信号が入力されて、 $NMOS$  トランジスタ ( $M_8, M_9$ ) がオンし、画面表示期間 (2) でメモリ回路  $10$  に書き込まれた表示データ  $Vid.DATA_2$  が液晶素子  $30$  に表示されるとともに、保持コンデンサ  $32$  に表示データ  $Vid.DATA_2$  の電圧が印加されることで、表示データが更新される。そして、表示データが更新されるとカウンタ出力信号  $/S$  はローレベルになり、それに伴って、切換制御信号  $/S_0 \sim /S_n$  もローレベルになりデータ更新期間 (2) が終了する。

30

【0112】

このように、データ更新期間に書き換えられる表示データの電圧を液晶素子  $30$  に供給するだけでなく、液晶素子  $30$  と接続された保持コンデンサ  $32$  に供給することにより、画素回路  $50$  におけるメモリ回路  $10$  に新規な表示データを書き込んでいる期間に、印加電圧反転回路  $20$  の入力をフローティングにして保持コンデンサ  $32$  において保持されている表示データの電圧を液晶素子  $30$  に印加することで、1つ前の表示データを液晶素子  $30$  に表示させることで、メモリ回路  $10$  において表示データの書き換えを行っている間に、表示データの書き換えの過程が画面上に現れることなく、フリッカなどを防止することができる。

40

【0113】

(表示データ書き込みの線順次駆動の第1の実施の形態)

図9に、本発明の、表示データ書き込みにおいて線順次駆動を行う液晶装置の動作について説明するためのブロック図を示す。図示されるように、液晶装置は、走査線駆動回路  $2$  と、データ線駆動回路  $3$  と、複数の画素回路 ( $500 \sim 50m$ ) が含まれる画像表示領域  $5$  と、を有している。なお、図6において説明した液晶装置の構成については説明を省略する。走査線駆動回路  $2$  は、走査線駆動回路開始信号  $YSP$  により駆動され、 $Y$ クロック信号  $YCLK$  のタイミングにおいて各走査線 ( $WL$ ) に順次 “H (ハイ)” レベルの信号を出力する。また、走査線駆動回路  $2$  は各画素回路 ( $500 \sim 500m$ ) に含まれる印加

50

電圧反転回路 20 に供給するための切換制御信号  $S_0 \sim S_n$  ,  $/S_0 \sim /S_n$  を出力する。すなわち、走査線駆動回路 2 においては、シフトレジスタなどの順序論理回路、たとえばシフトレジスタのようなカウンタ回路 52 を有し、カウンタ回路 52 には図 6 に示すようなタイミングパルス発生回路 1 から Y クロック信号 YCLK が入力され、カウンタ回路 52 からの出力信号  $S$  ,  $/S$  が信号線  $S_1$  ,  $S_2$  に出力され、各信号線  $S_1$  ,  $S_2$  とそれぞれ接続されるとともに各走査線に設けられ、所定のタイミング（データ更新期間）で走査線駆動回路の出力部において供給されるリセット信号  $rst_0 \sim rst_n$  を入力する駆動回路 54 を含む。駆動回路 54 は、カウンタ回路 52 からの出力信号  $S$  ,  $/S$ 、およびリセット信号  $rst_0 \sim rst_n$  を入力とする論理回路、たとえば、AND 回路 AND1 ~ ANDn、AND2 ~ AND2n であって、1 走査線と接続される画素回路（500 ~ 50m）における印加電圧反転回路 20 に供給される切換制御信号（ $S_0 \sim S_n$  ,  $/S_0 \sim /S_n$ ）を出力する。本発明の液晶装置においては、表示データ書き込みについて線順次駆動を行うため、1 本の走査線を選択し、その走査線に接続された画素回路に対してデータ線選択スイッチ 56 を切り換えることで順に表示データを書き込み、その走査線に接続された全ての画素回路への新規な表示データの書き込みが終わった段階で、1 本の走査線に相当する新規な表示データを液晶素子において表示し、同様にして、走査線 WL2 ~ WLn を順に選択し、1 本の走査線と接続される画素回路 50 に対して順に新規な表示データを書き込み、書き込みが終わった段階で新規に書き込んだ表示データを液晶素子において表示することで、1 画面を構成する全ての画素回路に対して表示データを液晶素子において表示するものである。

10

20

#### 【0114】

次に、本発明の、表示データ書き込みにおいて線順次駆動を行う液晶装置の動作について、図 10 を用いて説明する。図 10 は、本発明の表示データ書き込みにおいて線順次駆動を行う液晶装置の動作タイミング図である。

#### 【0115】

タイミングパルス発生回路 1 は、外部入力されるクロック信号 CLK1 に基づいて、走査線駆動回路開始信号 YSP、Y クロック信号 YCLK を生成する。走査線駆動回路開始信号 YSP により走査線駆動回路 2 が起動され、Y クロック信号 YCLK に基づいて、走査線駆動回路 2 は走査線 WL0 を選択する。走査線 WL0 が選択されると、走査線 WL0 と接続された全てのデータ線 DL0 ~ DLm が順に選択されることで、これらと接続された画素回路 50 にデータ線駆動回路から表示データ Vid . DATA1 が送信される。このようにして、1 本の走査線 WL0 と接続された全ての画素回路 50 に対して表示データ Vid . DATA1 の書き込みが行われる。

30

#### 【0116】

一方、このとき、タイミングパルス発生回路 1 から Y クロック信号 YCLK が入力され、カウンタ回路 52 において信号線  $S_1$  にはローレベルのカウンタ出力信号  $S$ 、信号線  $S_2$  にはハイレベルのカウンタ出力信号  $/S$  が出力されるとともに、走査線駆動回路 2 において、データ更新期間（1）にローレベルのリセット信号  $rst_0$  が出力される。よって、AND 回路 AND1 を介してローレベルの切換制御信号  $S_0$  が出力されるとともに、AND 回路 AND2 を介してローレベルの切換制御信号  $/S_0$  が出力される。したがって、図 3 に示す画素回路 50 における印加電圧反転回路 20 の入力はフローティング状態となるから、このデータ更新期間（1）においては、印加電圧反転回路 20 と接続された液晶素子 30 には、表示期間（1）の前の表示期間（0）において書き込まれた表示データ Vid . DATA0 の電圧が保持コンデンサ 32 から供給されて液晶素子 30 において継続的に表示される。そして、リセット信号  $rst_0$  がハイレベルにされることで、AND 回路 AND1 の出力である  $S_0$  はローレベル、AND2 の出力である  $/S_0$  はハイレベルとなり、図 3 における NMOS トランジスタ（M8 , M9）のゲートにハイレベルの信号  $/S_0$  が供給され、NMOS トランジスタ（M8 , M9）がオンし、液晶素子 30 に表示データ Vin DATA1 が表示されるとともに、保持コンデンサ 32 に表示データ Vin DATA1 の電圧が保持される。

40

50

## 【0117】

同様に、走査線 $WL_1 \sim WL_n$ に接続された画素回路50に対して表示データ $Vid.DATA_1$ の書き込みが行われる。走査線 $WL_n$ が選択されているデータ更新期間(1)に、ローレベルのリセット信号 $rst_n$ が供給されるとともに、選択している走査線と対応する切換制御信号 $S_n$ と $/S_n$ がともにローレベルとされる。したがって、図3に示す画素回路50における印加電圧反転回路20の入力はフローティング状態となるから、このデータ更新期間(1)においては、印加電圧反転回路20と接続された液晶素子30には、表示期間(1)の1つ前の表示期間(0)において書き込まれた表示データ $Vid.DATA_0$ の電圧が保持コンデンサ32から供給されて液晶素子30において継続的に表示される。そして、リセット信号 $rst_n$ がハイレベルにされることで、AND回路AND1の出力である $S_n$ はローレベル、AND2の出力である $/S_n$ はハイレベルとなり、図3におけるNMOSトランジスタ(M8, M9)のゲートにハイレベルの信号 $/S_n$ が供給され、NMOSトランジスタ(M8, M9)がオンし、液晶素子30に表示データ $VinDATA_1$ が表示されるとともに、保持コンデンサ32に表示データ $VinDATA_1$ の電圧が保持される。

10

このようにして、走査線 $WL_1 \sim WL_n$ と接続された全ての画素回路50に対して表示データ $Vid.DATA_1$ の書き込みが行われ、1画面の表示データの書き込みが終了する。

## 【0118】

2画面目の表示データの書き込みに関しても同様で、タイミングパルス発生回路1は、外部入力されるクロック信号 $CLK_1$ に基づいて、走査線駆動回路開始信号 $YSP$ 、 $Y$ クロック信号 $YCLK$ を生成する。走査線駆動回路開始信号 $YSP$ により走査線駆動回路2が起動され、 $Y$ クロック信号 $YCLK$ に基づいて、走査線駆動回路2は走査線 $WL_0$ を選択する。走査線 $WL_0$ が選択されると、走査線 $WL_0$ と接続された全てのデータ線 $DL_0 \sim DL_m$ が順に選択されることで、これらと接続された画素回路50にデータ線駆動回路から表示データ $Vid.DATA_2$ が送信される。このようにして、1本の走査線 $WL_0$ と接続された全ての画素回路50に対して表示データ $Vid.DATA_2$ の書き込みが行われる。

20

## 【0119】

一方、このとき、タイミングパルス発生回路1から $Y$ クロック信号 $YCLK$ が入力され、カウンタ回路52において信号線 $S_1$ にはハイレベルのカウンタ出力信号線 $S_1$ 、信号線 $S_2$ にはローレベルのカウンタ出力信号 $/S$ が出力されるとともに、走査線駆動回路2から、データ更新期間(2)においてローレベルのリセット信号 $rst_0$ が出力される。よって、AND回路AND1を介してローレベルの切換制御信号 $S_0$ が出力されるとともに、AND回路AND2を介してローレベルの切換制御信号 $/S_0$ が出力される。したがって、図3に示す画素回路50における印加電圧反転回路20の入力はフローティング状態となるから、このデータ更新期間(2)においては、印加電圧反転回路20と接続された液晶素子30には、表示期間(2)の1つ前の表示期間(1)において書き込まれた表示データ $Vid.DATA_1$ の電圧が保持コンデンサ32から供給されて液晶素子30において継続的に表示される。そして、リセット信号 $rst_0$ がハイレベルにされてデータ更新期間(2)が終了することで、AND回路AND1の出力である $S_0$ はハイレベル、AND2の出力である $/S_0$ はローレベルとなり、図3におけるNMOSトランジスタ(M7, M10)のゲートにハイレベルの信号 $S_0$ が供給され、NMOSトランジスタ(M7, M10)がオンし、液晶素子30に表示データ $VinDATA_2$ が表示されるとともに、保持コンデンサ32に表示データ $VinDATA_2$ の電圧が保持される。

30

40

## 【0120】

同様に、走査線 $WL_1 \sim WL_n$ に接続された画素回路50に対して表示データ $Vid.DATA_2$ の書き込みが行われる。走査線 $WL_n$ が選択されているデータ更新期間(2)B中に、ローレベルのリセット信号 $rst_n$ が供給されるとともに、選択している走査線と対応する切換制御信号 $S_n$ と $/S_n$ がともにローレベルとされる。したがって、図

50

3に示す画素回路50における印加電圧反転回路20の入力はフローティング状態となるから、このデータ更新期間(2)においては、印加電圧反転回路20と接続された液晶素子30には、表示期間(2)の1つ前の表示期間(1)において書き込まれた表示データVid.DATA1の電圧が保持コンデンサ32から供給されて液晶素子30において継続的に表示される。そして、リセット信号rstnがハイレベルにされることで、AND回路AND1の出力であるSnはハイレベル、AND2の出力である/Snはローレベルとなり、図3におけるNMOSTランジスタ(M7, M10)のゲートにハイレベルの信号Snが供給され、NMOSTランジスタ(M7, M10)がオンし、液晶素子30に表示データVinDATA2が表示されるとともに、保持コンデンサ32に表示データVinDATA2の電圧が保持される。

10

#### 【0121】

このようにして、走査線WL1~WLnと接続された全ての画素回路50に対して表示データVid.DATA2の書き込みが行われ、2画面目の表示データの書き込みが終了する。

#### 【0122】

このように、1走査線と接続された画素回路へのデータの書き込みを行っている期間には、表示データの電圧を液晶素子に供給するだけでなく、液晶素子と接続された保持コンデンサに供給することにより、画素回路におけるメモリ回路に次の表示データを書き込んでいる期間に、印加電圧反転回路の入力をフローティングにして保持コンデンサにおいて保持されている1つ前の表示データを液晶素子に継続的に表示させることで、メモリ回路において表示データの書き換えを行っている間には、メモリ回路と液晶素子および保持コンデンサを電氣的に切り離すことで、画面上にデータ書き換え動作の影響を与えないようにしているため、フリッカなどを防止することができる。

20

#### 【0123】

(表示データの書き込みの線順次駆動の第2の実施の形態)

図11に、本発明の、表示データ書き込みにおいて線順次駆動を行う液晶装置における表示データの書き込み動作および表示データの更新について別のタイミング図を示す。本実施の形態においては、切換制御信号S0、/S0の波形が、図10とは異なる。

#### 【0124】

すなわち、本発明の表示データの書き込みの線順次駆動を行う液晶装置においては、1つの走査線WL0~WLnと接続された画素回路に順次データを書き込んでいる期間に、リセット信号rst0~rstnが供給されれば、画素回路におけるメモリ回路に次の表示データを書き込んでいる期間に、リセット信号rst0~rstnを用いて制御することにより印加電圧反転回路の入力をフローティングにして、保持コンデンサにおいて保持されている1つ前の表示データを液晶素子に継続的に表示させることができるから、他の期間は切換制御信号S0、/S0の電位レベルを問わず、表示データの書き込みの線順次駆動の第1の実施の形態と同等の効果を得ることもできる。

30

#### 【0125】

(横電界方式の液晶素子のデバイス構造)

図12は、本発明のアクティブマトリクス基板の要部の断面構造を示す図である。図12では、主として、アレイ基板200上に集積された印加電圧反転回路20を構成する4つのトランジスタ(M8~M10)の断面構造を記載している。但し、メモリ回路(SRAM)10も同様にアレイ基板200上に形成される。なお、図12では、遮光膜や配向膜は省略されている。

40

#### 【0126】

図12に示されるように、アレイ基板200上に、パターンニングされた多結晶シリコン層204が形成され、その多結晶シリコン層204に選択的に不純物を導入することによって、ソース/ドレイン(202, 206)が形成されている。多結晶シリコン層204を埋め込むようにゲート絶縁膜210が形成され、そのゲート絶縁膜210上に、多結晶シリコンからなるゲート電極(208a~208d)が形成されている。

50

## 【0127】

ゲート電極(208b, 208d)には、切換制御信号(S0~Sn)が供給され、ゲート電極(208a, 208c)には、切換制御信号(/S0~/Sn)が供給される。

## 【0128】

ゲート電極(208a~208d)上には第1の層間絶縁膜(212)が形成され、この第1の層間絶縁膜(212)には選択的にコンタクトホールが形成される。光を反射する導電性材料(アルミニウム等の金属材料)からなる電極(214a~214e)は、コンタクトホールを介してソース/ドレイン(202, 206)に接続される。

## 【0129】

電極(214a, 214e)には基準電源電位(基準電源電位)としての接地電位(GND)が与えられる。また、電極214cにはメモリ回路(SRAM)10が接続される。メモリ回路(SRAM)10からは、配線N5を経由して、2値電圧(第1および第2の電圧:VDDとGND)が供給される。

10

## 【0130】

電極(214a~214e)上には第2の層間絶縁膜216が形成され、この第2の層間絶縁膜216には選択的にコンタクトホールが設けられる。第1および第2の画素電極(218a, 218b)は各々、そのコンタクトホールを経由して下側に位置する電極(214b, 214d)に接続される。この第1および第2の画素電極(218a, 218b)は、図3のc点、d点に相当し、この第1および第2の電極(218a, 218b)によって、液晶素子30および保持コンデンサ32に電圧が印加される。

20

## 【0131】

図13は、図12に示されるアクティブマトリクス基板を用いた液晶装置(横電界方式の液晶装置)の断面構造を示す断面図である。図示されるように、図12のアクティブマトリクス基板と対向基板224によって液晶層220が挟持される。参照符号222は、カラーフィルタ層であり、参照符号226は偏光板である。

## 【0132】

液晶層220には、図中の矢印のように、基板面に水平に電界Eが印加され、液晶分子は、基板面と平行な状態を保ったまま回転し、これによって、液晶層220の光透過率が変化する。図13に示される横電界方式の液晶装置(IPS液晶装置)は、2つの画素電極(218a, 218b)がアレイ基板200側に近接して設けられ、したがって電極の引き出しが容易であり、また、共通電極(LCcom)を使用しないために負荷容量が小さく(1画素相当の液晶容量のみが負荷となる)、画素電極(218a, 218b)の双方の電圧は速やかに変化する。したがって、焼き付き防止のための、液晶の印加電圧の反転動作を高速に行うことができ、このことがフリッカの低減に寄与する。

30

## 【0133】

(第3の実施形態)

本実施形態では、印加電圧反転回路20における貫通電流(Ipeak)を抑制する回路構成について説明する。

## 【0134】

図14は、貫通電流(Ipeak)を抑制する手段をもつ印加電圧反転回路の回路構成と動作を説明するための図であり、(A)は回路構成を示す回路図であり、(B)は(A)の回路の動作を示すタイミング図であり、(C)は貫通電流を抑制する手段を持たない比較例の回路における動作を示すタイミング図である。図14において、前掲の図と共通する部分には同じ参照符号を付してある。

40

## 【0135】

図3に示される印加電圧反転回路20は、メモリ回路20の電圧供給端(Q)と基準電源電位との間に、2つのMOSトランジスタ(M7とM8, M9とM10)が直列接続された構成をもち、各MOSトランジスタは相補的にオン/オフする。各MOSトランジスタのオン/オフが切り換わる途中には各トランジスタが同時オンする状態が生じ、このときに貫通電流が流れるのは否めない。この貫通電流は、基準電源電位(GND)を揺らし

50

、このことが回路動作に悪影響を与える可能性がないとは言えない。

【0136】

すなわち、図14(C)のように、相補切換制御信号( $S_0 \sim S_n$ ,  $/S_0 \sim /S_n$ )の電圧レベルが変化するタイミング(時刻 $t_{20}$ ,  $t_{21}$ ,  $t_{22}$ )において、2つのMOSトランジスタ(M7とM8, M9とM10)が同時オン状態となり、貫通電流( $I_{peak}$ )が生じる。

【0137】

そこで、図14(A)の回路では、メモリ回路10と、直列接続されたMOSトランジスタ(M7とM8, M9とM10)との間に貫通電流防止トランジスタ(スイッチ素子: MA)を設け、この貫通電流防止トランジスタ(MA)のオン/オフを、タイミング信号(SEL)によって制御するようにした。図14の回路では、貫通電流防止トランジスタ(MA)はNMOSトランジスタである。

10

【0138】

貫通電流防止トランジスタ(MA)を、貫通電流が生じ得るタイミング(つまり、相補切換制御信号( $S_0 \sim S_n$ ,  $/S_0 \sim /S_n$ )の電圧レベルが変化するタイミング)にてオフさせることによって、メモリ回路10からの電圧(電流)の供給が停止し、したがって、貫通電流( $I_{peak}$ )が流れることが確実に防止される。

【0139】

すなわち、図14(B)に示すように、貫通電流防止トランジスタ(MA)をオフするためのタイミング信号(SEL)は、相補切換制御信号( $S_0 \sim S_n$ ,  $/S_0 \sim /S_n$ )の電圧レベルが変化するタイミング(時刻 $t_{21}$ ,  $t_{22}$ ,  $t_{23}$ )においてローレベルとなる。したがって、貫通電流防止トランジスタ(MA)はオフし、メモリ回路10から4つのトランジスタ(M7~M10)への電圧(電流)供給が遮断される。よって、貫通電流( $I_{peak}$ )が流れることが確実に防止される。

20

【0140】

(第4の実施形態)

次に、本発明の液晶装置(横電界方式の液晶を用いた、SRAM付きの反射型液晶装置)を搭載した電子機器について説明する。

【0141】

(サブパネルを備える携帯端末)

図15は、サブパネルを備える携帯端末(携帯電話端末、PDA端末、持ち運び可能なパーソナルコンピュータを含む)の斜視図である。図15の携帯端末1300は携帯電話端末であり、図示されるように、上部筐体1304と、この上部筐体1304の内面に設けられたサブパネル100と、下部筐体1306と、操作キー1302と、を備える。なお、下部筐体1306の外面にはメインパネルが設けられているが、図15ではメインパネルは図示されない。

30

【0142】

サブパネル100は、本発明の液晶装置(横電界方式の液晶を用いた、SRAM付きの反射型液晶装置)を用いて構成される。SRAMに画像を保持できるため、例えば、サブパネル10の画像表示を一旦、終了し、メインパネル(不図示)の表示に移行し、その後、サブパネル1の表示を復活させるような場合に、保持されているデータを読み出すだけで画像の再表示が可能である。

40

【0143】

また、横電界方式の液晶(IPS液晶)を使用するため、発色性かつ高視野角の高画質の画像表示が可能である。また、液晶に印加される電圧の理想的な反転と、電圧が印加されない時の液晶の両極の理想的なショートとによって直流オフセットが発生しないことから、表示画像の経時的な劣化も低減される。また、液晶に印加する電圧の極性反転が常に対称的に、かつ高速に行われることから、フリッカが発生せず、画質の低下が生じない、という効果も得られる。また、サブパネルとしてバックライトが不要な反射型液晶を使用するため、電池寿命を延ばすことができる。また、1走査線と接続された画素回路へのデ

50

ータの書き込みを行っている期間には、表示データの電圧を液晶素子に供給するだけでなく、液晶素子と接続された保持コンデンサに供給することにより、画素回路におけるメモリ回路に次の表示データを書き込んでいる期間に、印加電圧反転回路の入力をフローティングにして保持コンデンサにおいて保持されている1つ前の表示データを液晶素子に継続的に表示させることで、メモリ回路において表示データの書き換えを行っている間には、メモリ回路と液晶素子および保持コンデンサを電氣的に切り離すことで、画面上にデータ書き換え動作の影響を与えないようにしているため、線順次駆動や面順次駆動による画面表示を行う場合に、フリッカが生じることを防止することができる。

#### 【0144】

(低消費電力の携帯情報端末)

図16は、本発明の液晶装置を用いた携帯情報端末(PDA, パーソナルコンピュータ, ワードプロセッサ等)の斜視図である。携帯情報端末1200は、上部筐体1206および下部筐体1204と、キーボード等の入力部1202と、本発明の反射型液晶装置を用いた表示パネル100と、を有する。この携帯情報端末においても、上述の携帯端末と同様の効果が得られる。

10

#### 【0145】

(反射型プロジェクタ)

図17は、本発明の反射型液晶装置を光変調器として用いたプロジェクタ(投射型表示装置)の要部の概略構成を示す図である。図示されるように、プロジェクタ1100は、偏光照明装置1110と、投射光学系1160と、偏光ビームスプリッタ1140(偏光光束反射面1141を含む)と、ダイクロイックミラー1151, 1152と、RGBの各色に対応した、光変調器としての本発明の反射型液晶装置(100R, 100G, 100B)と、を有する。

20

#### 【0146】

図示されるように、偏光照明装置1110がシステム光軸PLに沿って配置されている。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって、第1のインテグレートレンズ1120に入射する。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子1130によって、偏光方向が略々揃った種類の偏光光束(s偏光光束)に変換されて、偏光照明装置1110から出射されることとなる。

30

#### 【0147】

偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光(B)の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の液晶装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光(R)の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の液晶装置100Rによって変調される。

#### 【0148】

一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光(G)の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の液晶装置100Gによって変調される。

40

#### 【0149】

このようにして、液晶装置100R, 100G, 100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152, 1151, 偏光ビームスプリッタ1140によって順次合成された後、投射光学系1160によって、スクリーン1170に投射される。この携帯情報端末においても、上述の効果が得られる。

#### 【0150】

以上、本発明を実施形態に基づいて説明したが、本発明は実施形態に限定されるものではなく、種々、変形や応用が可能である。例えば、印加電圧反転回路を構成するトランジ

50

スタ（スイッチ素子）としては、バイポーラトランジスタを使用することもできる。メモリ回路としては、SRAM以外のメモリを使用することもできる。また、本明細書における「横電界方式の液晶」は、液晶層に加わる電界が基板面と水平である、種々の駆動方式の液晶を広く含む。

【0151】

以上説明したように、本発明の各実施形態によれば、例えば、以下の主要な効果を得ることができる。但し、本発明の液晶装置が、以下に記載のすべての効果を同時に生じさせる必要はなく、下記の効果の列挙が、本発明の不当な限定の根拠とされることはない。

(1) 横電界方式の液晶を積極的に採用して駆動負荷を軽減し、これによって、液晶の両電極の速やかな電圧変化を可能とし、また、電圧供給と電圧反転の各機能を完全に分離した新規な画素回路構成を採用することによって、例えば、相補的な切換制御信号（ $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ ）によって、高速かつ高精度の印加電圧の反転を実現することができる。また、さらに、画素回路におけるメモリ回路への新規な表示データの書き込み期間に、切換制御信号（ $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ ）の電位を制御することによって、保持コンデンサにおいて保持している表示データの電圧を液晶素子に供給することで、1つ前の表示データを液晶素子において表示して、前記書き込み期間終了時に新規の表示データの電圧を液晶素子および保持コンデンサに印加しているから、画面表示に影響をもたらすことなく表示データの書き換えをすることができるので、フリッカを生じさせることなく線順次駆動ならびに面順次駆動によって、高画質の画像表示が可能である。

(2) 印加電圧反転回路は、メモリ回路からの電源電圧（ $V_{DD}$ 、 $GND$ ）および印加電圧反転回路自体の基準電源電圧（ $GND$ ）の、液晶への供給経路を切り換えるだけである。したがって、液晶に印加する電圧の電圧源自体は常に共通であり、電圧の反転前と反転後の電圧値自体には何も変動がなく、したがって、正確な電圧の極性反転が実現する。また、液晶の面内ばらつきによって、各画素における電圧レベルが若干変動したとしても、その画素内では、電圧の反転前と反転後の電圧値自体には何も変動がなく、したがって、各画素において直流オフセットは発生しない。したがって、焼き付きが生じず、経時的な画像劣化が生じない。

(3) また、電圧の供給経路を切り換えるだけであるため、第1および第2の画素電極の各々に供給する電圧レベルの切り替えを、簡単な回路により同時に実現することができる。従来のように、共通 $V_{com}$ と下部電極の電圧 $V_p$ を別個の回路で制御し、各電圧を高精度に調整し、かつ、各電圧の切り換えタイミングの同期をとる必要はなくなり、制御方式が簡素化される。

(4) また、印加電圧反転回路の基準電源電圧が、例えばグラウンドレベルであるとき、メモリ回路から供給する電圧を0Vとすれば、液晶の両電極に印加される電圧は、共に正確に0Vとなり、液晶への電圧印加がない場合のショート状態が実現され、この際、直流オフセットは生じない。したがって、焼き付きが生じず、経時的な画像劣化が生じない。

(5) また、印加電圧反転回路は、例えば、メモリ回路の電圧供給端と基準電源電位との間に設けられる4個のスイッチ素子（第1～第4のトランジスタ）によって構成することができ、各スイッチ素子の同期的な切換制御は、例えば、相補的な切換制御信号（ $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ ）を用いて簡単に実現することができる。そして、切換制御信号（ $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ ）をともにローレベルとすることによって、液晶装置のデータ更新期間とすることができ、画素回路におけるメモリ回路に対して新規な表示データを書き込んでいる期間に、保持コンデンサに保持された1つ前の表示データの電圧を液晶素子に印加することで、画面上に表示データの書き換えによるフリッカが出現するのを防止することができる。また、印加電圧反転回路は、最小限の素子にて構成されるため、これ以上簡単化することができないコンパクトな回路が実現される。

(6) また、メモリ回路および印加電圧反転回路の高レベル側の電源電圧の値は同じでよく、よって、各回路を構成するMOSトランジスタのサイズを同じにすることができ、例えば、メモリ回路を構成するトランジスタを高耐圧トランジスタとする必要もない。

(7) また、印加電圧反転回路を駆動する切換制御信号（ $S_0 \sim S_n$ 、 $/S_0 \sim /S_n$ ）

10

20

30

40

50

は、デジタル回路では汎用的に用いられるものであり、特に、デジタル階調駆動（PWM 駆動）におけるタイミングパルスを援用等することによって、簡単に得ることができる。したがって、回路構成（システム構成）を簡素化することができる。

（８）また、メモリ回路からの電圧を液晶に供給する働きをする第１および第３のＭＯＳトランジスタ（ $M7$ 、 $M9$ ）のゲートに、（ $VDD + \text{閾値電圧}(V_{th})$ ）以上の制御電圧を与えて十分にオンさせることによって、メモリ回路からの電圧（ $5V = VDD$ ）はそのまま液晶に供給されることになり、電圧ドロップが生じない。

（９）印加電圧反転回路における貫通電流を防止するためのスイッチ素子を設け、貫通電流が生じるタイミングでスイッチ素子をオフすることによって、貫通電流の発生を確実に防止することができる。

（１０）また、メモリ回路の接地配線および印加電圧反転回路の接地配線が画素回路内で共通とすることによって、仮に、液晶の面内ばらつき等によって電圧レベル（ $0V$ ）に変動が生じたとしても、双方の電位が同様に変動するため、結果的に、液晶の両電極に印加される電圧レベルの相対的な電位差は生じず、液晶に電圧を印加しないときには、高精度のショート状態が実現され、直流オフセットが生じず、焼き付きが生じる心配がない。

（１１）また、反射型液晶の場合、画素電極の下部に素子形成領域を設けることができる。本発明の印加電圧反転回路は簡素化された構成となっているため、画素電極の下部の空スペースに、メモリ回路および印加電圧反転回路を配置することは、むずかしいことではない。したがって、画素回路の占有面積を大きくすることなく、本発明にかかる画素回路を形成することが可能である。

（１２）本発明の液晶装置は、例えば、携帯電話のサブパネル、低消費電力のノート型パーソナルコンピュータ、反射型プロジェクタ等の電子機器に搭載することが可能であり、この場合、電圧反転に伴う静止画のフリッカが抑制されるとともに、表示データの書き換え期間に画面に影響を与えないためフリッカが抑制され、高画質の画像を表示できる。また、直流オフセットの発生が低減されて焼き付きが生じにくいことから、表示画像の画質の経時的な劣化も生じにくい。また、本発明は、簡単な回路構成ならびに簡単な制御によって、フリッカを抑制しつつ印加電圧の高精度の反転を実現することができ、また、液晶に電圧を印加しないときは、直流オフセットを生じさせないショート状態を実現することができるという効果を奏し、したがって、経時変化が少ない高機能な液晶装置（特に、反射型の液晶装置）として有用である。また、本発明の液晶装置は、例えば、携帯電話のサブパネル、低消費電力の携帯情報機器（パーソナルコンピュータ等）、反射型プロジェクタ等の電子機器に搭載することができ、これによって、電子機器の高機能化が達成される。

#### 【０１５２】

このように本発明によって、メモリと電圧反転回路を各画素に備え、線順次駆動ならびに面順次駆動も可能な新規な液晶装置や画素回路が実現される。よって、高精細な画像表示が可能で、かつ利便性の高い電子機器が得られる。

#### 【図面の簡単な説明】

#### 【０１５３】

【図１】本発明の液晶装置における１画素の構成を示す図

【図２】図２（Ａ）、図２（Ｂ）、図２（Ｃ）は各々、図１に示されるメモリ回路（メモリセル）の回路構成例を示す図

【図３】画素回路の具体的な回路構成の一例を示す回路図

【図４】図４（Ａ）、図４（Ｂ）、図４（Ｃ）は各々、印加電圧反転回路による、液晶に印加する電圧の極性反転動作を説明するための図

【図５】図５（Ａ）はメモリ回路の動作を示すタイミング図であり、図５（Ｂ）は、印加電圧反転回路の動作を示すタイミング図

【図６】本発明の液晶装置の全体構成の一例を示すブロック図

【図７】本発明の、表示データ書き込みにおいて面順次駆動を行う液晶装置における動作を説明するためのブロック図

10

20

30

40

50

【図 8】本発明の表示データ書き込みにおいて面順次駆動を行う液晶装置の動作タイミング図

【図 9】本発明の、表示データ書き込みにおいて線順次駆動を行う液晶装置における動作を説明するためのブロック図

【図 10】本発明の表示データ書き込みにおいて線順次駆動を行う液晶装置の動作タイミング図

【図 11】本発明の表示データ書き込みにおいて線順次駆動を行う液晶装置の別の動作タイミング図

【図 12】本発明のアクティブマトリクス基板の要部の断面構造を示す図

【図 13】図 12 に示されるアクティブマトリクス基板を用いた液晶装置（横電界方式の液晶装置）の断面構造を示す断面図

【図 14】図 14（A）、図 14（B）、図 14（C）は各々、印加電圧反転回路の変形例の回路構成と動作を説明するための図

【図 15】サブパネルを備える携帯端末（携帯電話端末、PDA 端末、持ち運び可能なパーソナルコンピュータを含む）の斜視図

【図 16】本発明の液晶装置を用いた携帯情報端末（PDA、パーソナルコンピュータ、ワードプロセッサ等）の斜視図

【図 17】本発明の反射型液晶装置を光変調器として用いたプロジェクタ（投射型表示装置）の要部の概略構成を示す図

【図 18】図 18（A）、図 18（B）は、液晶装置における焼き付き防止のために必要な動作を示す図

【図 19】図 19（A）～（C）は、各画素回路にメモリ回路を備える液晶装置における、液晶の両極の電圧を反転させる際の問題点を説明するための図

【図 20】図 20（A）、図 20（B）は、各画素回路にメモリ回路を備える液晶装置における、液晶の両極をショート状態（同電位状態）とする場合の問題点を説明するための図

【符号の説明】

【0154】

1 タイミングパルス発生回路、2 走査線駆動回路、3 データ線駆動回路、

4 表示メモリ、5 複数の画素回路を含む画像表示領域、6 階調メモリ、

10 メモリ回路（2 値電圧の電圧供給源、例えば S R A M）、

20 印加電圧反転回路（経路切換部）、

30 横電界方式の液晶素子（IPS 液晶素子）、32 保持コンデンサ、

50、50a、50b、500、50m 画素回路、

52 カウンタ回路、54 駆動回路、56 データ線選択スイッチ、

2A 第 1 の走査線駆動回路、2B 第 2 の走査線駆動回路、

VDD 高レベル電源電位（高レベル電源電圧）、

M1、M2 トランスファークロップ、GND 基準電源電位（基準電源電圧）、

WL 走査線、DL、/DL データ線、

M3～M6 フリップフロップを構成するトランジスタ、

M7～M10 印加電圧反転回路を構成するトランジスタ、

Q メモリ回路の電圧供給端、YSP 走査線駆動開始信号、

YCLK Yクロック信号、S0～Sn、/S0～/Sn 切換制御信号、

L2a、L2b、L2c 共通の基準電源電位（GND）配線、

S、/S カウンタ出力信号 rst0～rstn リセット信号、

VID.DAT0～VID.DATn 表示データ、S1、S2 信号線

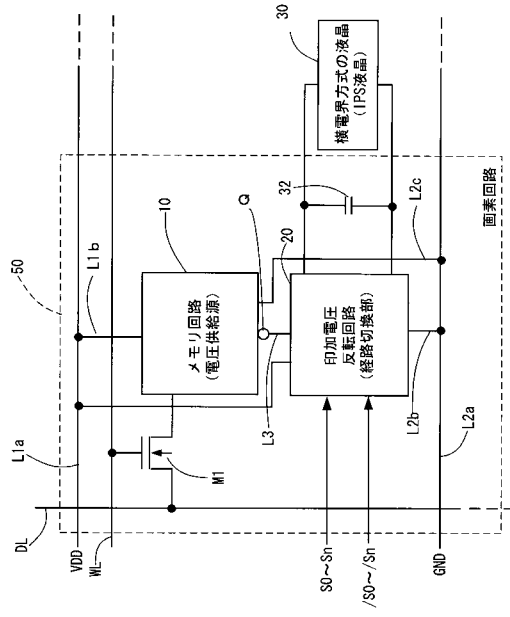
10

20

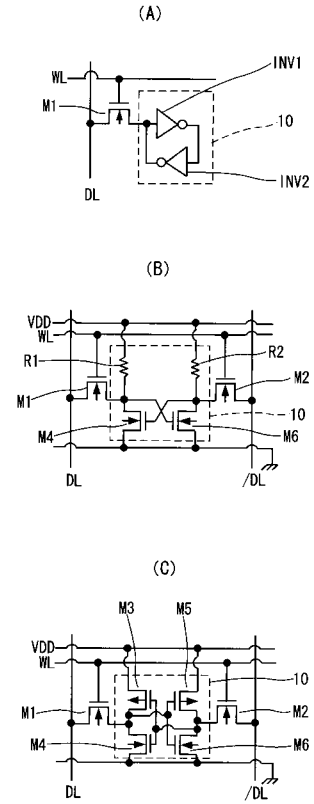
30

40

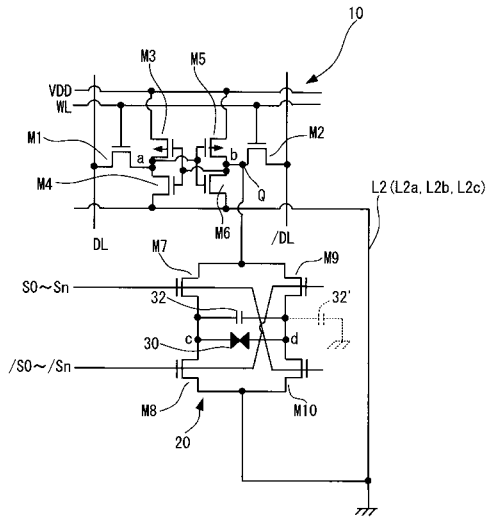
【 図 1 】



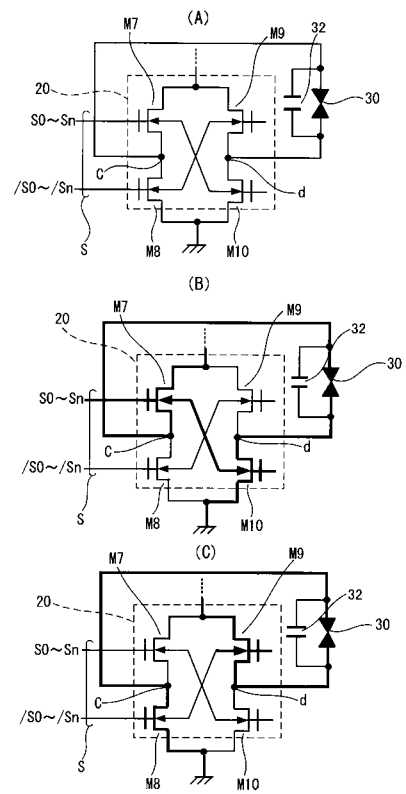
【 図 2 】



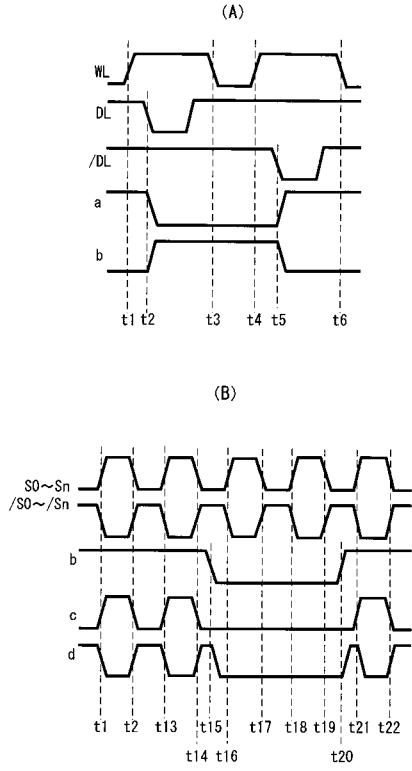
【 図 3 】



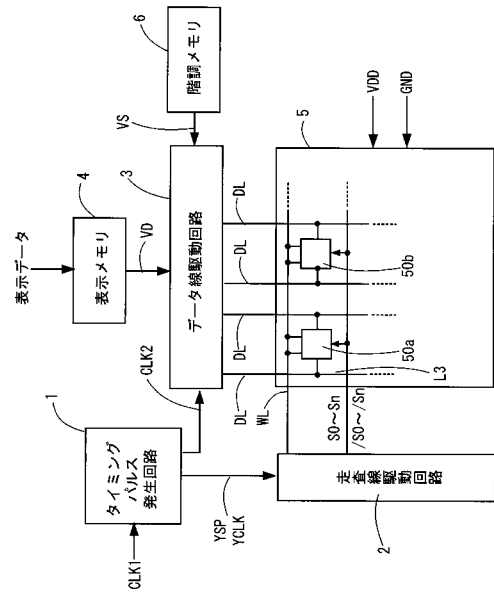
【 図 4 】



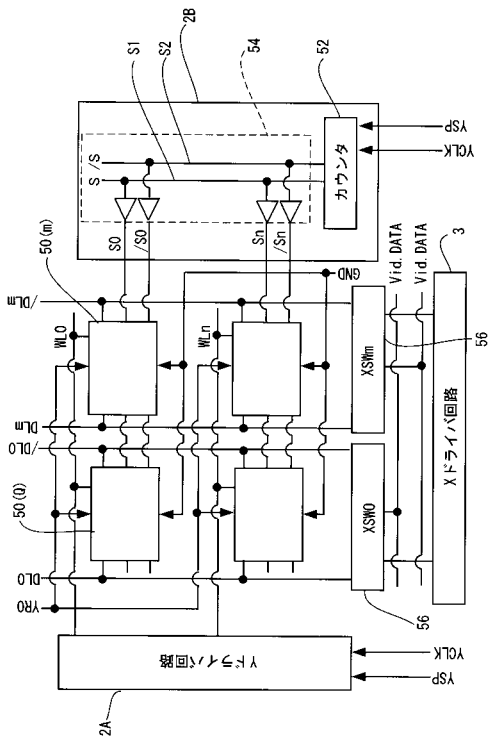
【 図 5 】



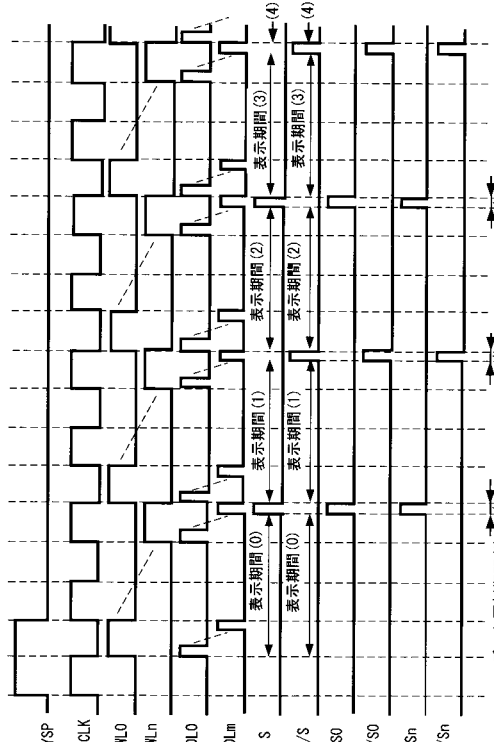
【 図 6 】



【 図 7 】



【 図 8 】









## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 8 0 H
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5

Fターム(参考)	2H093	NA16	NA42	NA43	NA53	NA56	NC10	NC12	NC28	NC34	NC35
		NC40	ND06	ND10	ND35	NF04					
	5C006	AC11	AC26	AF41	BA19	BB16	BB28	BC06	FA23	FA33	
	5C080	AA10	BB05	DD06	DD29	EE29	FF11	GG12	JJ02	JJ03	JJ04
		JJ06	KK01	KK43	KK47						

专利名称(译)	液晶器件，像素电路，有源矩阵基板和电子器件		
公开(公告)号	<a href="#">JP2008241832A</a>	公开(公告)日	2008-10-09
申请号	JP2007078758	申请日	2007-03-26
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	渡边 賢哉		
发明人	渡边 賢哉		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3659 G09G3/3614 G09G2300/0857 G09G2300/0866 G09G2310/0235 G09G2320/046		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.611.E G09G3/20.670.K G09G3/20.680.H G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H093/NA16 2H093/NA42 2H093/NA43 2H093/NA53 2H093/NA56 2H093/NC10 2H093/NC12 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND06 2H093/ND10 2H093/ND35 2H093/NF04 5C006/AC11 5C006/AC26 5C006/AF41 5C006/BA19 5C006/BB16 5C006/BB28 5C006/BC06 5C006/FA23 5C006/FA33 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK43 5C080/KK47 2H193/ZA04 2H193/ZA20 2H193/ZC22 2H193/ZD23 2H193/ZD26 2H193/ZF22 2H193/ZF36		
代理人(译)	井上 一 托莫卡祖·纳米 黑田靖		
其他公开文献	JP2008241832A5		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：实现施加电压的高精度反转，并适应线序驱动和表面顺序驱动。解决方案：存储器（10）仅用作电压源，并且通过施加的电压反相电路（20）实现施加到液晶的电压的极性反转。互反相位互补时钟（S0至Sn，/S0至/Sn）被输入到施加电压反相电路（20），并且提供保持电容器（32），其连接到施加电压反相电路和液晶。在表面数据和行数据被写入存储电路（10）的时段中，输入到施加电压反相电路（20）的开关控制信号（S0到Sn，/S0到/Sn）都保持在低电平并且在此期间，保持电容器（32）中保持的先前显示数据的电压被提供给液晶元件（30）。Z

