

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-116964

(P2008-116964A)

(43) 公開日 平成20年5月22日(2008.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612J	5C006
G02F 1/133 (2006.01)	G09G 3/20 642J	5C080
	G09G 3/20 622C	
	G09G 3/20 623B	
審査請求 有 請求項の数 21 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2007-288125 (P2007-288125)	(71) 出願人	501426046
(22) 出願日	平成19年11月6日 (2007.11.6)		エルジー・フィリップス エルシーデー
(31) 優先権主張番号	10-2006-0108844		カンパニー, リミテッド
(32) 優先日	平成18年11月6日 (2006.11.6)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(33) 優先権主張国	韓国 (KR)		イドードン 20
(31) 優先権主張番号	10-2007-0019574	(74) 代理人	100064447
(32) 優先日	平成19年2月27日 (2007.2.27)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

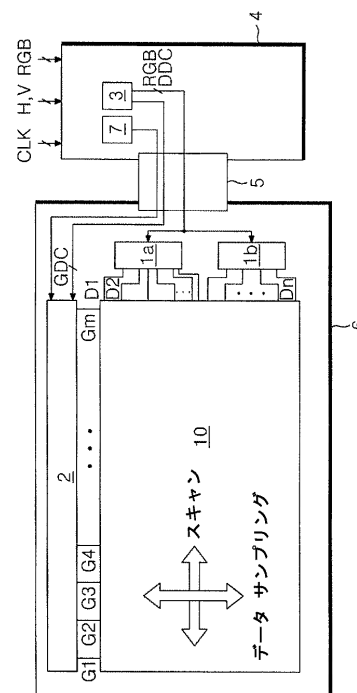
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】データラインにデータを供給するためのソースドライバICの個数を減少させ、前記ソースドライバICに信号を供給するためのFPCとPCBの大きさを減少させる液晶表示装置及びその駆動方法を提供する。

【解決手段】基板の長軸方向に沿って形成される多数のデータラインと、前記データラインと交差するように前記基板の短軸方向に沿って形成される多数のゲートラインとを有する液晶パネルと；前記データラインにデータ電圧を供給するデータ駆動回路と；前記ゲートラインにスキャンパルスを提供するゲート駆動回路と；前記データ駆動回路にデジタルビデオデータを供給して前記データ駆動回路と前記ゲート駆動回路を制御するタイミングコントローラと；を備えることを特徴とする液晶表示装置を構成する。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

基板の長軸方向に沿って形成される多数のデータラインと、前記データラインと交差するように前記基板の短軸方向に沿って形成される多数のゲートラインとを有する液晶パネルと；

前記データラインにデータ電圧を供給するデータ駆動回路と；

前記ゲートラインにスキャンパルスを供給するゲート駆動回路と；

前記データ駆動回路にデジタルビデオデータを供給して前記データ駆動回路と前記ゲート駆動回路を制御するタイミングコントローラと；を備えることを特徴とする液晶表示装置。

10

【請求項 2】

前記液晶パネルは、

前記基板の短軸方向に沿って配置される多数の赤色サブピクセルと；

前記基板の短軸方向に沿って配置される多数の緑色サブピクセルと；

前記基板の短軸方向に沿って配置される多数の青色サブピクセルと；を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲート駆動回路は、1 水平期間より小さいパルス幅で前記スキャンパルスを発生することを特徴とする請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記データ駆動回路は

1 / 3 水平期間の間に赤色のデジタルビデオデータに対応する赤色のデータ電圧を前記各データラインに供給し、前記 1 / 3 水平期間の間に緑色のデジタルビデオデータに対応する緑色のデータ電圧を前記各データラインに供給した後、前記 1 / 3 水平期間の間に青色のデジタルビデオデータに対応する青色のデータ電圧を前記各データラインに供給することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記液晶パネルは、

前記基板の長軸方向に沿って配置される多数の赤色サブピクセルと；

前記基板の長軸方向に沿って配置される多数の緑色サブピクセルと；

前記基板の長軸方向に沿って配置される多数の青色サブピクセルと；を備えることを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 6】

前記ゲート駆動回路は、1 水平期間のパルス幅で前記スキャンパルスを発生することを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記データ駆動回路は、

前記 1 水平期間の間に赤色、緑色及び青色のデータ電圧を互いに異なるデータラインに供給することを特徴とする請求項 6 に記載の液晶表示装置。

40

【請求項 8】

基板の長軸方向に沿って形成される多数の奇数及び偶数データラインと、前記データラインと交差するように前記基板の短軸方向に沿って形成される多数のゲートラインとを有する液晶パネルと；

前記データラインにデータ電圧を供給するデータ駆動回路と；

前記ゲートラインにスキャンパルスを供給するゲート駆動回路と；

前記データ駆動回路にデジタルビデオデータを供給して前記データ駆動回路と前記ゲート駆動回路を制御するタイミングコントローラと；を備えており、

前記ゲートラインを挟んで左右に配置される二つのサブピクセルは、前記ゲートラインを共有することを特徴とする液晶表示装置。

50

【請求項 9】

前記液晶パネルは、
前記基板の短軸方向に沿って配置される多数の赤色サブピクセルと；
前記基板の短軸方向に沿って配置される多数の緑色サブピクセルと；
前記基板の短軸方向に沿って配置される多数の青色サブピクセルと；を備えることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記多数の赤色、緑色及び青色サブピクセルのうち前記ゲートラインを挟んで前記ゲートラインの左側に配置される各サブピクセルは、前記奇数データラインから前記データ電圧を受け取り、前記ゲートラインを挟んで前記ゲートラインの右側に配置される各サブピクセルは、前記偶数データラインから前記データ電圧を受け取ることを特徴とする請求項 9 に記載の液晶表示装置。

10

【請求項 11】

前記ゲート駆動回路は、 $1/2$ 水平期間のパルス幅で前記スキャンパルスを発生することを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記データ駆動回路は、
 $1/2$ 水平期間の間に、赤色のデジタルビデオデータに対応する赤色のデータ電圧と緑色のデジタルビデオデータに対応する緑色のデータ電圧をそれぞれ前記奇数及び偶数データラインに供給し、 $1/2$ 水平期間の間に、青色のデジタルビデオデータに対応する青色のデータ電圧と赤色のデジタルビデオデータに対応する赤色のデータ電圧をそれぞれ前記奇数及び偶数データラインに供給した後、 $1/2$ 水平期間の間に、緑色のデジタルビデオデータに対応する緑色のデータ電圧と青色のデジタルビデオデータに対応する青色のデータ電圧をそれぞれ前記奇数及び偶数データラインに供給することを特徴とする請求項 11 に記載の液晶表示装置。

20

【請求項 13】

前記多数の赤色、緑色及び青色サブピクセルのうち前記ゲートラインを挟んで前記ゲートラインの左側に配置される $4i + 1$ (i は、0 または自然数) 番目及び $4i + 2$ 番目のサブピクセルは、前記奇数データラインから前記データ電圧を受け取り、 $4i + 3$ 番目及び $4i + 4$ 番目のサブピクセルは、前記偶数データラインから前記データ電圧を受け取ることを特徴とする請求項 9 に記載の液晶表示装置。

30

【請求項 14】

前記多数の赤色、緑色及び青色サブピクセルのうち前記ゲートラインを挟んで前記ゲートラインの右側に配置される $4i + 1$ (i は、0 または自然数) 番目及び $4i + 2$ 番目のサブピクセルは、前記偶数データラインから前記データ電圧を受け取り、 $4i + 3$ 番目及び $4i + 4$ 番目のサブピクセルは、前記奇数データラインから前記データ電圧を受け取ることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 15】

前記ゲート駆動回路は、 $1/2$ 水平期間のパルス幅で前記スキャンパルスを発生することを特徴とする請求項 14 に記載の液晶表示装置。

【請求項 16】

前記データ駆動回路は、
 $1/2$ 水平期間の間に、赤色のデジタルビデオデータに対応する赤色のデータ電圧と緑色のデジタルビデオデータに対応する緑色のデータ電圧をそれぞれ前記奇数及び偶数データラインに供給し、 $1/2$ 水平期間の間に、青色のデジタルビデオデータに対応する青色のデータ電圧と赤色のデジタルビデオデータに対応する赤色のデータ電圧をそれぞれ前記奇数及び偶数データラインに供給した後、 $1/2$ 水平期間の間に、緑色のデジタルビデオデータに対応する緑色のデータ電圧と青色のデジタルビデオデータに対応する青色のデータ電圧をそれぞれ前記偶数及び奇数データラインに供給することを特徴とする請求項 15 に記載の液晶表示装置。

40

【請求項 17】

50

前記各サブピクセルの共通電極に同一の共通電圧を供給する共通電圧供給ラインをさらに備えており、

前記共通電極は、前記データラインと並んで配置され、前記データラインと交差しないことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 18】

前記タイミングコントローラは、

前記赤色、緑色及び青色のデジタルビデオデータを保存し、1ライン分の前記赤色のデジタルビデオデータを前記データ駆動回路に供給し、1ライン分の前記緑色のデジタルビデオデータを前記データ駆動回路に供給した後、1ライン分の前記青色のデジタルビデオデータを前記データ駆動回路に供給するメモリを備えることを特徴とする請求項8に記載の液晶表示装置。

10

【請求項 19】

前記タイミングコントローラは、

前記赤色、緑色及び青色のデジタルビデオデータを保存し、1ライン分の前記赤色及び緑色のデジタルビデオデータを前記データ駆動回路に供給し、1ライン分の前記青色及び赤色のデジタルビデオデータを前記データ駆動回路に供給した後、1ライン分の前記緑色及び青色のデジタルビデオデータを前記データ駆動回路に供給するメモリを備えることを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 20】

多数のデータラインを基板の長軸方向に沿って前記基板に形成し、前記データラインと交差するように多数のゲートラインを前記基板の短軸方向に沿って前記基板に形成する段階と；

20

前記データラインにデータ電圧を供給する段階と；

前記ゲートラインにスキャンパルスを供給する段階と；を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 21】

多数の奇数及び偶数データラインを基板の長軸方向に沿って前記基板に形成し、前記データラインと交差するように多数のゲートラインを前記基板の短軸方向に沿って前記基板に形成する段階と；

前記ゲートラインを挟んで左右に配置される二つのサブピクセルが前記ゲートラインを共有するように各サブピクセルを配置する段階と；

30

前記データラインにデータ電圧を供給する段階と；

前記ゲートラインにスキャンパルスを供給する段階と；を含むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各データラインにデータを供給するためのソースドライブ集積回路の個数を減少させ、前記各ソースドライブ IC に信号を供給するための可撓性印刷回路と印刷回路ボードの大きさを減少させる液晶表示装置及びその駆動方法に関するものである。

40

【背景技術】

【0002】

液晶表示装置は、ビデオ信号によって各液晶セルの光透過率を調節して画像を表示する装置である。アクティブマトリックスタイプの液晶表示装置は、液晶セルごとにスイッチング素子が形成されるので、動映像を表示するのに有利である。スイッチング素子としては、主に薄膜トランジスタ (Thin Film Transistor; 以下、"TFT" という。) が用いられる。

【0003】

図 1 は、アクティブマトリックスタイプの液晶表示装置を概略的に示した図である。そして、図 2 は、図 1 に示した液晶パネルの 4 × 4 液晶セルマトリックスに対する TFT ア

50

レイ基板を等価的に示す等価回路図である。図3は、図2に示した液晶セルマトリックスの信号配線に供給される各信号を示す波形図である。

【0004】

図1乃至図3を参照すると、アクティブマトリックスタイプの液晶表示装置は、データラインD1～DmとゲートラインG1～Gnとが交差し、その交差部に液晶セルC1cを駆動するためのTFTが形成された液晶パネル14と、液晶パネル14のデータラインD1～Dmを駆動するためのデータ駆動回路12と、液晶パネル14のゲートラインG1～Gnを駆動するためのゲート駆動回路13と、データ駆動回路12及びゲート駆動回路13を制御するためのタイミングコントローラ11とを備える。

【0005】

データ駆動回路12は、多数のソースドライバICを含み、タイミングコントローラ11の制御下でアナログガンマ補償電圧を用いてデジタルデータをアナログデータ電圧R1～R4、G1～G4、B1～B4に変換してデータラインD1～Dmに供給する。

【0006】

ゲート駆動回路13は、多数のゲートドライバICを含み、タイミングコントローラ11の制御下でゲートラインG1～GnにスキャンパルスSP1～SP4を順次供給する。

【0007】

各スキャンパルスSP1～SP4は、約1水平期間の間に発生し、データ電圧R1～R4、G1～G4、B1～B4は、各スキャンパルスSP1～SP4に同期されてデータラインD1～Dmに供給される。TFTは、スキャンパルスSP1～SP4に応答してターンオンされ、データラインD1～Dmからのデータ電圧を液晶セルC1cのピクセル電極PIXに供給する。液晶セルC1cには、データ電圧が供給されるピクセル電極PIXと、共通電圧Vcomが供給される共通電極との間に液晶分子が配置される。

【0008】

液晶分子は、誘電異方性によってピクセル電極PIXと共通電極COMによって印加される電界にしたがって回動し、入射光の偏光成分を変調する。

【0009】

タイミングコントローラ11は、垂直/水平同期信号V、H、クロックCLKを用いて、駆動回路13を制御するためのゲート制御信号GDCと、データ駆動回路12を制御するためのデータ制御信号DDCとを発生する。データ制御信号DDCは、ソーススタートパルス(Source Start Pulse: SSP)、ソースシフトクロック(Source Shift Clock SSC)、ソース出力イネーブル信号SOE、極性制御信号POLなどを含む。

【0010】

ゲート制御信号GDCは、ゲートシフトクロック(Gate Shift Clock: GSC)、ゲート出力信号(Gate Output Enable: GOE)、ゲートスタートパルス(Gate Start Pulse: GSP)などを含む。

【0011】

図1において、液晶セルC1cに接続された'Cst'は、液晶セルC1cの電圧を維持するためのストレージキャパシタである。ストレージキャパシタCstは、前段ゲートラインとピクセル電極PIXとの間に接続されるストレージオンゲート(Storage On Gate)方式、または、別途の共通電極COMとピクセル電極PIXとの間に接続されるストレージオンコモン(Storage On Common)方式で形成される。

【0012】

ソースドライバICとゲートドライバICは、図4のようなテープオートメイテッドボンディング(Tape Automated Bonding: 以下、"TAB"という。)方式、または、図5のようなチップオンガラス(Chip On Glass; 以下、"COG"という。)方式で基板上に接着される。

【0013】

10

20

30

40

50

T A B方式は、図4に示すように、ソースドライブIC51とゲートドライブIC55がテープキャリアパッケージ(Tape Carrier Package; 以下、"TCP"という。)52, 56に実装され、それらTCP52, 56の出力パッドが異方導電性フィルム(ACF)でガラス基板のデータパッドまたはゲートパッドに接着される。ソースTCP52の入力パッドは、タイミングコントローラ11とガンマ基準電圧発生回路(図示せず)が実装されたソースPCB53の出力パッドに接着される。ゲートTCP56の入力パッドは、ゲートPCB57の出力パッドに接着される。ソースPCB53とゲートPCB57は、FPC54で連結される。FPC54を通してソースPCB53からゲートPCB57にゲートドライブICに必要な駆動電圧と制御信号が供給される。C O G方式は、導電性バンプ(Conductive bump)を用いて、図5に示すように、ソースドライブIC61とゲートドライブIC65をガラス基板上に直接接着させる方式である。図5において、参照番号'62'は、ガラス基板に接着され、ソースPCB63から発生するソースドライブIC61とゲートドライブIC65に必要な信号と電圧を供給するFPCである。

10

【0014】

図4及び図5において、参照番号'50'、'60'は、データラインD1~DmとゲートラインG1~Gnとが交差し、液晶セルC1cがマトリックス形態で配置されるピクセルアレイを示す。

【0015】

上記のような液晶表示装置は、液晶パネル14の長軸(x軸)方向にデータラインが配列されるので、ゲートラインに比べてデータラインの数が多い。したがって、データラインを駆動するためのソースドライブIC51, 61の個数が多くなる。ソースドライブIC51, 61は、ゲートドライブIC55, 65に比べて単価が高いため、液晶表示装置の製造費用を上昇させる主な要因として作用している。現在、XGA解像度(1024*768)を有する液晶パネル14においてソースドライブIC51, 61が618個の出力チャンネルを有する場合、5個のソースドライブICを必要とする。また、PCBとFPCが比較的大きいので、液晶表示装置の費用が一層上昇する。

20

【0016】

また、液晶表示装置は、共通電圧Vcomが変動することで、画質が低下するという問題がある。斯かる問題は、図6及び図7に示すように、共通電圧Vcomが供給される共通電極71, 81と、データ電圧が供給されるデータラインD1~Dmとが交差し、それらの間に負荷が発生することに原因がある。図6は、ピクセル電極PIXと重畳されるストレージオンコモン方式でデータラインと共通電極71とが交差する例を示す図で、図7は、ピクセル電極PIXと共通電極COMが同一基板上に形成され、液晶分子に水平電界を形成するインプレーンスイッチングモード(In-plane Switching Mode; 以下、"IPSモード"という。)でデータラインと共通電極81とが交差する例を示す図である。図6及び図7に示すように、データラインD1~Dmと共通電極71, 81とが交差すると、その交差部によってデータラインD1~Dmと共通電極71, 81との電气的カップリングが発生し、そのカップリングのために1水平期間単位でデータ電圧が供給されるデータラインによって共通電圧Vcomが変動される。

30

40

【発明の開示】

【発明が解決しようとする課題】

【0017】

したがって、本発明の目的は、データラインにデータを供給するためのソースドライブICの個数を減少させ、前記ソースドライブICに信号を供給するためのFPCとPCBの大きさを減少させる液晶表示装置及びその駆動方法を提供することにある。

【0018】

本発明の他の目的は、データラインと共通電圧ラインとの交差によって発生する共通電圧の変動を防止するための液晶表示装置及びその駆動方法を提供することにある。

【0019】

50

本発明の更に他の目的は、ゲートラインの個数を減少させてデータ電圧の充電時間を確保するための液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0020】

上記の目的を達成するために、本発明の実施例に係る液晶表示装置は、

基板の長軸方向に沿って形成される多数のデータラインと、前記データラインと交差するように前記基板の短軸方向に沿って形成される多数のゲートラインとを有する液晶パネルと；

前記データラインにデータ電圧を供給するデータ駆動回路と；

前記ゲートラインにスキャンパルスを提供するゲート駆動回路と；

前記データ駆動回路にデジタルビデオデータを供給して前記データ駆動回路と前記ゲート駆動回路を制御するタイミングコントローラと；を備える。

【0021】

上記の目的を達成するために、本発明の実施例に係る液晶表示装置は、

基板の長軸方向に沿って形成される多数の奇数及び偶数データラインと、前記データラインと交差するように前記基板の短軸方向に沿って形成される多数のゲートラインとを有する液晶パネルと；

前記データラインにデータ電圧を供給するデータ駆動回路と；

前記ゲートラインにスキャンパルスを提供するゲート駆動回路と；前記データ駆動回路にデジタルビデオデータを供給して前記データ駆動回路と前記ゲート駆動回路を制御するタイミングコントローラと；

を備えており、前記ゲートラインを挟んで左右に配置される二つのサブピクセルは、前記ゲートラインを共有することを特徴とする。

【0022】

上記の目的を達成するために、本発明の実施例に係る液晶表示装置の駆動方法は、

多数のデータラインを基板の長軸方向に沿って前記基板に形成し、前記データラインと交差するように多数のゲートラインを前記基板の短軸方向に沿って前記基板に形成する段階と；

前記データラインにデータ電圧を供給する段階と；

前記ゲートラインにスキャンパルスを提供する段階と；を含むことを特徴とする。

【0023】

上記の目的を達成するために、本発明の実施例に係る液晶表示装置の駆動方法は、

多数の奇数及び偶数データラインを基板の長軸方向に沿って前記基板に形成し、前記データラインと交差するように多数のゲートラインを前記基板の短軸方向に沿って前記基板に形成する段階と；

前記ゲートラインを挟んで左右に配置される二つのサブピクセルが前記ゲートラインを共有するようにサブピクセルを配置する段階と；

前記データラインにデータ電圧を供給する段階と；前記ゲートラインにスキャンパルスを提供する段階と；を含むことを特徴とする。

【発明の効果】

【0024】

本発明に係る液晶表示装置及びその駆動方法は、液晶パネルの短軸方向にデータラインを形成してデータラインの個数を減少させることで、データラインの駆動に必要な高価のソースドライブICの個数を減少させることができ、FPCとPCBを小さくかつ単純にすることができる。

【0025】

また、本発明に係る液晶表示装置及びその駆動方法は、データラインと共通電圧ラインとが平行になるので、それら信号配線の交差によって発生する共通電圧の変動を防止することができる。

【0026】

10

20

30

40

50

また、本発明に係る液晶表示装置及びその駆動方法は、データラインの個数を減少させるとともに、一つのゲートラインを二つのサブピクセルが共有することで、ゲートラインの個数を減少させてデータ電圧の充電時間を容易に確保することができる。

【発明を実施するための最良の形態】

【0027】

上記の目的以外の本発明の他の目的及び利点は、添付の図面を参照した本発明の好適な実施例に対する説明を通して明らかになるだろう。

【0028】

以下、本発明の好適な実施例について、図8乃至図25に基づいて説明する。

【0029】

10

図8を参照すると、本発明の実施例に係る液晶表示装置は、液晶パネル6のピクセルアレイ10で長軸方向(x軸方向)に沿って並んで配置されたm個のゲートラインG1~Gmと、ゲートラインG1~Gmと交差するように液晶パネル6のピクセルアレイ10で短軸方向(y軸方向)に沿って並んで配置されたn(nは、mより小さい整数)個のデータラインD1~Dnと、液晶パネル6のガラス基板上に直接形成されたゲート駆動回路2と、液晶パネル6のガラス基板上にCOGまたはTCP形態で接着されるデータ駆動回路のソースドライブIC1a, 1bと、液晶パネル6とソースPCB4との間に接続されたFPC5とを備える。

【0030】

ピクセルアレイ10には、ゲートラインG1~GmとデータラインD1~Dnとの交差によって定義されたピクセル領域にm×n個の液晶セルが形成される。

20

【0031】

液晶パネル6には、2枚のガラス基板の間に液晶が注入される。2枚のガラス基板のうちTFTアレイ基板には、データラインD1~DnとゲートラインG1~Gmとが直交するように形成される。

【0032】

データラインD1~DnとゲートラインG1~Gmとの交差部に形成されたTFTは、ゲートラインG1~Gmからのスキャンパルスに 응답し、データラインD1~Dnからのデータを液晶セルに供給する。これらTFTは、図9及び図13に示すように、ゲートラインG1~Gmに接続されたゲート電極、データラインD1~Dnに接続されたソース電極、及び液晶セルC1cの画素電極に接続されたドレーン電極を含む。

30

【0033】

また、TFTアレイ基板には、各液晶セルに接続されたストレージキャパシタが形成される。ストレージキャパシタは、上述したスキャンパルスによって前段垂直ラインを選択するための前段ゲートラインと、データ電圧が供給されるピクセル電極との間に接続されるストレージオンゲート方式、または、共通電圧Vcomが供給される共通電極8と、データ電圧が供給されるピクセル電極との間に接続されるストレージオンコモン方式で形成される。

【0034】

2枚のガラス基板のうち、液晶セルを挟んでTFTアレイ基板と対向するカラーフィルタアレイ基板には、カラーフィルタ、ブラックマトリックスなどが形成される。

40

【0035】

TFTアレイ基板とカラーフィルタアレイ基板には、液晶分子のプレチルトを決定するための配向膜、特定の線偏光の光を通過させる偏光子などが形成される。ピクセル電極と対向し、共通電圧が供給される共通電極は、TFTアレイ基板またはカラーフィルタアレイ基板に形成される。

【0036】

ゲート駆動回路2は、COGやTAB方式でガラス基板上に接着されるものでなく、その内部の素子がTFTアレイ基板の製造工程でピクセルアレイのTFT、ゲートラインG1~Gm及びデータラインD1~Dnと同時に形成される。このようなゲート駆動回路2の

50

実装方式は、"ゲートインパネル (Gate In Panel)" として知られたことがある。ゲート駆動回路 2 は、シフトレジスタと出力バッファなどを含み、タイミングコントローラ 3 からの制御信号 GDC に応答し、ゲートライン G1 ~ Gm にスキャンパルスを順次供給する。このゲート駆動回路 2 は、ゲートライン G1 ~ Gm が液晶パネル 6 の長軸方向に沿って並んで配置されるので、左から右に、またはその逆にスキャンパルスを順次供給する。

【0037】

図 9 に示すように、赤色、緑色及び青色のサブピクセルが液晶パネル 6 の短軸方向に沿って配列されると、図 10 に示すように、 $k + 1$ (k は、0 以上の正の整数) 番目のゲートラインに供給されるスキャンパルスの発生時点と、 $k + 4$ 番目のゲートラインに供給されるスキャンパルスの発生時点との間の期間は、約 1 水平期間 (1H) を満足し、その期間内で発生するスキャンパルスは、液晶セルの充電時間を確保するために、データのプリチャージ効果を得られるように重畳または非重畳状態になる。ここで、1 水平期間 (1H) の大きさは、同一の解像度を有する従来技術において 1 水平ラインにデータ電圧を供給する期間と実質的に同一である。以下で説明する 1 水平期間 (1H) は、この値を有する。

10

【0038】

図 13 に示すように、赤色、緑色及び青色のサブピクセルが液晶パネル 6 の長軸方向に沿って配列されると、図 14 に示すように、各スキャンパルスのパルス幅は、約 1 水平期間 (1H) であり、そのスキャンパルスは、重畳または非重畳状態になる。

20

【0039】

図 18 及び図 20 に示すように、赤色、緑色及び青色のサブピクセルが液晶パネル 6 の短軸方向に沿って配列されるとともに、一つのゲートラインを隣接する二つのサブピクセルが共有すると、図 19 及び図 21 に示すように、 $k + 1$ (k は、0 以上の正の整数) 番目のゲートラインに供給されるスキャンパルスの発生時点と、 $k + 3$ 番目のゲートラインに供給されるスキャンパルスの発生時点との間の期間は、約 1 水平期間 (1H) を満足し、その期間内で発生するスキャンパルスは、液晶セルの充電時間を確保するために、データのプリチャージ効果を得られるように重畳または非重畳状態になる。ソースドライバ IC 1a, 1b は、レジスタ、シフトレジスタ、ラッチ 102、デジタルアナログ変換器 (Digital to Analog Converter; 以下、"DAC" という。)、及び出力バッファなどを含み、FPC5 を経由して入力されるデジタルビデオデータ RGB をサンプリングしてラッチした後、これをアナログガンマ補償電圧に変換してデータライン D1 ~ Dn に供給する。これらソースドライバ IC 1a, 1b は、データライン D1 ~ Dn が液晶パネル 6 の短軸方向に沿って配置されるので、ピクセルアレイ 10 の上側に配置されたピクセルのデータから下側に配置されたピクセルのデータの順に、またはその逆にデータをサンプリングする。ソースドライバ IC 1a, 1b から出力されるデータ電圧は、スキャンパルスに同期され、1/3 水平期間、1/2 水平期間または 1 水平期間単位で発生する。

30

【0040】

ソース PCB 4 には、タイミングコントローラ 3、レベルシフタ 7、直流—直流変換器 (図示せず) 及びガンマ基準電圧発生回路などが実装される。

40

【0041】

タイミングコントローラ 3 は、垂直 / 水平同期信号 Vsync, Hsync とクロック CLK を用いて、ゲート駆動回路 33 を制御するためのゲート制御信号 GDC と、データ駆動回路 32 を制御するためのデータ制御信号 DDC とを発生する。データ制御信号 DDC は、ソーススタートパルス SSP、ソースシフトクロック SSC、ソース出力信号 SOE、極性制御信号 POL などを含む。ゲート制御信号 GDC は、ゲートシフトクロック、ゲート出力信号、ゲートスタートパルスなどを含む。

【0042】

タイミングコントローラ 3 は、図 10 に示すように、 $k + 1$ 番目のスキャンパルスの発

50

生時点と、 $k + 4$ 番目のスキャンパルスの発生時点との間の期間が 1 水平期間を満足する条件内で、スキャンパルスのパルス幅が 1 水平期間 (1 H) より小さいと、ゲート制御信号 GDC とデータ制御信号 DDC の周波数を基準周波数より速く変調する。タイミングコントローラ 3 は、図 19 に示すように、 $k + 1$ 番目のスキャンパルスの発生時点と、 $k + 3$ 番目のスキャンパルスの発生時点との間の期間が 1 水平期間を満足する条件内で、スキャンパルスのパルス幅が 1 水平期間 (1 H) より小さいと、ゲート制御信号 GDC とデータ制御信号 DDC の周波数を基準周波数より速く変調する。また、タイミングコントローラ 3 は、ピクセルアレイ 10 のデータライン及び液晶セル、ソースドライブ IC 1a, 1b のデータサンプリング順序に合わせてデジタルビデオデータ RGB を再整列する。レベルシフタ 7 は、低電位 / 高電位の直流入力電圧を受けた後、それら電圧をシフトさせ、ピクセルアレイ 10 の TFT 動作電圧でスイング幅を増加させたゲートハイ電圧 (Gate high voltage; VGH) とゲートロー電圧 (Gate low voltage; VGL) を発生する。

10

【0043】

FPC 5 は、ゲート駆動回路 2 とソースドライブ IC 1a, 1b の入力端子に電氣的に連結された液晶パネル 6 の信号パッドとソース PCB 5 の出力パッドに接続され、ソース PCB 5 からのデータ電圧、ゲートハイ / ロー電圧、各種の制御信号をゲート駆動回路 2 とソースドライブ IC 1a, 1b に伝送する。

【0044】

図 9 は、図 8 に示したピクセルアレイの第 1 実施例を示す。

20

【0045】

図 9 を参照すると、ピクセルアレイ 10 には、TFT アレイ基板上にデータライン D1 ~ Dn が液晶パネル 6 の長軸方向 x に沿って形成され、ゲートライン G1 ~ Gm が液晶パネル 6 の短軸方向 y に沿って形成される。ピクセルアレイ 10 のカラーフィルタアレイ基板に形成された赤色カラーフィルタ、緑色カラーフィルタ及び青色カラーフィルタは、液晶パネル 6 の短軸方向 y に沿って配置される。したがって、ピクセルアレイ 10 内の赤色サブピクセル、緑色サブピクセル及び青色サブピクセルは、液晶パネル 6 の短軸方向 y に沿って配置される。

【0046】

図 10 は、図 9 のようなピクセルアレイ 10 を駆動するためのデータ電圧とスキャンパルスを示す。

30

【0047】

図 10 を参照すると、ゲート駆動回路 2 は、1 水平期間 (1 H) より小さいスキャンパルスを順次発生し、それらスキャンパルスをゲートライン G1 ~ Gm に供給する。スキャンパルスのパルス幅は、 $k + 1$ 番目のスキャンパルスの発生時点と、 $k + 4$ 番目のスキャンパルスの発生時点との間の期間が 1 水平期間を満足する条件内で 1 水平期間 (1 H) より小さい。

【0048】

ソースドライブ IC 1a, 1b は、スキャンパルスに同期され、データライン D1 ~ Dn に約 $1 / 3$ 水平期間 ($1 / 3 H$) の間に 1 ライン分の赤色データ電圧 R1 ~ R4 を全て出力し、約 $1 / 3$ 水平期間 ($1 / 3 H$) の間に 1 ライン分の緑色データ電圧 G1 ~ G4 を全て出力した後、約 $1 / 3$ 水平期間 ($1 / 3 H$) の間に 1 ライン分の青色データ電圧 B1 ~ B4 を全て出力する。

40

【0049】

本発明の第 1 実施例に係る液晶表示装置の駆動方法は、上述したように、データライン D1 ~ Dn が液晶パネル 6 の短軸方向 y に沿って配置され、図 9 に示すように、サブピクセルが赤色、緑色及び青色の順に液晶パネル 6 の長軸方向 x に沿って配置されるので、1 水平期間の間に赤色、緑色及び青色サブピクセルに該当する色のデータ電圧が供給されるようにデータ電圧の発生周期を既存対比 $1 / 3$ 以下に減少させる。

【0050】

50

図 10 に示すように、データライン D 1 ~ D n にデータ電圧が供給されるためには、ソースドライバ IC 1 a , 1 b に供給されるデータ順序を、図 2 のような信号配線に供給される順序と異ならせるべきである。このために、本発明の第 1 実施例に係る液晶表示装置の駆動方法は、インターフェース回路を通して外部からタイミングコントローラ 3 にデジタルビデオデータを供給するための外部システムのグラフィックカードでまたはタイミングコントローラ 3 内で、図 9 のような信号配線とサブピクセルの配置を基準にしてデータを再整理する必要がある。

【 0 0 5 1 】

現在市販されているグラフィックカードには、図 2 のような従来技術の信号配線及びサブピクセルの配置を基準にして、図 3 のようなデータ出力が可能になるように " 横表示 " 形態でデータを整理するだけでなく、" 縦表示 " 形態でデータを整理することができる、いわゆるピボット機能を支援するグラフィックカードがある。このグラフィックカードにおいて " 縦表示 " オプションでピボットを選択すると、図 10 のようなデータ出力が可能である。

【 0 0 5 2 】

図 11 は、図 9 及び図 10 の信号配線及びサブピクセルの配置に合わせてデジタルビデオデータを整理するタイミングコントローラ 3 の一例を示す。

【 0 0 5 3 】

図 11 を参照すると、タイミングコントローラ 3 は、メモリ 31 を備える。

【 0 0 5 4 】

メモリ 31 は、第 1 データ入力ラインを通して R 1、R 2、R 3 ... の順に入力される赤色デジタルビデオデータと、第 2 データ入力ラインを通して G 1、G 2、G 3 ... の順に入力される緑色デジタルビデオデータと、第 3 データ入力ラインを通して B 1、B 2、B 3 ... の順に入力される青色デジタルビデオデータを受け取る。そして、メモリ 31 は、それらデータをメモリコントローラ (図示せず) の制御下で再整理し、データ出力ラインを通して R 1、R 2、R 3 ... R n、G 1、G 2、G 3 ... G n、B 1、B 2、B 3 ... B n の順に出力する。このメモリ 31 から出力されるデジタルビデオデータは、3 倍速されてタイミングコントローラ 3 の入力データと対比して周期が 1 / 3 に短くなる。

【 0 0 5 5 】

図 12 は、図 10 のようなデータ供給のためのソースドライバ IC 1 a , 1 b の構成及び動作を説明するための図で、第 1 ソースドライバ IC 1 a を詳細に示す。

【 0 0 5 6 】

図 12 を参照すると、第 1 ソースドライバ IC 1 a は、シフトレジスタ 101、第 1 ラッチ 102、第 2 ラッチ 103、DAC 104、出力バッファ 105 及びレジスタ 106 を備える。

【 0 0 5 7 】

レジスタ 106 は、タイミングコントローラ 3 からのデジタルビデオデータ RGB を一時保存し、そのデジタルビデオデータ RGB を第 1 ラッチ 102 に供給する。シフトレジスタ 101 は、タイミングコントローラ 3 からのソーススタートパルス SSP をソースシフトクロック信号 SSC によってシフトさせてサンプリング信号を発生する。また、シフトレジスタ 101 は、ソーススタートパルス SSP をシフトさせ、次の段の集積回路にキャリー信号 CAR を伝達する。第 1 ラッチ 102 は、シフトレジスタ 101 から入力されるサンプリング信号によってデジタルビデオデータ RGB を順次サンプリングしてラッチした後、ラッチされたデジタルビデオデータ RGB を同時に第 2 ラッチ 103 に供給する。

【 0 0 5 8 】

第 2 ラッチ 103 は、第 2 ソースドライバ IC 1 a の第 2 ラッチに 1 ラインの最後のデータ、すなわち、n 番目のデータがラッチされる時まで第 1 ラッチ 102 からのデータをラッチした後、3 倍速されたソース出力信号 SOE に応答して、第 2 ソースドライバ IC 1 a の第 2 ラッチと同時にラッチされたデジタルビデオデータを同時に出力する。

【 0 0 5 9 】

D A C 1 0 4 は、ガンマ基準電圧 G M A 1 ~ G M A 6 を用いて第 2 ラッチ 1 0 4 からのデジタルビデオデータ R G B を正極性 / 負極性アナログデータ電圧に変換する。

【 0 0 6 0 】

出力バッファ 1 0 5 は、データライン D 1 ~ D n / 2 に接続され、D A C 1 0 4 からデータライン D 1 ~ D n / 2 に供給されるデータ電圧の損失を減少させるための出力バッファを含む。

【 0 0 6 1 】

図 1 3 は、図 8 に示したピクセルアレイの第 2 実施例を示す。

【 0 0 6 2 】

10

図 1 3 を参照すると、ピクセルアレイ 1 0 には、T F T アレイ基板上にデータライン D 1 ~ D n が液晶パネル 6 の長軸方向 x に沿って形成され、ゲートライン G 1 ~ G m が液晶パネル 6 の短軸方向 y に沿って形成される。ピクセルアレイ 1 0 のカラーフィルタアレイ基板に形成された赤色カラーフィルタ、緑色カラーフィルタ及び青色カラーフィルタは、液晶パネル 6 の長軸方向 x に沿って配置される。したがって、ピクセルアレイ 1 0 内の赤色サブピクセル、緑色サブピクセル及び青色サブピクセルは、液晶パネル 6 の長軸方向 x に沿って配置される。

【 0 0 6 3 】

図 1 4 は、図 1 3 のようなピクセルアレイ 1 0 を駆動するためのデータ電圧とスキャンパルスを示す。

20

【 0 0 6 4 】

図 1 4 を参照すると、ゲート駆動回路 2 は、約 1 水平期間 (1 H) のパルス幅を有するスキャンパルスを順次発生し、それらスキャンパルスをゲートライン G 1 ~ G m に供給する。

【 0 0 6 5 】

ソースドライバ I C 1 a , 1 b は、スキャンパルスに同期されてデータライン D 1 ~ D n に約 1 水平期間 (1 H) の間に 1 ライン分の赤色データ電圧、緑色データ電圧及び青色データ電圧を出力した後、次のラインの 1 ライン分の赤色データ電圧、緑色データ電圧及び青色データ電圧を出力する。

【 0 0 6 6 】

30

本発明の第 2 実施例に係る液晶表示装置の駆動方法は、上述したように、データライン D 1 ~ D n が液晶パネル 6 の短軸方向 y に沿って配置され、図 1 3 に示すように、サブピクセルが赤色、緑色及び青色の順に液晶パネル 6 の短軸方向 y に沿って配置されるので、スキャンパルスのパルス幅とデータ電圧の発生周期を約 1 水平期間 (1 H) に制御する。

【 0 0 6 7 】

図 1 4 のようなデータ供給方式は、図 3 と実質的に同一であるので、データの再整列や駆動周波数の変更が必要でない。

【 0 0 6 8 】

図 1 5 は、図 1 4 のようなデータ電圧を発生するためのソースドライバ I C 1 a , 1 b の構成及び動作を説明するための図で、第 1 ソースドライバ I C 1 a を詳細に示す。

40

【 0 0 6 9 】

図 1 5 を参照すると、第 1 ソースドライバ I C 1 a は、シフトレジスタ 2 0 1、第 1 ラッチ 2 0 2、第 2 ラッチ 2 0 3、D A C 2 0 4、出力バッファ 2 0 5 及びレジスタ 2 0 6 を備える。この第 1 ソースドライバ I C 1 a には、タイミングコントローラ 3 から入力されるデジタルビデオデータが R 1、G 1、B 1 ... R 2、G 2、B 2 ... の順に供給されるので、第 1 及び第 2 ラッチ 2 0 2、2 0 3 には、デジタルビデオデータが左側から右側に R、G、B の順に配置される。

【 0 0 7 0 】

図 1 6 は、本発明の実施例に係る液晶表示装置及びその駆動方法において、液晶セルの共通電極 C O M に共通電圧 V c o m を供給するための共通電極 C O M を示す。

50

【0071】

図16を参照すると、共通電圧供給ラインCOMLは、データラインD1～Dnと同一の方向、すなわち、液晶パネル6の短軸方向yに沿って配置されるので、データラインD1～Dnと平行に液晶パネル6のTFTアレ基板の上に形成され、データラインD1～Dnと交差しない。したがって、共通電圧Vcomは、データ電圧の影響を受けないので、データ電圧によって変動されることはない。

【0072】

本発明の実施例に係る液晶表示装置は、n個のデータラインD1～Dnが液晶パネル6の短軸方向yに沿って並んで配置され、各データラインD1～Dnが液晶パネル6の長軸方向xに沿って長く配置される。したがって、データラインD1～Dnが長くなるほど、データラインの抵抗とデータラインの寄生容量が増加し、データ電圧のRC遅延が増加する。このRC遅延を減少させるための方案としては、データラインD1～Dnを低抵抗金属、例えば、銅(Cu)で形成するか、図17に示すようにデータラインD1～Dnを分割し、分割されたデータラインの左/右側を互いに異なるソースドライブIC1a～1Dで分割・駆動する方法がある。図17のような方法を適用した場合も、本発明は、同一の解像度で従来よりソースドライブICの個数を減少させることができる。例えば、図1のような従来の液晶表示装置においてXGA解像度(1024*768)でデータラインが配置される場合、618個の出力チャネルを有するソースドライブICが5個必要である反面、本発明においては、同一の解像度で図17に示すように4個のソースドライブICが必要である。

【0073】

図18及び図20は、図8に示したピクセルアレの第3実施例を示す。

【0074】

図18を参照すると、本発明の第3実施例に係るピクセルアレ10は、TFTアレ基板上で液晶パネル6の長軸方向xに沿って形成されるデータラインD1～D2nと、液晶パネル6の短軸方向yに沿って形成されるゲートラインG1～G3m/2とを備える。本発明の第3実施例に係るピクセルアレ10のカラーフィルタアレ基板には、赤色カラーフィルタ、緑色カラーフィルタ及び青色カラーフィルタが備わり、赤色カラーフィルタ、緑色カラーフィルタ及び青色カラーフィルタは、液晶パネル6の短軸方向yに沿って配置される。したがって、ピクセルアレ10内の赤色サブピクセル、緑色サブピクセル及び青色サブピクセルは、液晶パネル6の短軸方向yに沿って配置される。一つのゲートラインを共有する二つのサブピクセルのうち共有ゲートラインG1～G(3m/2)の左側に配置されるサブピクセルR11～Rn1, B11～Bn1, G12～Gn2, R13～Rn3, ... G1m～Gnmは、それぞれ奇数データラインD1, D3, ... D(2n-1)からデータを受け取る。

【0075】

一つのゲートラインを共有する二つのサブピクセルのうち共有ゲートラインG1～G(3m/2)の右側に配置されるサブピクセルG11～Gn1, R12～Rn2, B12～Bn2, G13～Gn3, ... B1m～Bnmは、それぞれ偶数データラインD2, D4, ... D2nからデータを受け取る。

【0076】

このために、共有ゲートラインと奇数データラインとの交差点の左側領域に薄膜トランジスタが形成され、奇数データラインからのデータを共有ゲートラインの左側に配置されるサブピクセルにスイッチングさせる。

【0077】

共有ゲートラインと偶数データラインとの交差点の右側領域には、薄膜トランジスタが形成され、偶数データラインからのデータを共有ゲートラインの右側に配置されるサブピクセルにスイッチングさせる。

【0078】

本発明の第3実施例に係るピクセルアレ10において、一つのピクセルを構成するR

、G、Bサブピクセルのうち2個は、奇数（または偶数）データラインからデータを受け取り、残りの1個は、偶数（または奇数）データラインからデータを受け取る。

【0079】

したがって、本発明の第3実施例に係るピクセルアレイ10は、図18に限定されることなく、多様な形態、例えば、図20のように構成されることもできる。図20に示すように、本発明の第3実施例に係るピクセルアレイ10には、TFTアレイ基板上にデータラインD1～D2nが液晶パネル6の長軸方向xに沿って形成され、ゲートラインG1～G3m/2が液晶パネル6の短軸方向yに沿って形成される。ピクセルアレイ10のカラーフィルタアレイ基板に形成された赤色カラーフィルタ、緑色カラーフィルタ及び青色カラーフィルタは、液晶パネル6の短軸方向yに沿って配置される。したがって、ピクセルアレイ10内の赤色サブピクセル、緑色サブピクセル及び青色サブピクセルは、液晶パネル6の短軸方向に沿って配置される。ここで、一つのゲートラインを共有する二つのサブピクセルのうち共有ゲートラインG1～G(3m/2)の左側に配置される4i+1(iは、0または自然数)番目及び4i+2番目のサブピクセルR11～Rn1, B11～Bn1, ... R1(m-2)～Rn(m-2)は、それぞれ奇数データラインからデータを受け取り、4i+3番目及び4i+4番目のサブピクセルG12～Gn2, R13～Rn3, ... G1m～Gnmは、それぞれ偶数データラインからデータを受け取る。また、一つのゲートラインを共有する二つのサブピクセルのうち共有ゲートラインG1～G(3m/2)の右側に配置される4i+1番目及び4i+2番目のサブピクセルG11～Gn1, R12～Rn2, ... G1(m-2)～Gn(m-2)は、それぞれ偶数データラインからデータを受け取り、4i+3番目及び4i+4番目のサブピクセルB12～Bn2, G13～Gn3, ... B1m～Bnmは、それぞれ奇数データラインからデータを受け取る。

10

20

【0080】

このために、共有ゲートラインと奇数データラインとの交差点の左側領域に形成された薄膜トランジスタは、奇数データラインからのデータを共有ゲートラインの左側に配置される4i+1及び4i+2番目のサブピクセルにスイッチングさせる。共有ゲートラインと奇数データラインとの交差点の右側領域に形成された薄膜トランジスタは、奇数データラインからのデータを共有ゲートラインの右側に配置される4i+3及び4i+4番目のサブピクセルにスイッチングさせる。

30

【0081】

共有ゲートラインと偶数データラインとの交差点の右側領域に形成された薄膜トランジスタは、偶数データラインからのデータを共有ゲートラインの右側に配置される4i+1及び4i+2番目のサブピクセルにスイッチングさせる。共有ゲートラインと偶数データラインとの交差点の左側領域に形成された薄膜トランジスタは、偶数データラインからのデータを共有ゲートラインの左側に配置される4i+3及び4i+4番目のサブピクセルにスイッチングさせる。

30

【0082】

図19は、図18のようなピクセルアレイ10を駆動するためのデータ電圧とスキャンパルスを示す。図21は、図19のようなピクセルアレイ10を駆動するためのデータ電圧とスキャンパルスを示す。

40

【0083】

図19及び図21を参照すると、ゲート駆動回路2は、1水平期間(1H)より小さいスキャンパルスを順次発生し、それらスキャンパルスをゲートラインG1～G(3m/2)に供給する。スキャンパルスのパルス幅は、k+1番目のスキャンパルスの発生時点と、k+3番目のスキャンパルスの発生時点との間の期間が1水平期間(1H)を満足する条件内で1水平期間(1H)より小さい。

【0084】

ソースドライバIC1a, 1bは、スキャンパルスに同期されてデータラインD1～D2nにデータ電圧を出力する。例えば、ソースドライバIC1a, 1bは、約1/2水平期間(1/2H)の間に1ライン分の赤色及び緑色データ電圧R11～Gn1を全て

50

出力した後、約 $1/2$ 水平期間 ($1/2 H$) の間に 1 ライン分の青色及び赤色データ電圧 $B_{11} \sim R_{n1}$ を全て出力する。

【0085】

本発明の第3実施例に係る液晶表示装置の駆動方法は、上述したように、データライン $D_1 \sim D_n$ が液晶パネル6の長軸方向 x に沿って配置され、サブピクセルが赤色、緑色及び青色の順に液晶パネル6の長軸方向 x に沿って配置される。

【0086】

併せて、共有ゲートラインの間に配置される二つのサブピクセルが前記ゲートラインからのスキャンパルスに同期され、同時に奇数または偶数データラインからデータ電圧を受け取るようになる。したがって、本発明の第3実施例に係る液晶表示装置の駆動方法は、
1 水平期間の間に赤色、緑色及び青色サブピクセルに該当する色のデータ電圧が供給されるように、データ電圧の発生周期を既存対比 $1/2$ に減少させる。

【0087】

表1は、このような本発明の第3実施例を従来技術及び第1及び第2実施例と比較したものである。

【0088】

【表1】

	従来技術	第1及び第2実施例	第3実施例
データライン数	$1024 \times 3 = 3072$	768	$768 \times 2 = 1536$
ゲートライン数	768	$1024 \times 3 = 3072$	$1024 \times 3/2 = 1536$

【0089】

表1に示すように、本発明の第3実施例に係る液晶表示装置は、従来技術に比べてデータライン数を半分に減少させるとともに、第1及び第2実施例に比べてゲートライン数を半分に減少させる。これによって、本発明の第3実施例に係る液晶表示装置は、同一の解像度で従来よりソースドライバICの個数を減少させることができ、第1及び第2実施例よりデータライン数が増加し、ソースドライバICの個数が増加する場合も、ゲートラインの数を減少させ、データラインの充電時間を容易に確保することができる。

【0090】

図19及び図21に示すように、データライン $D_1 \sim D_{2n}$ にデータ電圧が供給されるためには、ソースドライバIC 1a, 1bに供給されるデータ順序を、図2のような信号配線に供給される順序と異ならせるべきである。このために、本発明の第3実施例に係る液晶表示装置の駆動方法は、インターフェース回路を通して外部からタイミングコントローラ3にデジタルビデオデータを供給するための外部システムのグラフィックカードでまたはタイミングコントローラ3内で、図18及び図20のような信号配線とサブピクセルの配置を基準にしてデータを再整列する必要がある。

【0091】

図22は、図18及び図19の信号配線及びサブピクセルの配置に合わせてデジタルビデオデータを整列するタイミングコントローラ3の一例を示す。

【0092】

図22を参照すると、タイミングコントローラ3は、メモリ131を備える。

【0093】

メモリ131は、第1データ入力ラインを通して R_{11} から R_{nm} の順に入力される赤色デジタルビデオデータと、第2データ入力ラインを通して G_{11} から G_{nm} の順に入力される緑色デジタルビデオデータと、第3データ入力ラインを通して B_{11} から B_{nm} の順に入力される青色デジタルビデオデータを受け取る。そして、メモリ131は、それらデータをメモリコントローラ（図示せず）の制御下で再整列し、データ出力ラインを通して R_{11} 、 G_{11} 、 R_{21} 、 $G_{21} \dots G_{n1}$ 、 B_{11} 、 R_{12} 、 B_{21} 、 $R_{22} \dots R_{n2}$ 、 G_{12} 、 B_{12} 、 G_{22} 、 $B_{22} \dots B_{n2}$ 、 R_{13} 、 G_{13} 、 R_{23} 、 $G_{23} \dots G_{n3}$ の順に出力する。メモリ131から出力されるデジタルビデオデータは、2倍速されて

タイミングコントローラ 3 の入力データと対比して周期が $1/2$ に短くなる。

【0094】

図 23 は、図 22 のようなデータ電圧を発生するためのソースドライバ IC 1a, 1b の構成及び動作を説明するための図で、第 1 ソースドライバ IC 1a を詳細に示す。図 23 を参照すると、本発明の実施例に係る第 1 ソースドライバ IC 1a は、シフトレジスタ 301、第 1 ラッチ 302、第 2 ラッチ 303、DAC 304、出力バッファ 305 及びレジスタ 306 を備える。この第 1 ソースドライバ IC 1a は、タイミングコントローラ 3 から R11、G11、R21、G21... Gn1、B11、R12、B21、R22... Rn2、G12、B12、G22、B22... Bn2、R13、G13、R23、G23... Gn3 の順に入力されるデジタルビデオデータを第 1 及び第 2 ラッチ 302, 303 を経由して各データライン D1 ~ Dn に供給する。

10

【0095】

図 24 は、図 20 及び図 21 の信号配線及びサブピクセルの配置に合わせてデジタルビデオデータを整列するタイミングコントローラ 3 の一例を示す。

【0096】

図 24 を参照すると、タイミングコントローラ 3 は、メモリ 231 を備える。

【0097】

メモリ 231 は、第 1 データ入力ラインを通して R11 から Rnm の順に入力される赤色デジタルビデオデータと、第 2 データ入力ラインを通して G11 から Gnm の順に入力される緑色デジタルビデオデータと、第 3 データ入力ラインを通して B11 から Bnm の順に入力される青色デジタルビデオデータを受け取る。そして、メモリ 231 は、それらデータをメモリコントローラ（図示せず）の制御下で再整列し、データ出力ラインを通して R11、G11、R21、G21... Gn1、B11、R12、B21、R22... Rn2、B12、G12、B22、G22... Gn2、G13、R13、G23、R23... Rn3 の順に出力する。このメモリ 231 から出力されるデジタルビデオデータは、2 倍速されてタイミングコントローラ 3 の入力データと対比して周期が $1/2$ に短くなる。

20

【0098】

図 25 は、図 24 のようなデータ電圧を発生するためのソースドライバ IC 1a, 1b の構成及び動作を説明するための図で、第 1 ソースドライバ IC 1a を詳細に示す。

【0099】

図 25 を参照すると、第 1 ソースドライバ IC 1a は、シフトレジスタ 401、第 1 ラッチ 402、第 2 ラッチ 403、DAC 404、出力バッファ 405 及びレジスタ 406 を備える。この第 1 ソースドライバ IC 1a は、タイミングコントローラ 3 から R11、G11、R21、G21... Gn1、B11、R12、B21、R22... Rn2、B12、G12、B22、G22... Gn2、G13、R13、G23、R23... Rn3 の順に入力されるデジタルビデオデータを第 1 及び第 2 ラッチ 402, 403 を経由して各データライン D1 ~ Dn に供給する。

30

【0100】

以上説明した内容を通して、当業者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることを理解できるだろう。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものでなく、特許請求の範囲によって定められるべきである。

40

【図面の簡単な説明】

【0101】

【図 1】従来の液晶表示装置を示すブロック図である。

【図 2】図 1 の液晶パネルにおける 4×4 液晶セルマトリックスを拡大して示す図である。

。

【図 3】図 1 に示したデータラインとゲートラインに供給される信号を示す波形図である。

。

【図 4】ソース/ゲートドライバ集積回路が TAB 方式でガラス基板上に接着された例を

50

示す図である。

【図 5】ソース / ゲートドライブ集積回路が C O G 方式でガラス基板上に接着された例を示す図である。

【図 6】ストレージオンコモン方式でデータラインと共通電極とが交差する例を示す図である。

【図 7】I P S モードでデータラインと共通電極とが交差する例を示す図である。

【図 8】本発明の第 1 実施例に係る液晶表示装置を示すブロック図である。

【図 9】図 8 に示したピクセルアレイの第 1 実施例を示す図である。

【図 10】図 9 のようなピクセルアレイを駆動するためのデータ電圧とスキャンパルスを示す波形図である。

10

【図 11】図 9 及び図 10 の信号配線及びサブピクセルの配置に合わせてデジタルビデオデータを整列するタイミングコントローラの例を示す図である。

【図 12】図 10 のようなデータ供給のための本発明の第 1 実施例に係るソースドライブ集積回路を詳細に示すブロック図である。

【図 13】図 8 に示したピクセルアレイの第 2 実施例を示す図である。

【図 14】図 13 のようなピクセルアレイを駆動するためのデータ電圧とスキャンパルスを示す波形図である。

【図 15】図 14 のようなデータ電圧を発生するための本発明の第 2 実施例に係るソースドライブ集積回路を詳細に示すブロック図である。

【図 16】本発明の実施例に係る液晶表示装置及びその駆動方法において、液晶セルの共通電極に共通電圧を供給するための共通電極を示す図である。

20

【図 17】本発明の他の実施例に係る液晶表示装置のデータライン及びソースドライブ集積回路を示す図である。

【図 18】図 8 に示したピクセルアレイの第 3 実施例を示す図である。

【図 19】図 18 のようなピクセルアレイを駆動するためのデータ電圧とスキャンパルスを示す波形図である。

【図 20】図 8 に示したピクセルアレイの第 3 実施例を示す図である。

【図 21】図 19 のようなピクセルアレイを駆動するためのデータ電圧とスキャンパルスを示す波形図である。

【図 22】図 18 及び図 19 の信号配線及びサブピクセルの配置に合わせてデジタルビデオデータを整列するタイミングコントローラの一例を示す図である。

30

【図 23】図 22 のようなデータ電圧を発生するためのソースドライブ I C の構成及び動作を説明するための図である。

【図 24】図 20 及び図 21 の信号配線及びサブピクセルの配置に合わせてデジタルビデオデータを整列するタイミングコントローラの一例を示す図である。

【図 25】図 24 のようなデータ電圧を発生するためのソースドライブ I C の構成及び動作を説明するための図である。

【符号の説明】

【 0 1 0 2 】

1 a , 1 b ソースドライブ I C

40

2 ゲート駆動回路

3 タイミングコントローラ

4 ソース P C B

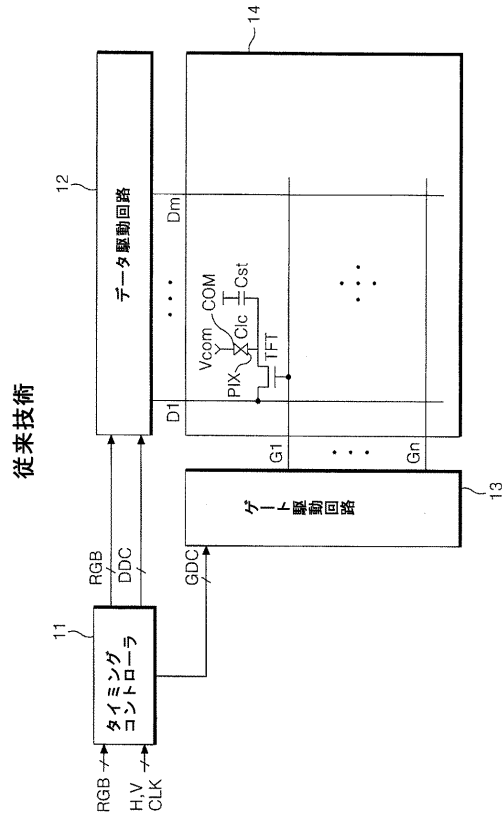
5 F P C

6 液晶パネル

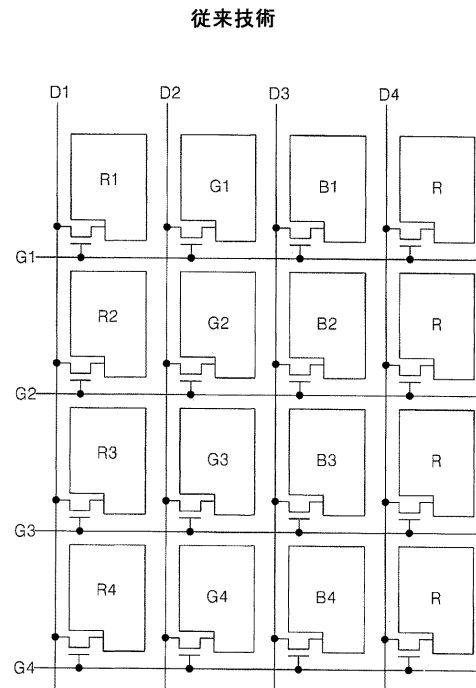
7 レベルシフタ

1 0 ピクセルアレイ

【図 1】



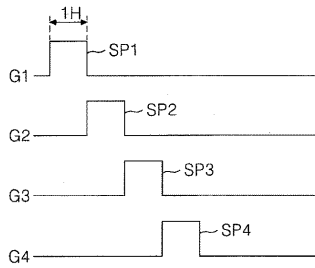
【図 2】



【図 3】

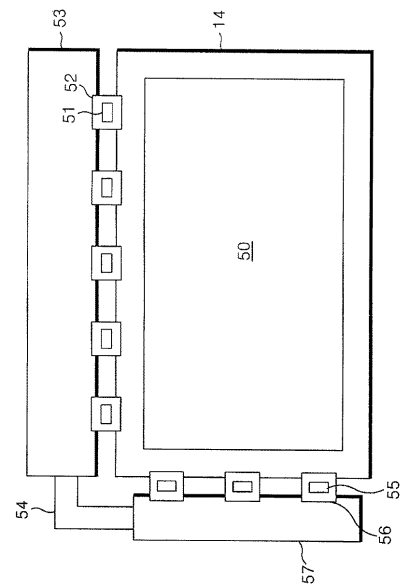
従来技術

D1—R1—R2—R3—R4—
 D2—G1—G2—G3—G4—
 D3—B1—B2—B3—B4—



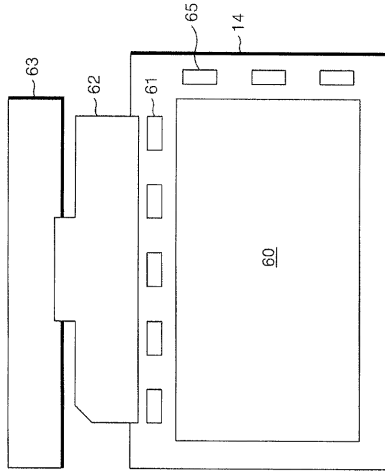
【図 4】

従来技術



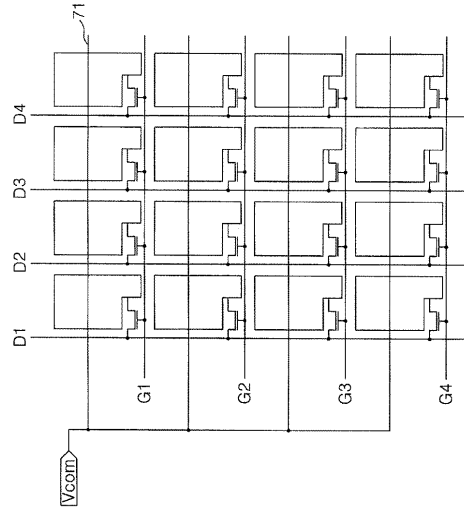
【図 5】

従来技術



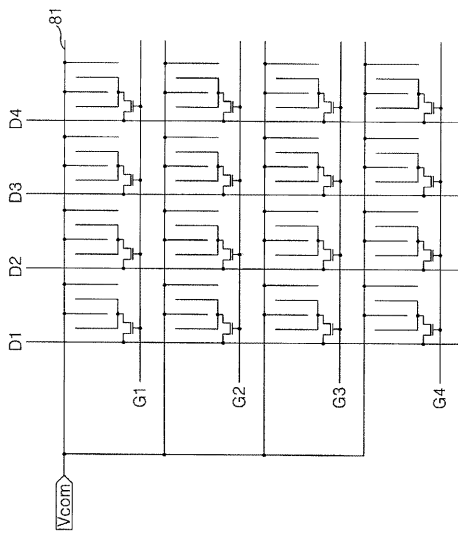
【図 6】

従来技術

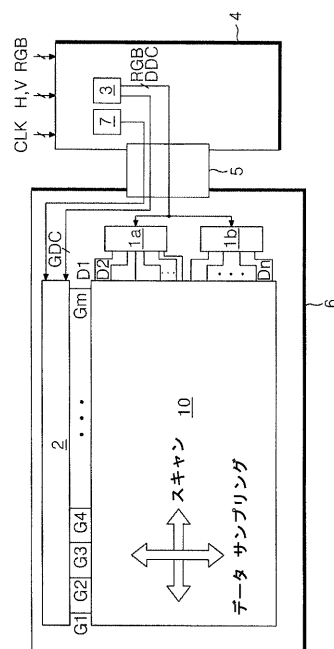


【図 7】

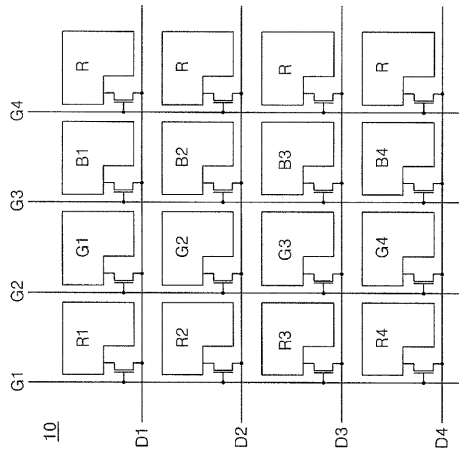
従来技術



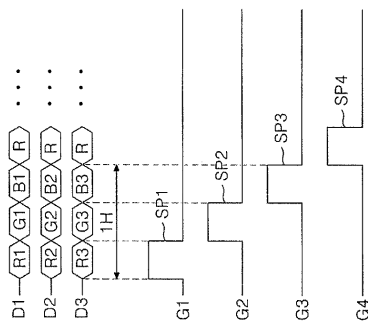
【図 8】



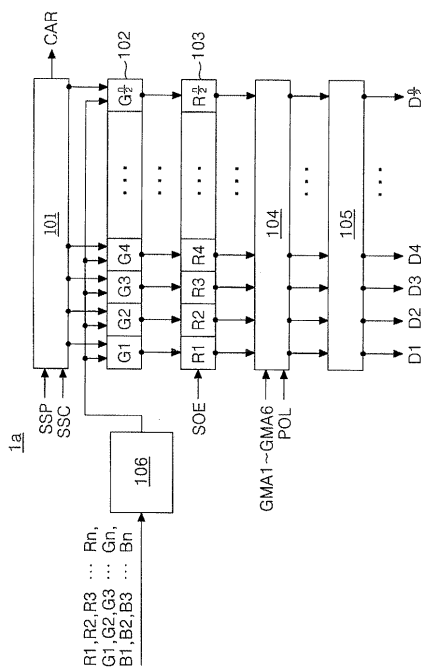
【図 9】



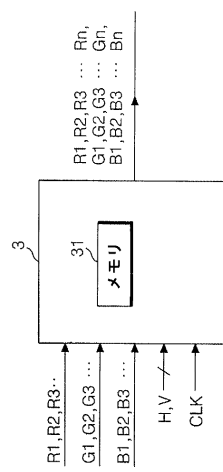
【図 10】



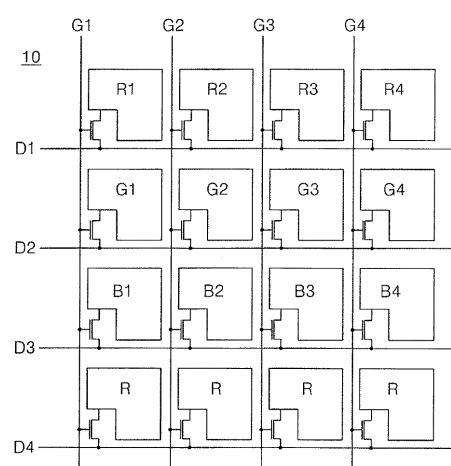
【図 11】



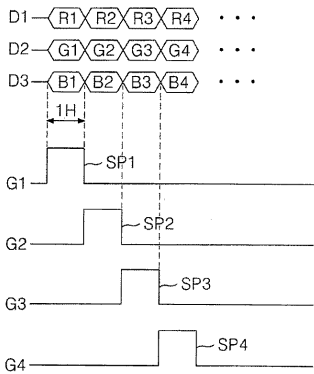
【図 11】



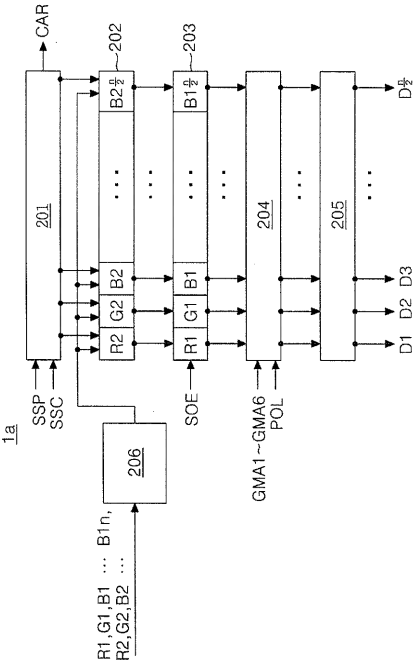
【図 12】



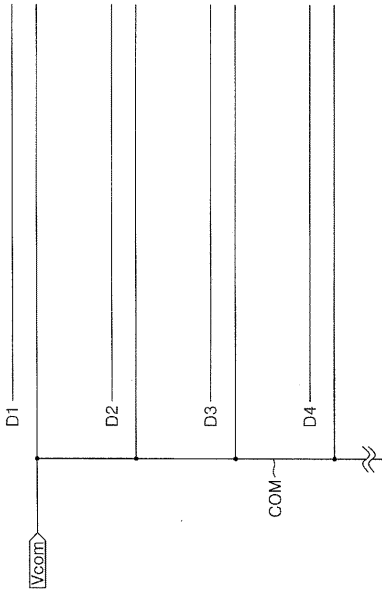
【図 1 4】



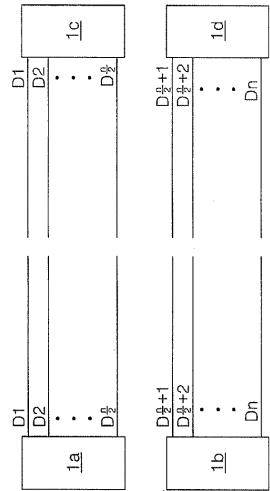
【図 1 5】



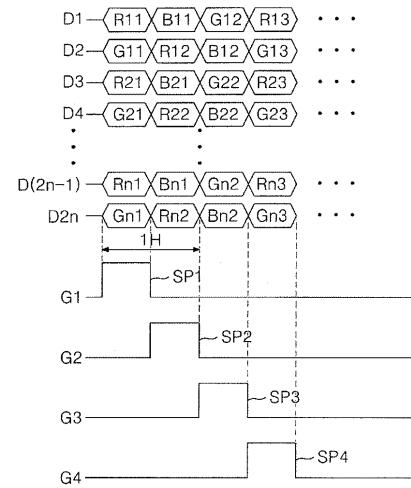
【図 1 6】



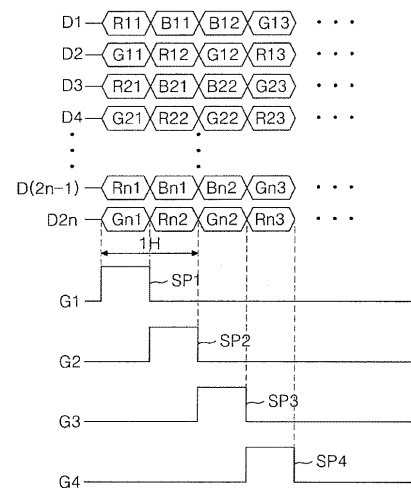
【図 1 7】



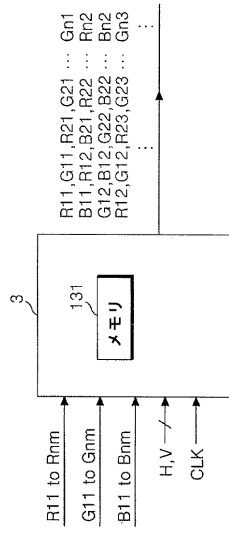
【 図 1 9 】



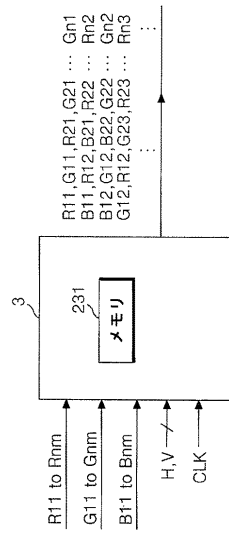
【 図 2 1 】



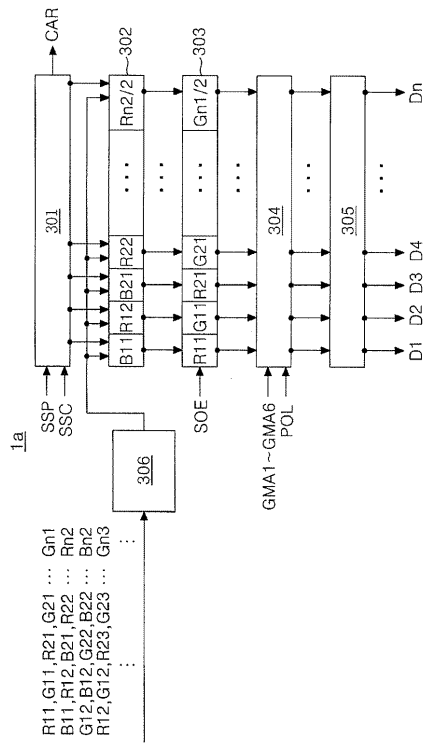
【図 2 2】



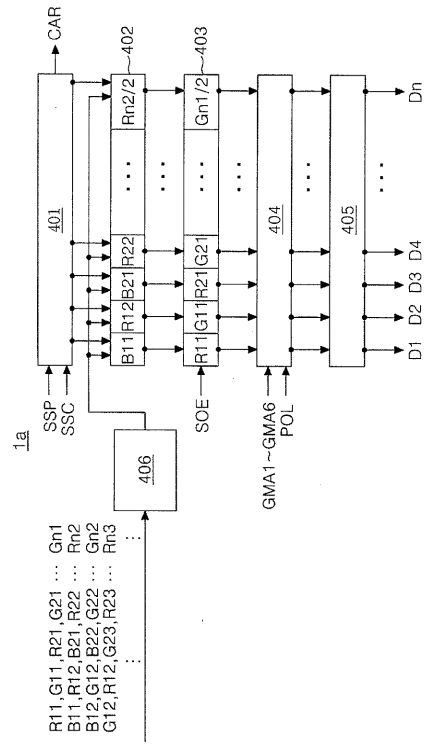
【図 2 4】



【図 2 3】



【図 2 5】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G 3/20 6 2 3 C
 G 0 9 G 3/20 6 2 3 D
 G 0 9 G 3/20 6 2 2 B
 G 0 9 G 3/20 6 2 4 C
 G 0 9 G 3/20 6 1 1 Z
 G 0 9 G 3/20 6 2 1 M
 G 0 2 F 1/133 5 0 5
 G 0 2 F 1/133 5 5 0

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 金 彬

大韓民国 ソウル 陽川区 木5洞 モッドン4ダンジ アパート 408-2003

(72)発明者 趙 奕 力

大韓民国 仁川廣域市 南東區 九月洞 九月 ヒルステイト 1404-202

(72)発明者 金 柱 ▲ピョン▼

大韓民国 慶尚北道 龜尾市 陣平洞 人意地區 90ビー4-1エル ローズヒル ビー-503

(72)発明者 全 敏 斗

大韓民国 ソウル 東大門區 長安洞 417-3 ヒョンギン ハーブヴィル 101-802

(72)発明者 權 五 鐘

大韓民国 ソウル 江東區 城内2洞 219-33(25/5)

F ターム(参考) 2H093 NA16 NB07 NC09 NC12 NC16 NC22 NC26 NC28 NC34 ND42

ND49 NE10

5C006 AA21 AC11 AC21 AC22 AC24 AF71 BB16 BC02 BC03 BC06

BC16 BC20 FA22 FA42 FA43 FA51

5C080 AA10 BB05 CC03 DD05 DD06 DD10 DD22 DD27 FF11 JJ02

JJ04 JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2008116964A	公开(公告)日	2008-05-22
申请号	JP2007288125	申请日	2007-11-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	金彬 趙奕力 金柱ピョン 全敏斗 權五鐘		
发明人	金彬 趙奕力 金柱 ▲ピョン▼ 全敏斗 權五鐘		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3607 G09G2300/0426 G09G2320/0209		
FI分类号	G09G3/36 G09G3/20.612.J G09G3/20.642.J G09G3/20.622.C G09G3/20.623.B G09G3/20.623.C G09G3/20.623.D G09G3/20.622.B G09G3/20.624.C G09G3/20.611.Z G09G3/20.621.M G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NB07 2H093/NC09 2H093/NC12 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC34 2H093/ND42 2H093/ND49 2H093/NE10 5C006/AA21 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BC20 5C006/FA22 5C006/FA42 5C006/FA43 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/DD10 5C080/DD22 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZF36 2H193/ZP20		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020060108844 2006-11-06 KR 1020070019574 2007-02-27 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动方法，该液晶显示装置减少用于向数据线提供数据的源驱动IC的数量，并减小用于向源驱动IC提供信号的FPC和PCB的尺寸，以及其驱动方法到。一种液晶面板，具有沿基板的长轴方向形成的多条数据线和沿基板的短轴方向形成的多条栅极线，以与数据线交叉一种数据驱动电路，用于向数据线提供数据电压;栅极驱动电路，用于向栅极线提供扫描脉冲;以及数据驱动电路，用于向数据驱动电路提供数字视频数据，以及用于控制电路的定时控制器。 点域8

