

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数のソース線及びゲート線と、前記ゲート線間に略平行に設けられた複数の補助容量線と、前記ソース線及び前記ゲート線の交点近傍に設けられた薄膜トランジスタとが形成されたアレイ基板と、前記アレイ基板と対向して間に液晶層が形成された対向透明基板とを備え、前記アレイ基板に形成された画像表示部外の周辺部に前記薄膜トランジスタを駆動するゲート駆動用半導体チップ及びソース駆動用半導体チップを設けた液晶表示装置において、

前記ゲート駆動用半導体チップが搭載される領域には、前記ゲート線に接続されて画像表示部の外周辺に引回された引回し線を導入し、これらの引回し線は、互いに隣接する引回し線を 2 本ずつに組分けして一方を低位に、間に前記補助容量線を覆う絶縁膜より肉厚の絶縁層を介在して他方を高位にして積層配線したことを特徴とする液晶表示装置。 10

【請求項 2】

前記ゲート及びソース駆動用半導体チップは、前記アレイ基板に形成された矩形状の画像表示部のいずれか 1 辺に並置されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲート駆動用半導体チップは、前記矩形状の画像表示部のいずれか 1 辺の両端部に並置されていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記低位の引回し線と高位の引回し線とは、前記絶縁層を介して上下に全部又は一部が重なるように積層されていることを特徴とする請求項 1 に記載の液晶表示装置。 20

【請求項 5】

前記低位の各引回し線は前記ゲート線と、前記高位の各引回し線は前記ソース線と同じ材料で作成されていることを特徴とする請求項 1 又は 4 に記載の液晶表示装置。

【請求項 6】

前記高位の引回し線は、画素電極材料と同じ材料で作成されていることを特徴とする請求項 1 又は 4 に記載の液晶表示装置。

【請求項 7】

前記絶縁層は、複数の絶縁膜で積層されて形成されていることを特徴とする請求項 1 に記載の液晶表示装置。 30

【請求項 8】

前記絶縁層を構成する複数の絶縁膜の少なくとも 1 つは、前記ゲート線を覆うゲート絶縁膜と同じ材料で作成されていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記低位及び高位の引回し線は、前記ゲート駆動用半導体チップが搭載される領域の外側又は内部近傍で低位及び高位の引回し線を分岐して、これらの引回し線に前記半導体チップを搭載する実装用端子が形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記実装用端子は、前記複数の引回し線上に形成された絶縁層にコンタクトホールを形成し、該コンタクトホールに導電性の電極が装着されて形成されていることを特徴とする請求項 9 に記載の液晶表示装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、画像表示外周辺部に複数本の引回し線を引回して液晶駆動用の半導体チップに接続できるようにした液晶表示装置に関するものである。

【背景技術】

【0002】

近年、情報通信機器のみならず一般の電気機器においても液晶表示装置が広く使用されている。この液晶表示装置は、表面に電極等が形成された一对のガラス等からなる基板と、この基板の対向する基板間に形成された液晶層とからなり、基板上の電極に電圧が印加されることにより、液晶分子を再配列することで光の透過率を可変して種々の映像を表示するものである。

【0003】

このような液晶表示装置の一对の対向基板のうち、一方の基板は、その表面にマトリクス状にゲート線及びソース線が配線され、これらの配線で囲まれた領域に液晶駆動用のスイッチング素子、例えば薄膜トランジスタ(TFT)及び液晶に電圧を印加する表示電極並びに信号を保持するための補助容量を形成する補助電極(補助容量線)等が形成されたTFTアレイ基板であり、他方の基板は、その表面に赤(R)、緑(G)、青(B)等のカラーフィルタ及び共通電極等が形成されたカラーフィルタ基板となっている。補助容量は、ソース線から供給される信号の電荷を一定期間保持するものであって、この補助容量は補助電極と表示電極の一部を電極として、TFTのゲート電極を覆うゲート絶縁膜を誘電体とする補助容量コンデンサで形成されている。

10

【0004】

このような液晶表示装置、特に携帯電話機に使用されるものは、近年、小型及び高精細化が要求されてきている。このうち小型化に対しては、例えば外枠を狭額縁化することにより表示画面の拡大を図る方策が採られている(下記特許文献1参照)。

【0005】

20

下記特許文献1に記載された液晶表示装置は、表示領域の外周辺に引回す引回し線を積層配線して省スペース化を図ったもので、この液晶表示装置は、図13に示すように、マトリクス状に配線されたゲート線及びソース線は、その一端部が表示領域外へ延出されて、表示パネルの一辺のソース端子21及びゲート端子22に接続されている。

【0006】

マトリクス状に配線された配線のうち、それぞれのゲート線は、パネルの側辺で各引回し線に接続されている。これらの引回し線のうち、互いに隣接する第1、第2引回し線は、図14(a)、図14(b)に示すように、その一方、例えば第1引回し線23は、ガラス基板20上に配線され、他の第2引回し線24はこの第1引回し線23を絶縁膜25で覆い、この絶縁膜25の上に配線されており、これらの第1、第2引回し線23、24は、絶縁膜25を介して上下に積層された低位配線と高位配線とからなる二層配線となっている。

30

【0007】

低位の第1引回し線23は、アレイ基板のゲート線形成時にこのゲート線と同じ材料を用いこのゲート線形成と同じ工程で形成され、また、高位の第2引回し線24もゲート絶縁膜を形成した後に、このゲート絶縁膜の上にソース線形成と同じソース線と同じ材料を用いこのソース線形成と同じ工程で形成されている。また、低位の配線を覆う絶縁膜もゲート線を覆うゲート絶縁膜と同じ材料及び同一工程で形成されている。したがって、ゲート線を覆うゲート絶縁膜と低位配線を覆う絶縁膜とは同層となりこれらの膜厚は同じになっている。

40

【0008】

第1、第2引回し線は、TFTに接続されたゲート線と接続される。このときゲート線と高位配線との間には段差が生じているので、一方の配線の変換が必要になる。図13の符号Jはこの変換部を示している。この変換部Jは、ゲート絶縁膜にコンタクトホール25aが形成され、このホールを利用してゲート線と高位配線とが接続されている。この変換部Jは、ゲート端子の近傍にも形成されている。したがって、複数本のゲート端子は、基板の同一面に配列されていることになる。

【特許文献1】特開平9-3111341号公報(図2、図3、段落[0009]~[0011])

【発明の開示】

50

【発明が解決しようとする課題】

【0009】

しかしながら、上記特許文献1に記載された液晶表示装置は、表示領域外の側辺へ引回された引回し線が二層配線構造となっているので、表示領域外の側辺を省スペース化して小型化及び表示領域を拡大できるものとなっているが、一方で、この二層配線構造により、これらの配線間に比較的大きな容量が形成されることになる。このような容量が配線間に形成されると、液晶駆動時にそれぞれの配線に流れる信号に悪影響を与えて、例えばクロストーク或いはフリッカ等の表示不良の原因となる恐れがある。

【0010】

また、この液晶表示装置では、それぞれのゲート端子は、アレイ基板の同一面に配列されているので、ゲート端子間の距離が極めて狭くなり、線間短絡事故が発生する恐れがある。このようなアレイ基板からなる表示パネルは、液晶駆動用ICチップが搭載される前に、配線の断線や配線間の短絡の有無、或いはそれぞれの配線に所定の電圧を印加したときに設計どおりの表示がされるか否かの中間検査が行なわれている。そこで、このような線間短絡が発生すると、チップ搭載前の中間検査において、画像を表示する表示パネル側に何ら異常がないにも拘わらず不良品と判定されてしまうことになる。このような不良判定は、表示側に何ら異常のない表示パネルを不良として扱い最終的に廃棄等されるので、パネルの生産性の低下を招来するばかりでなく、資源の無駄になってしまうことになる。

【0011】

そこで、本発明はこのような課題を解決するためになされたもので、本発明の目的は、表示品質の低下を招来することなく画像表示部の外周辺領域の省スペース化を実現できる液晶表示装置を提供することにある。

【0012】

本発明の他の目的は、上記目的に加え、中間検査において液晶表示パネルを駆動する半導体チップ搭載領域内の配線不良を低減できるようにして表示パネル製造の歩留まりを向上させた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0013】

上記目的を達成するために、本願の請求項1に記載の液晶表示装置の発明は、マトリクス状に配置された複数のソース線及びゲート線と、前記ゲート線間に略平行に設けられた複数の補助容量線と、前記ソース線及び前記ゲート線の交点近傍に設けられた薄膜トランジスタとが形成されたアレイ基板と、前記アレイ基板と対向して間に液晶層が形成された対向透明基板とを備え、前記アレイ基板に形成された画像表示部外の周辺部に前記薄膜トランジスタを駆動するゲート駆動用半導体チップ及びソース駆動用半導体チップを設けた液晶表示装置において、

前記ゲート駆動用半導体チップが搭載される領域には、前記ゲート線に接続されて画像表示部の外周辺に引回された引回し線を導入し、これらの引回し線は、互いに隣接する引回し線を2本ずつに組分けして一方を低位に、間に前記補助容量線を覆う絶縁膜より肉厚の絶縁層を介在して他方を高位にして積層配線したことを特徴とする。

【0014】

請求項2の発明は、請求項1に記載の液晶表示装置において、前記ゲート及びソース駆動用半導体チップは、前記アレイ基板に形成された矩形状の画像表示部のいずれか1辺に並置されていることを特徴とする。

【0015】

請求項3の発明は、請求項1又は2に記載の液晶表示装置において、前記ゲート駆動用半導体チップは、前記矩形状の画像表示部のいずれか1辺の両端部に並置されていることを特徴とする。

【0016】

請求項4の発明は、請求項1に記載の液晶表示装置において、前記低位の引回し線と高位の引回し線とは、前記絶縁層を介して上下に全部又は一部が重なるように積層されてい

10

20

30

40

50

ることを特徴とする。

【0017】

請求項5の発明は、請求項1又は4に記載の液晶表示装置において、前記低位の各引回し線は前記ゲート線と、前記高位の各引回し線は前記ソース線と同じ材料で作成されていることを特徴とする。

【0018】

請求項6の発明は、請求項1又は4に記載の液晶表示装置において、前記高位の引回し線は、画素電極材料と同じ材料で作成されていることを特徴とする。

【0019】

請求項7の発明は、請求項1に記載の液晶表示装置において、前記絶縁層は、複数の絶縁膜で積層されて形成されていることを特徴とする。 10

【0020】

請求項8の発明は、請求項7に記載の液晶表示装置において、前記絶縁層を構成する複数の絶縁膜の少なくとも1つは前記ゲート線を覆うゲート絶縁膜と同じ材料で作成されていることを特徴とする。

【0021】

請求項9の発明は、請求項1に記載の液晶表示装置において、前記低位及び高位の引回し線は、前記ゲート駆動用半導体チップが搭載される領域の外部又は内部近傍で低位及び高位の引回し線を分岐して、これらの引回し線に前記半導体チップを搭載する実装用端子が形成されていることを特徴とする。 20

【0022】

請求項10の発明は、請求項9に記載の液晶表示装置において、前記実装用端子は、前記複数の引回し線上に形成された絶縁層にコンタクトホールを形成し、該コンタクトホールに導電性の電極が装着されて形成されていることを特徴とする。

【発明の効果】

【0023】

本発明は上記構成を備えることにより、以下に示すような優れた効果を奏する。すなわち、請求項1の発明によれば、積層される引回し線間の絶縁層は、補助容量線を覆う絶縁膜より肉厚に形成されるので、液晶駆動時にそれぞれの配線に電圧が印加されても各配線間に形成される静電容量は小さくなり表示信号への悪影響をなくすることができる。 30

また、各引回し線は、互いに絶縁膜を介して二層配線されるので、複数本の引回し線を所定の幅線にして高密度に配線できるので断線を低減できるとともに、各引回し線間の短絡事故を回避できる。更に引回し線を配線する領域の省スペース化が実現でき、これにより表示パネルを覆う枠体を狭くすれば表示画面を大きくできる。

【0024】

請求項2、3の発明によれば、ゲート及びソース駆動用半導体チップは、アレイ基板に形成された矩形状の画像表示部のいずれか1辺に並置することにより、アレイ基板の回路設計が容易になる。特に、ゲート駆動用半導体チップを矩形状の画像表示部のいずれか1辺の両端部に並置することにより、画像表示部の外周辺に引回す配線をバランスよく配線することが可能になる。 40

【0025】

請求項4の発明によれば、低位の引回し線と高位の引回し線とを絶縁層を介して上下に全部又は一部重複した状態で積層されているので、それぞれの重複の度合いに応じて、引回し線の配線スペースが省スペース化できる。

【0026】

請求項5の発明によれば、低位の引回し線をゲート線と同一の材料、すなわちゲート線の形成プロセス時に同時に形成し、また高位の引回し線をソース線と同一の材料、すなわちソース線の形成プロセス時に同時に形成すればよいので、液晶表示装置の製造工程を増加させることなく引回し線の積層配線を実現できる。

【0027】

請求項 6 の発明によれば、高位の引回し線を画素電極と同一の材料、すなわち画素電極プロセス時に同時に形成するようにしても引回し線の積層配線を実現できる。また、画素電極の下層にはゲート絶縁膜に加えて保護絶縁膜も形成されているので、積層配線された引回し線同士の距離を多くとることができ、引回し線間の短絡を防止できるとともにこの引回し線間の寄生容量を抑えることができる。

【 0 0 2 8 】

請求項 7、8 の発明によれば、絶縁層を複数の絶縁膜で形成し、更にそのうちの少なくとも 1 つをゲート絶縁膜と同じ材料、すなわちゲート絶縁膜の成膜プロセス時に同時に形成すれば、補助電極上を覆うゲート絶縁膜よりも肉厚な絶縁層を容易に形成できる。

【 0 0 2 9 】

請求項 9、10 の発明によれば、引回し線がゲート駆動用半導体チップの搭載領域の端部近傍で分岐し、分岐がなされた後の各引回し線に実装用端子が形成されるので、実装用端子を各引回し線上の絶縁層にコンタクトホールを形成しこのコンタクトホールに電極を装着するという簡単な方法で形成できる。また、分岐された引回し線のうち隣接する引回し配線同士は積層配線されていたことにより形成されている層が異なる。つまり上下に異なる層に設けられているので、引回し線同士の間隔を高密度にできるととともに、各引回し線間の短絡事故を回避できる。したがって、この構成によると、表示パネルのチップ搭載前の中間検査において、引出線の断線或いは短絡等の不良により、表示側に異常のない表示パネルが不良品と判定されず、表示パネル製造の歩留まりを向上させることができる。

【発明を実施するための最良の形態】

【 0 0 3 0 】

以下、図面を参照して本発明の最良の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための液晶表示装置を例示するものであって、本発明をこの液晶表示装置に特定することを意図するものではなく、特許請求の範囲に含まれるその他の実施形態のものも等しく適応し得るものである。なお、以下に説明する実施例の液晶表示装置は半透過型の液晶表示装置であるが、本発明の液晶表示装置はこの半透過型に限定されず、透過型あるいは反射型の液晶表示装置にも適応できるものである。

【実施例 1】

【 0 0 3 1 】

図 1 は本発明の実施例に係る液晶表示装置であって、積層されたカラーフィルタ基板からアレイ基板の配線が透視して見えるように図示した平面図、図 2 は図 1 の A - A 線の断面図、図 3 は図 1 の 1 画素領域を拡大して示した概略平面図、図 4 は図 3 の B - B 線の断面図、図 5 は図 1 の C 部分の配線を示し、図 5 (a) は C 部分の拡大平面図、図 5 (b) は図 5 (a) の C' - C' 線の断面図、図 6 は図 1 の E 部分の配線を示し、図 6 (a) は E 部分の拡大平面図、図 6 (b) は図 6 (a) の E' - E' 線の断面図である。

【 0 0 3 2 】

液晶表示装置 1 は、アクティブマトリクス方式を採用したものであって、図 1 及び図 2 に示すように、互いに対向配置される矩形状の透明材料、例えばガラス板からなる一対のアレイ基板 2 及びカラーフィルタ基板 10 を有し、アレイ基板 2 は、カラーフィルタ基板 10 と対向配置させたときに張出し部 2 a が形成されるようにカラーフィルタ基板 10 よりサイズが大きいものが使用され、これらアレイ基板 2 及びカラーフィルタ基板 10 の外周囲がシール材 8 で貼付されて、内部に液晶 9 及びスペーサ 14 が封入された構成となっている。

【 0 0 3 3 】

アレイ基板 2 及びカラーフィルタ基板 10 上の対向面側には、種々の配線等が形成されている。このうち、カラーフィルタ基板 10 には、図 4 に示すように、アレイ基板 2 の画素領域に合わせてマトリクス状に設けられたブラックマトリクス 11 と、このブラックマトリクス 11 で囲まれた領域に設けた例えば赤 (R)、緑 (G)、青 (B) 等のカラーフィルタ 12 と、アレイ基板 2 側の電極に電氣的に接続されカラーフィルタ 12 を覆うよう

10

20

30

40

50

に設けた共通電極 13 とが設けられている。

【0034】

アレイ基板 2 は、その表面、すなわち液晶 9 が封入される面に、図 1 の行方向（横方向）に所定間隔をあけて配列された複数本のゲート線 $GW_1 \sim GW_n$ （ $n = 2, 3, 4, \dots$ ）と、これらのゲート線と絶縁されて列方向（縦方向）に配列された複数本のソース線 $SW_1 \sim SW_n$ とを有し、これらのソース線 $SW_1 \sim SW_n$ とゲート線 $GW_1 \sim GW_n$ とがマトリクス状に配線され、互いに交差するゲート線 $GW_1 \sim GW_n$ とソース線 $SW_1 \sim SW_n$ とで囲まれる各領域に、ゲート線 $GW_1 \sim GW_n$ からの走査信号によってオン状態となるスイッチング素子 Tr 及びソース線 $SW_1 \sim SW_n$ からの映像信号がスイッチング素子 Tr を介して供給される画素電極が形成されている（図 3 参照）。

10

【0035】

アレイ基板 2 は、図 1 に示すように、その張出し部 2a にソースドライバ用半導体チップ及び 2 個のゲートドライバ用半導体チップが搭載される IC チップ搭載領域 SDR 、 GDR_1 、 GDR_2 がそれぞれ設けられている。これらの IC チップ搭載領域は、IC チップの形状に合わせた形状、例えば矩形状のスペースとなっている。

【0036】

ゲート線 $GW_1 \sim GW_n$ とソース線 $SW_1 \sim SW_n$ とで囲まれる各領域は、いわゆる画素を構成し、これらの画素が形成されたエリアが表示領域 DA 、すなわち画像表示部となっている。スイッチング素子 Tr には例えば薄膜トランジスタ（ TFT ：Thin Film Transistor）が使用される。それぞれのゲート線及びソース線のうち、ゲート線 $GW_1 \sim GW_n$ はアレイ基板 2 上に所定幅長及び長さを有する導電パターンにより形成され、ソース線 $SW_1 \sim SW_n$ は各ゲート線 $GW_1 \sim GW_n$ 上に絶縁膜 3、3a（図 4 参照）を設け、この絶縁膜 3、3a 上に所定幅長及び長さを有する導電パターンにより形成されている。すなわち、マトリクス状に形成されたゲート線 $GW_1 \sim GW_n$ 及びソース線 $SW_1 \sim SW_n$ のうち、例えば 2 本のゲート線 GW_x 、 GW_{x+1} とソース線 SW_x 、 SW_{x+1} とで囲まれた 1 画素には、図 3、図 4 に示すように、各ゲート線 GW_x 、 GW_{x+1} 間にこれらと略平行な補助容量線と、ソース電極 S 、ゲート電極 G 、ドレイン電極 D 及びシリコン層からなるスイッチング素子 Tr と、ゲート線 $GW_x \sim GW_{x+1}$ とソース線 SW_x 、 SW_{x+1} とで囲まれた領域を覆う ITO （Indium Tin Oxide）等で形成される画素電極とが設けられている。

20

30

【0037】

各ゲート線 $GW_1 \sim GW_n$ 及び各ソース線 $SW_1 \sim SW_n$ は、表示領域 DA の外へ延出されて表示領域外の外周辺の領域に引回されて各 IC チップ搭載領域 SDR 、 GDR_1 、 GDR_2 内でそれぞれの IC チップに接続されるようになっている。

【0038】

これらのゲート線 $GW_1 \sim GW_n$ 及び各ソース線 $SW_1 \sim SW_n$ のうち、ゲート線 $GW_1 \sim GW_n$ はアレイ基板 2 の表示領域 DA の外、すなわち表示領域 DA の両側周辺の領域 WA_1 、 WA_2 へ延出されて、図 1 の列方向（縦方向）に設けたゲート線 $GW_1 \sim GW_n$ 用の引回し線 $GL_1 \sim GL_n$ （ $n = 2, 3, 4, \dots$ ）に接続される。このとき、奇数行のゲート線、例えば GW_1 、 GW_3 、 $\dots$ は、図 1 の左側の領域 WA_1 に延出されて引回し線 GL_1 、 GL_2 、 $\dots$ 、 GL_m にそれぞれ接続される。一方、偶数行のゲート線、例えば GW_2 、 GW_4 、 $\dots$ は、図 1 の右側の領域 WA_2 に延出されて引回し線 GL_{m+1} 、 GL_{m+2} 、 $\dots$ 、 GL_n にそれぞれ接続される。このように各ゲート線のうち、奇数行のゲート線を一方の領域 WA_1 に、偶数行のゲート線を領域 WA_2 に振分けて配線することにより、基板上にバランスよく配線することが可能になる。

40

【0039】

各引回し線 $GL_1 \sim GL_m$ は、両領域 WA_1 、 WA_2 内において、隣接する引回し線、すなわち奇数番目の引回し線とこれに隣接する偶数番目の引回し線とは、アレイ基板 2 上で上下方向にほぼ重なるように積層配線される。この配線構造を奇数番目の引回し線、例えば引回し線 GL_1 とこの引回し線に隣接する偶数番目の引回し線 GL_2 とを用いて説明

50

すると、図5に示すように、奇数番目の引回し線 GL_1 は、アレイ基板2上に直接形成され、一方、偶数番目の引回し線 GL_2 は、奇数番目の引回し線 GL_1 を覆った絶縁膜3、3a上に形成される。引回し線 GL_2 は保護絶縁膜4により被覆されている。他の引回し線も同様に形成される。このように奇数番目の引回し線と偶数番目の引回し線とを絶縁膜を介して積層すると、奇数番目の引回し線 GL_1 は、アレイ基板2の低位に位置する低位配線となり、偶数番の引回し線 GL_2 は、高位に位置する高位配線となる。

【0040】

ところで、このように低位配線上に高位配線を、間に絶縁膜3、3aからなる絶縁層を介して積層すると、液晶駆動時に高位配線と低位配線との間に所定の電圧が印加された場合に所定の容量が形成される。この容量が大きいと、これらの配線に流れる信号に悪影響を与えて、例えばクロストーク或いはフリッカ等の表示不良の原因となるので所定の距離を維持する必要がある。つまり引回し線を重ねる場合、重なる配線の間に存在する絶縁層はできるだけ厚い方が好ましい。しかし、後述するように下位配線をゲート線や補助容量線と同一工程で、上位配線をソース配線と同一工程で形成した方が、製造工程的にも引回し線の材質的にも好ましいが、この場合、補助容量を構成する絶縁層と下位・上位配線の間に位置する絶縁層とも同一工程で形成することになる。そして補助容量を構成する絶縁層は容量を大きくするためにできるだけ薄い方が好ましく、引回し線の重複部分の絶縁層とは相反する要素が求められる。そこで本発明では、補助容量では容量形成に適した絶縁層を形成し、引回し線の重複部分では大きな容量が形成されないように低位配線と高位配線間の絶縁層を補助容量線を覆う絶縁層より厚く形成している。

10

20

【0041】

次に、この低位及び高位の引回し線並びに絶縁膜の形成方法を図1、図4、図5を参照して説明する。

先ず、アレイ基板2にはそれぞれ引回し線 $GL_1 \sim GL_n$ が形成されるが、これらの引回し線のうち、奇数番目の引回し線（低位配線）は、表示領域外の両領域 WA_1 、 WA_2 において表示領域DA内に形成されるゲート線及び/又は補助容量線と同一材料を用い同じ工程で形成される。詳しくは、アレイ基板2上にゲート線 $GW_1 \sim GW_n$ 及び補助容量電極5を備える補助容量線とともに低位配線となる奇数番目の引回し線を形成した後に、このゲート線 $GW_1 \sim GW_n$ 、補助容量線及び低位配線を所定の肉厚を有する第1ゲート絶縁膜3で覆い、次いで、補助容量電極5上の第1ゲート絶縁膜3を除去し、第1ゲート絶縁膜3に対して比較的肉薄な第2ゲート絶縁膜3aでアレイ基板2上を覆う。このとき補助容量電極5上は肉薄な第2ゲート絶縁膜3aのみで覆われることにより、比較的大きな容量が形成されやすくなっている。

30

【0042】

その後、この第1、第2ゲート絶縁膜3、3aの上であって、低位配線と重なる位置に高位配線となる偶数番の引回し線を形成する。この引回し線は表示領域DA内に形成されるソース線 $SW_1 \sim SW_n$ と同一材料を用い同じ工程で形成される。そして、ソース線 $SW_1 \sim SW_n$ とともに形成された高位配線はアレイ基板2上を覆うように成膜された保護絶縁膜4により被覆される。

【0043】

前記の製法では、低位配線と高位配線との間に設けられる絶縁層を第1、第2ゲート絶縁膜3、3aで形成したが、低位配線を比較的肉厚なゲート絶縁膜でゲート線 $GW_1 \sim GW_n$ 等とともに覆ったのち、補助容量電極5上に位置する部分のみをエッチング等で所定の厚さに削るようにしてもよい。

40

【0044】

この製法によると、それぞれの引回し線はゲート線及びソース線形成時に同工程で配線できるので、これらの引回し線を形成するために特別な工程を増やすことなく配線できて引回し線の配線形成が簡単になる。

【0045】

それぞれの引回し線 $GL_1 \sim GL_n$ は、両領域 WA_1 、 WA_2 内においてゲート線 GW

50

$1 \sim GW_n$ と接続されるが、このとき各引回し線 $GL_1 \sim GL_n$ は、互いに隣接する引回し線が組となって低位及び高位配線となっており、高位配線と各ゲート線との間に段差が生じている。よって高位配線とゲート線との接続を行う際には、図 6 に示すように、第 1、第 2 ゲート絶縁膜 3、3a にコンタクトホール 3₀ を形成し、このコンタクトホール 3₀ 内に高位配線に接続された導電材を配設することによって接続される。図 1 の記号 J a はこの接続点を示し、また図 6 は、引回し線 GL_2 とゲート線 GW_2 との接続状態を示している。なお、高位配線としての引回し線とゲート線とを接続する導電材は、前記高位配線としての引回し線を延在させることで形成するとこの導電材を形成する工程を省くことができる。

【0046】

10

このように引回し線を二層配線構造にすると、隣接する引回し線は互いに上下に絶縁層を介して積層されるので、引回し線間の短絡事故の発生を防止できるとともに、積層により横方向に隣接する引回し線の本数をおよそ半分とすることができ、表示領域外の各領域 WA_1 、 WA_2 により多くの引回し線を配設することができ、また引回し線の本数が比較的少ない場合には各領域 WA_1 、 WA_2 の幅長 W_1 、 W_2 を狭くすることができる。

【0047】

上記の各引回し線 $GL_1 \sim GL_m$ は、互いに隣接する引回し線をアレイ基板 2 上で上下方向に重なるように配線したが、一部のみが重なるようにしてもよい。なお、それぞれの IC チップ搭載領域 SDR 、 GDR_1 、 GDR_2 は、アレイ基板 2 の一辺に並設して設けたが、アレイ基板の形状を変更して他の辺、例えば、図 1 の上辺或いは両側辺のいずれかに設けるようにしてもよい。

20

【0048】

図 7 は図 1 の C 部分の配線の変形例を示し、図 7 (a) は C 部分の拡大平面図、図 7 (b) は図 7 (a) の C'' - C'' 線の断面図、図 8 は図 1 の E 部分の配線の変形例を示し、図 8 (a) は E 部分の拡大平面図、図 8 (b) は図 8 (a) の E'' - E'' 線の断面図である。

【0049】

図 7 及び図 8 に示す引回し線の配線の変形例は、低位配線と高位配線とをほぼ半分のみ重ねた点が上述の図 5 及び図 6 に示すものと異なり、他の部分は同一であるので、その説明は省略する。

30

【0050】

図 7 及び図 8 に示すように、低位配線と高位配線とをその一部のみ重ねるようにしても、上下の引回し線間には絶縁層が形成されているので、引回し線同士の短絡を防止できるとともに、領域 WA_1 、 WA_2 により高密度に引回し線を配設できるようになる。

【0051】

また、上記実施例では低位配線と高位配線との間に設けられる絶縁層として、図 5 及び図 6 に示すように、肉厚な第 1 ゲート絶縁膜 3 と肉薄なゲート絶縁膜 3a とを用いたが、絶縁層はこのような構造に限定されない。

【0052】

図 9 は引回し線間の絶縁層の構成の一変形例を説明する図であり、図 9 (a) は図 5 (b) に対応する一変形例の断面図、図 9 (b) は図 6 (b) に対応する一変形例の断面図、図 10 は引回し線間の絶縁層の構成の他の変形例を説明する図であり、図 10 (a) は図 5 (b) に対応する他の変形例の断面図、図 10 (b) は図 6 (b) に対応する他の変形例の断面図である。

40

【0053】

図 9 に示す一変形例の絶縁層は、ゲート絶縁膜を 2 層とすることなく、単層のゲート絶縁膜 3 のみとして成膜した後、低位配線を構成する引回し線上にのみ更に他の絶縁膜 3' を成膜した点が上述の実施例とは異なる。このように他の絶縁膜 3' をゲート絶縁膜 3 とは別に設けることにより、低位配線と高位配線との線間距離を自由に変更することができ、引回し線間の容量を容易に抑えることができるようになる。

50

【0054】

また、図10に示す他の変形例の絶縁層は、上記一変形例と同じくゲート絶縁膜を単層とし、加えて高位配線としての引回し線をソース線 $SW_1 \sim SW_n$ と同一工程で設けるのではなく、その更に上層に積層される画素電極と同一材料・同一工程で設けるようにし、この画素電極の成膜前に成膜される保護絶縁膜4を低位配線上にも成膜した点が上述の実施例及び一変形例と異なる。このようになると、画素電極の形成時に同時に形成される高位配線とゲート線等と同時に形成される低位配線との間の絶縁層はゲート絶縁膜3及び保護絶縁膜4となり、もって低位配線と高位配線との線間距離はより長くすることができるようになる。なお、画素電極とともに形成された高位配線を外部から守るために、この高位配線を被覆する保護膜4'を設けると更に好ましい。

10

【0055】

各引回し線 $GL_1 \sim GL_m$ は、各ICチップ搭載領域 GDR_1 、 GDR_2 内へ導入されて実装用端子 6_1 、 6_2 、 6_3 、...が設けられるが、隣接する2本の引回し線は上下に積層されているので、ICチップ搭載領域 GDR_1 、 GDR_2 の近傍で二股に分岐され、分岐された引回し線 $GL_1 \sim GL_m$ に実装用端子 6_1 、 6_2 、 6_3 、...が形成される。なお、この分岐点はICチップ搭載領域 GDR_1 、 GDR_2 内でもよい。また、引回し線 $GL_1 \sim GL_m$ は実装用端子 6_1 、 6_2 、 6_3 、...が設けられた位置から更に延長されて引出線 GL'_1 、 GL'_2 ...を形成しており、これらの引出線 GL'_1 、 GL'_2 ...には検査用端子 7_1 、 7_2 、 7_3 、...が形成される。

【0056】

各チップ搭載領域 GDR_1 、 GDR_2 内は同じ配線構造になっているので、以下に、一方のICチップ搭載領域 GDR_1 内の配線構造について説明する。図11は図1のF部分を拡大した平面図、図12はICチップ搭載領域に導入された引出線及び各端子を示す図であり、図12(a)は図11のH-H線の断面図、図12(b)は図11のI-I線の断面図である。

20

【0057】

各ゲート用引回し線 $GL_1 \sim GL_m$ は、領域 WA_1 内において隣接する引回し線、例えば引回し線 GL_3 と GL_4 とが、一方の引回し線 GL_3 はアレイ基板2上に、他の引回し線 GL_4 は絶縁膜3上に配設されているので、これらの引回し線から延出された引出線 GL'_3 と GL'_4 も異なる層に積層された構造となっている。すなわち、各引出線 GL'_3 と GL'_4 は、図12に示すように、一方の引出線 GL'_3 はアレイ基板2上に、また他方の引出線 GL'_4 は絶縁膜3上に引出線 GL'_3 と重ならないように横方向に位置をずらして形成され、更に引出線 GL'_5 は引出線 GL'_3 と同じくアレイ基板2上に形成されている。すなわち、各引出線 GL'_1 、 GL'_2 ...は奇数番目の引出線はアレイ基板2上に、また偶数番目の引出線は奇数番目の引出線を覆っている絶縁膜3上に形成されることで隣接する引出線同士が互い違いに異なる層に形成されている。

30

【0058】

引回し線 $GL_1 \sim GL_m$ 及び引出線 GL'_1 、 GL'_2 ...には、実装用端子 6_1 、 6_2 、 6_3 、...及び検査用端子 7_1 、 7_2 、 7_3 、...が設けられる。一方のICチップ搭載領域 GDR_1 に設けられた実装用及び検査用端子 $6_1 \sim 6_m$ 、 $7_1 \sim 7_m$ のうち、実装用端子 6_1 、 6_2 、 6_3 、...は矩形状のICチップ搭載領域 GDR_1 内の手前側、すなわちICチップ搭載領域 GDR_1 の外周縁近傍に、検査用端子 7_1 、 7_2 、 7_3 、...は前記手前側から若干離れ各引出線 $GL'_1 \sim GL'_n$ の先端に形成されている。また、これらの端子のうち、奇数番目の引出線、例えば引出線 GL'_3 に設ける実装用端子 6_3 及び検査用端子 7_3 には、この引出線 GL'_3 へ達するコンタクトホール 7_0 がゲート絶縁膜3及び保護絶縁膜4に穿孔され、このコンタクトホール 7_0 に導電材を充填して各端子 6_3 、 7_3 が形成される。また、偶数番目の引出線、例えば引出線 GL'_4 に設ける実装用端子 6_4 及び検査用端子 7_4 には、この引出線 GL'_4 へ達するコンタクトホール 7_0 が保護絶縁膜4に穿孔され、このコンタクトホール 7_0 に導電材を充填して各端子 6_4 、 7_4 が形成される。

40

50

【 0 0 5 9 】

この導電材には、ITOを使用すると共通電極形成時に同一のプロセスで形成できる。また、偶数番目の引出線に設ける実装用端子及び検査用端子は、偶数番目の引出線に達する穴を第2層間絶縁膜に形成し、この穴に導電材が注入されて形成される。なお、奇数番目の引回し線と偶数番目の引回し線とを上下逆にすることも可能である。

【 0 0 6 0 】

また、各ソース線 $SW_1 \sim SW_n$ は、表示領域 DA から延出して複数本のソース線用の引回し線 $SL_1 \sim SL_n$ を形成し、これらの引回し線を ICチップ搭載領域 SDR へ導入して、この領域内で引出線を形成し、これらの引回し線及び引出線に ICチップの実装用端子及び検査用端子が設けられる。なお、このソース線 $SW_1 \sim SW_n$ の引回し線についても、ゲート線のものと同様に積層構造とすることができる。 10

【図面の簡単な説明】

【 0 0 6 1 】

【図1】図1は本発明の実施例に係る液晶表示装置であって、積層されたカラーフィルタ基板からアレイ基板の配線が透視して見えるように図示した平面図である。

【図2】図2は図1のA-A線の断面図である。

【図3】図3は図1の1画素領域を拡大して示した概略平面図である。

【図4】図4は図3のB-B線の断面図である。

【図5】図5は図1のC部分の配線を示し、図5(a)はC部分の拡大平面図、図5(b)は図5(a)のC'-C'線の断面図である。 20

【図6】図6は図1のE部分の配線を示し、図6(a)はE部分の拡大平面図、図6(b)は図6(a)のE'-E'線の断面図である。

【図7】図7は図1のC部分の配線の変形例を示し、図7(a)はC部分の拡大平面図、図7(b)は図7(a)のC''-C''線の断面図である。

【図8】図8は図1のE部分の配線の変形例を示し、図8(a)はE部分の拡大平面図、図8(b)は図8(a)のE''-E''線の断面図である。

【図9】図9は引回し線間の絶縁層の構成の一変形例を説明する図であり、図9(a)は図5(b)に対応する一変形例の断面図、図9(b)は図6(b)に対応する一変形例の断面図である。

【図10】図10は引回し線間の絶縁層の構成の他の変形例を説明する図であり、図10(a)は図5(b)に対応する他の変形例の断面図、図10(b)は図6(b)に対応する他の変形例の断面図である。 30

【図11】図11は図1のF部分を拡大した平面図である。

【図12】図12はICチップ搭載領域に導入された引出線及び各端子を示す図であり、図12(a)は図11のH-H線の断面図、図12(b)は図11のI-I線の断面図である。

【図13】図13は従来技術の液晶表示装置の配線を示した平面図である。

【図14】図14(a)は図13のA-B線の断面図、図14(b)は図13のJ部分の断面図である。

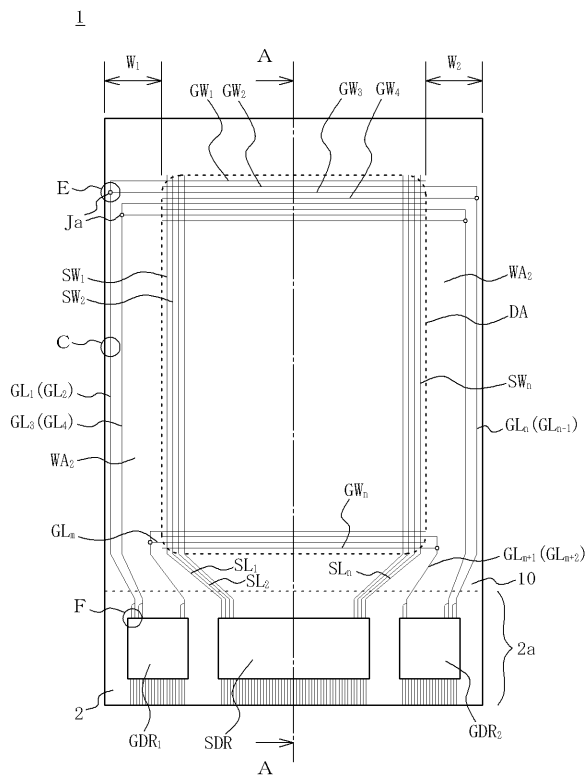
【符号の説明】 40

【 0 0 6 2 】

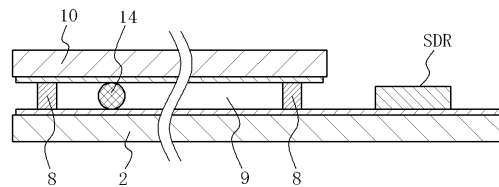
- 1 液晶表示装置
- 2 アレイ基板
- 3 (第1ゲート)絶縁膜
- 3 a (第2ゲート)絶縁膜
- 4 保護絶縁膜
- 8 シール材
- 9 液晶
- 1 0 カラーフィルタ基板
- 1 4 スペース

$SW_1 \sim SW_n$ ソース線
 $GW_1 \sim GW_n$ ゲート線
 $SL_1 \sim SL_n$ (ソース線の) 引回し線
 $GL_1 \sim GL_n$ (ゲート線の) 引回し線

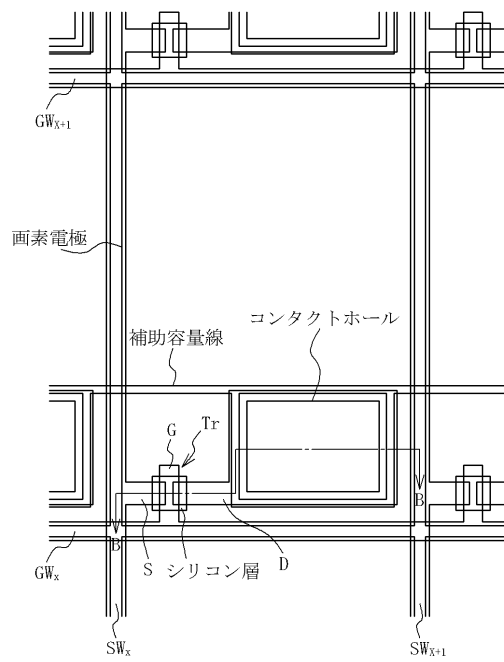
【図 1】



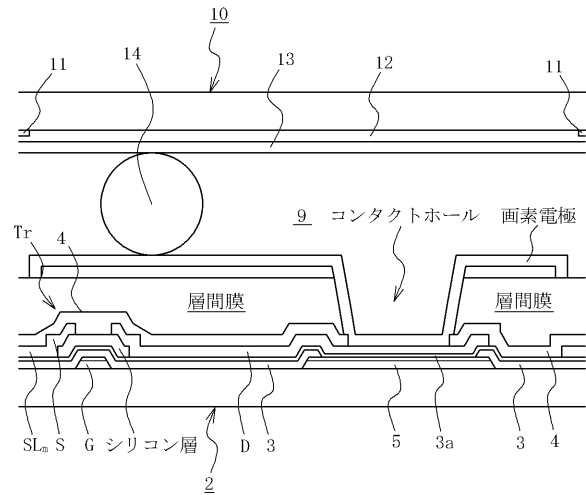
【図 2】



【図 3】

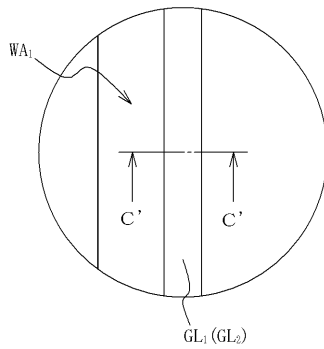


【図 4】

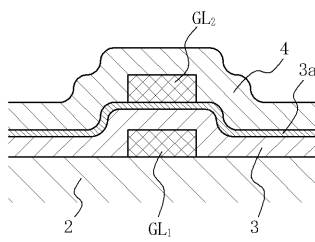


【図 5】

(a)

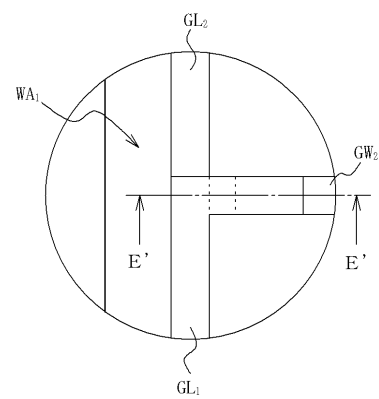


(b)

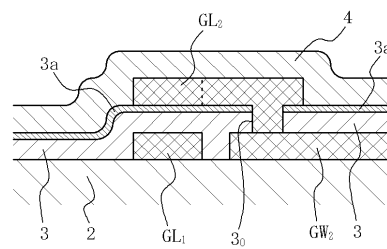


【図 6】

(a)

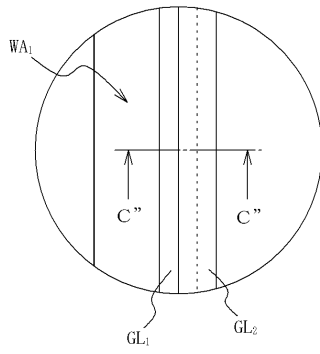


(b)

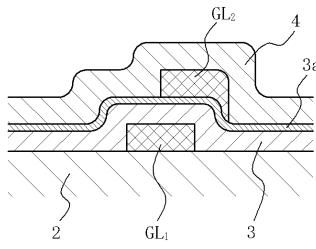


【図 7】

(a)

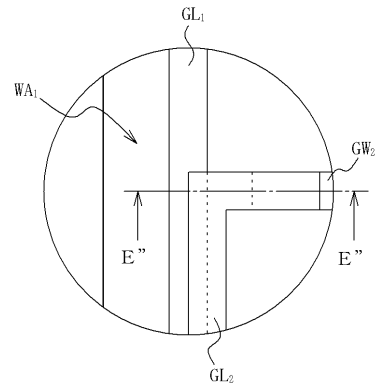


(b)

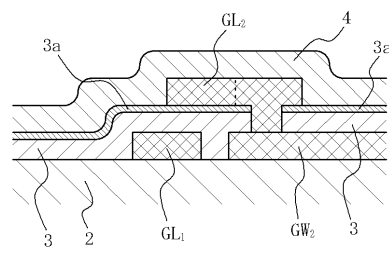


【図 8】

(a)

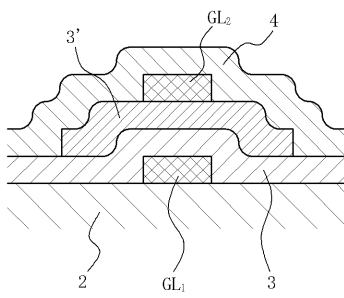


(b)

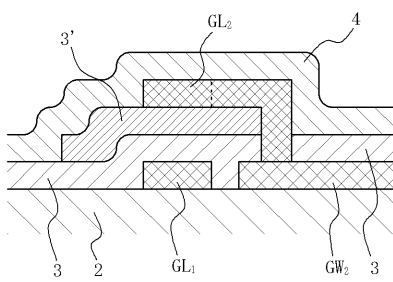


【図 9】

(a)

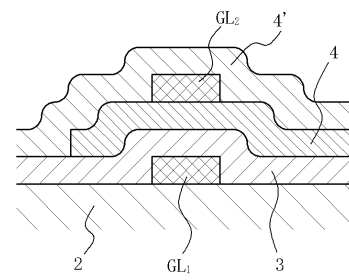


(b)

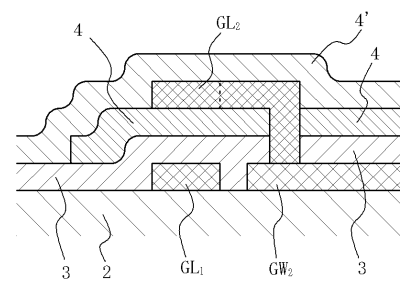


【図 10】

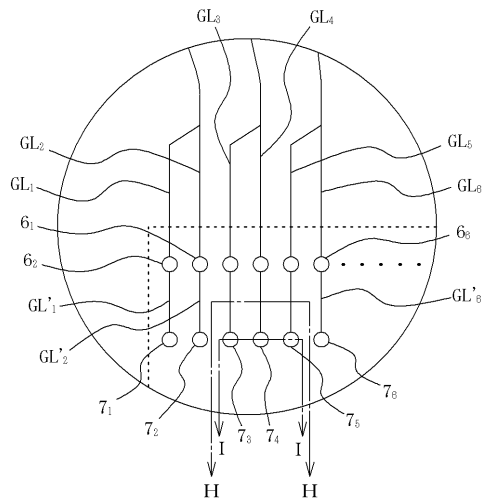
(a)



(b)

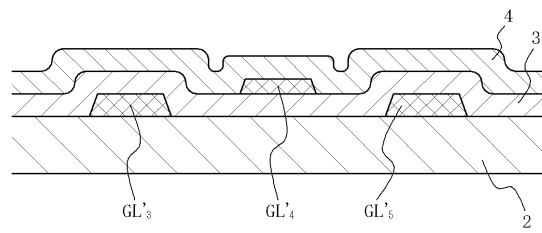


【図 1 1】

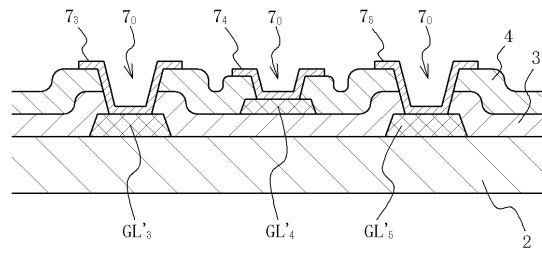


【図 1 2】

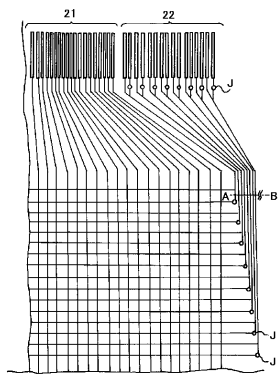
(a)



(b)

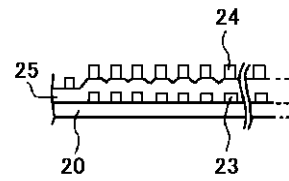


【図 1 3】

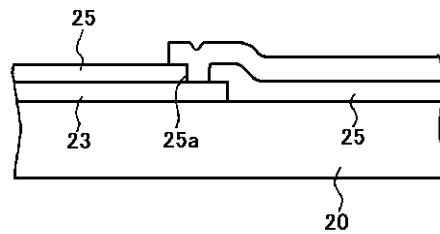


【図 1 4】

(a)



(b)



专利名称(译)	液晶表示装置		
公开(公告)号	JP2007192968A	公开(公告)日	2007-08-02
申请号	JP2006009535	申请日	2006-01-18
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	太田昭雄		
发明人	太田 昭雄		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368		
F-TERM分类号	2H092/GA24 2H092/GA30 2H092/GA40 2H092/GA44 2H092/HA12 2H092/JA24 2H092/JB21 2H092/JB22 2H092/JB23 2H092/JB31 2H092/JB32 2H092/NA25 2H092/NA30 2H192/AA24 2H192/BC31 2H192/BC62 2H192/CB05 2H192/DA12 2H192/DA43 2H192/EA72 2H192/FA32 2H192/FA35 2H192/FA73 2H192/FA81 2H192/FB34 2H192/HB14		
代理人(译)	须泽 修		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种液晶显示装置，其实现图像显示部分的外围区域的空间节省而不会导致显示质量的劣化。 解决方案：多个源线SW 1 到SW n 并且门GW 1 到GW和名词线，具有这些和多个栅极线和源极线的交点附近设置的薄膜晶体管和栅极线之间大致平行地设置的辅助电容线的阵列基板的液晶显示装置，其中多条引线是从多条栅极线，引线延伸GL电线的外周 1的多个~GL 的n，有线。 点域1

