

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-343625

(P2006-343625A)

(43) 公開日 平成18年12月21日(2006.12.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 642E	5C006
G02F 1/133 (2006.01)	G09G 3/20 623Y	5C080
	G09G 3/20 623R	
	G09G 3/20 621B	
審査請求 未請求 請求項の数 13 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2005-170534 (P2005-170534)	(71) 出願人	302062931
(22) 出願日	平成17年6月10日 (2005.6.10)		NECエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100102864
			弁理士 工藤 実
		(72) 発明者	横田 純也
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		(72) 発明者	橋本 義春
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		Fターム(参考)	2H093 NA16 NA31 NA32 NA33 NA34
			NC10 NC12 NC21 NC22 NC26
			NC34 NC65 ND05 ND09 ND35
			ND58 NH15
			最終頁に続く

(54) 【発明の名称】 液晶表示装置および液晶表示装置のデータ線駆動回路

(57) 【要約】

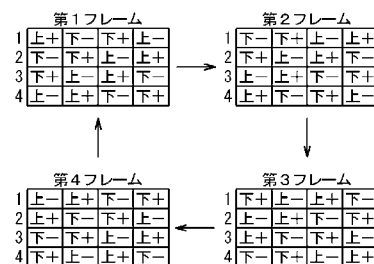
【課題】

液晶表示装置の上部、下部でのコントラスト差を改善する。

【解決手段】

液晶パネルの上下に正極と負極の信号を出力することができるデータ線駆動回路を配置して、画素には、上側からの正極(+)信号、下側からの負極(-)信号、下側からの正極(+)信号、上側からの負極(-)信号の順に4フレームを1つの単位として循環して供給する。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

複数のデータ線と、
前記複数のデータ線に交差する複数の走査線と、
前記複数のデータ線と前記複数の走査線との交点にそれぞれ備えられた画素と、
前記データ線を駆動するデータ線駆動回路と
を備え、
前記データ線駆動回路は、
前記複数のデータ線の一端に接続される第 1 データ線駆動部と、
前記複数のデータ線他端に接続される第 2 データ線駆動部と、
を含み、
前記データ線駆動回路は、
4 × n (n : 任意の自然数) フレーム時間を 1 サイクルとし、
前記 4 × n フレーム時間に前記第 1 データ線駆動部及び第 2 データ線駆動部のいずれ
か一方のデータ線駆動部で循環的に前記データ線を駆動する
液晶表示装置。

【請求項 2】

複数のデータ線と、
前記複数のデータ線に交差する複数の走査線と、
前記複数のデータ線と前記複数の走査線との交点にそれぞれ備えられた画素と、
前記データ線を駆動するデータ線駆動回路と
を備え、
前記データ線駆動回路は、
前記複数のデータ線の一端に接続される第 1 データ線駆動部と、
前記複数のデータ線他端に接続される第 2 データ線駆動部と、
を含み、
前記データ線駆動回路は、
4 × n (n : 任意の自然数) フレーム時間を 1 サイクルとし、
前記 4 × n フレーム時間に前記画素に供給される画素電圧の和が等しくなるように循
環的に前記データ線を駆動する
液晶表示装置。

【請求項 3】

請求項 1 または 2 に記載の液晶表示装置において、
前記第 1 データ線駆動部は、
共通電圧を基準にして正の電圧である第 1 正極信号と、前記共通電圧を基準にして負
の電圧である第 1 負極信号とを生成し、
前記第 2 データ線駆動部は、
前記共通電圧を基準にして正の電圧である第 2 正極信号と、前記共通電圧を基準にし
て負の電圧である第 2 負極信号とを生成し、
前記第 1 データ線駆動部は、第 1 フレーム時間に前記第 1 正極信号で前記データ線を駆
動し、
前記第 2 データ線駆動部は、前記第 1 フレーム時間に続く第 2 フレーム時間に前記第 2
負極信号で前記データ線を駆動し、
前記第 2 データ線駆動部は、前記第 2 フレーム時間に続く第 3 フレーム時間に前記第 2
正極信号で前記データ線を駆動し、
前記第 1 データ線駆動部は、前記第 3 フレーム時間に続く第 4 フレーム時間に前記第 1
負極信号で前記データ線を駆動する
液晶表示装置。

【請求項 4】

請求項 1 または 2 に記載の液晶表示装置において、

10

20

30

40

50

前記第 1 データ線駆動部は、

共通電圧を基準にして正の電圧である第 1 正極信号と、前記共通電圧を基準にして負の電圧である第 1 負極信号とを生成し、

前記第 2 データ線駆動部は、

前記共通電圧を基準にして正の電圧である第 2 正極信号と、前記共通電圧を基準にして負の電圧である第 2 負極信号とを生成し、

前記第 1 データ線駆動部は、第 1 フレーム時間に前記第 1 正極信号で前記データ線を駆動し、

前記第 1 データ線駆動部は、前記第 1 フレーム時間に続く第 2 フレーム時間に前記第 1 負極信号で前記データ線を駆動し、

10

前記第 2 データ線駆動部は、前記第 2 フレーム時間に続く第 3 フレーム時間に前記第 2 正極信号で前記データ線を駆動し、

前記第 2 データ線駆動部は、前記第 3 フレーム時間に続く第 4 フレーム時間に前記第 2 負極信号で前記データ線を駆動する

液晶表示装置。

【請求項 5】

請求項 1 から 4 の何れか一項に記載の液晶表示装置において、さらに、共通線を具備し、

前記データ線駆動回路は、

前記複数のデータ線と前記共通線との接続を制御する複数のスイッチを備え、

20

前記複数のスイッチは、

前記複数のデータ線に供給される信号の極性が変化する前に、前記複数のデータ線と前記共通線とを接続する

液晶表示装置。

【請求項 6】

請求項 5 に記載の液晶表示装置において、前記複数のスイッチは、前記第 1 データ線駆動部に備えられる第 1 スイッチ群と前記第 2 データ線駆動部に備えられる第 2 スイッチ群とを含み、

前記共通線は、

前記第 1 スイッチ群によって前記複数のデータ線との接続が制御される第 1 共通線と、

30

前記第 2 スイッチ群によって前記複数のデータ線との接続が制御される第 2 共通線とを含み、

前記第 1 及び第 2 スイッチ群は、前記複数のデータ線に供給される信号の極性が変化する前に、前記複数のデータ線と前記第 1 及び第 2 共通線とを同一タイミングで接続する

液晶表示装置。

【請求項 7】

請求項 5 または 6 に記載の液晶表示装置において、

前記共通線に供給される電圧は、液晶コモン電圧である

液晶表示装置。

【請求項 8】

40

請求項 1 から 7 に記載の液晶表示装置において、

前記第 1 データ線駆動部は、前記液晶表示装置の表示パネルが形成される基板と異なる第 1 基板に形成され、

前記第 2 データ線駆動部は、前記基板および前記第 1 基板と異なる第 2 基板に形成され、

前記表示パネルは、前記複数のデータ線に直交する方向に形成される第 1 辺と、前記第 1 辺に対向する第 2 辺を有し、

前記第 1 データ線駆動部は、前記第 1 辺に設けられ、

前記第 2 データ線駆動部は、前記第 2 辺に設けられる

液晶表示装置。

50

【請求項 9】

請求項 8 に記載の液晶表示装置において、
前記第 1 基板と前記第 2 基板が、半導体基板である
液晶表示装置。

【請求項 10】

$4 \times M$ (M : 任意の自然数) 本のデータ線にアナログ映像信号を供給する液晶表示装置
のデータ線駆動回路であって、

基準電圧に対し正の電圧である正極アナログ映像信号を出力する M 個の正極駆動回路と

、
前記基準電圧に対し負の電圧である負極アナログ映像信号を出力する M 個の負極駆動回路と、

前記 $4 \times M$ 本のデータ線に接続する $4 \times M$ 個のアナログ映像信号出力端子と、

前記 $4 \times M$ 個のアナログ映像信号出力端子を介して前記 $4 \times M$ 本のデータ線に接続される
切換回路と

を具備し、

前記切換回路は、

前記正極アナログ映像信号を供給するデータ線と、

前記負極アナログ映像信号を供給するデータ線と、

ハイインピーダンス状態にして信号を供給しないデータ線とを切り換える

データ線駆動回路。

20

【請求項 11】

請求項 10 に記載のデータ線駆動回路であって、

前記切換回路は、

前記正極駆動回路の出力端に接続される第 1 バッファ回路と、

前記負極駆動回路の出力端に接続される第 2 バッファ回路と、

前記第 1 バッファ回路の出力端と前記アナログ映像信号出力端子との間に設けられ、前
記第 1 バッファ回路と前記アナログ映像信号出力端子との接続を制御する第 1 スイッチ群
と、

前記第 2 バッファ回路の出力端と前記アナログ映像信号出力端子との間に設けられ、前
記第 2 バッファ回路と前記アナログ映像信号出力端子との接続を制御する第 2 スイッチ群
と

を含み、

前記切換回路は、前記第 1 スイッチ群と前記第 2 スイッチ群とを所定の順番で閉じること
により、前記正極アナログ映像信号または前記負極アナログ映像信号を前記前記 $4 \times M$
本のデータ線に供給する

データ線駆動回路。

【請求項 12】

請求項 11 に記載のデータ線駆動回路であって、

前記切換回路は、

前記正極駆動回路の出力端に接続される第 1 バッファ回路と、

40

前記負極駆動回路の出力端に接続される第 2 バッファ回路と、

前記正極駆動回路と前記第 1 バッファ回路との接続、または、前記正極駆動回路と前記
第 1 バッファ回路との接続を択一的に制御する第 1 制御スイッチ群と、

前記正極駆動回路と前記第 2 バッファ回路との接続、または、前記正極駆動回路と前記
第 2 バッファ回路との接続を択一的に制御する第 2 制御スイッチ群と、

前記第 1 バッファ回路の出力端と前記アナログ映像信号出力端子との間に設けられ、前
記第 1 バッファ回路と前記アナログ映像信号出力端子との接続を制御する第 1 スイッチ群
と、

前記第 2 バッファ回路の出力端と前記アナログ映像信号出力端子との間に設けられ、前
記第 2 バッファ回路と前記アナログ映像信号出力端子との接続を制御する第 2 スイッチ群

50

と

を含み、

前記切換回路は、前記第 1 制御スイッチ群と前記第 2 制御スイッチ群とに含まれるスイッチと、前記第 1 スwitch 群と前記第 2 スwitch 群とに含まれるスイッチとを所定の順番で閉じることにより、前記正極アナログ映像信号または前記負極アナログ映像信号を前記前記 4 × M 本のデータ線に供給する

データ線駆動回路。

【請求項 13】

請求項 11 または 12 に記載のデータ線駆動回路において、

前記切換回路は、さらに、

前記アナログ映像信号出力端子と前記液晶表示装置の共通線との接続を制御する第 3 スwitch 群

を具備し、

前記第 3 スwitch 群は、前記データ線に供給する信号の極性が変化する前に、前記共通線と前記アナログ映像信号出力端子とを接続する

データ線駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置および液晶表示装置のデータ線駆動回路に関する。

【背景技術】

【0002】

マンマシンインターフェースとして、フラットパネルディスプレイが広く普及してきている。なかでも液晶表示装置は、製造技術、歩留り、コストの観点で他のフラットパネルディスプレイ（例えば、プラズマディスプレイパネルなど）に優っていることから、さまざまな分野に適用されている。

【0003】

液晶表示装置は、マトリックス状に配置された複数の画素を有する表示パネルを備えている。画素は、わずかな隙間をもたせた 2 枚のガラスと、その隙間に封入された液晶材料とで構成されている。液晶材料は、印加される電圧に反応して分子の向きが変化する性質の材料であり、液晶表示装置はその性質を利用することで、表示パネルに画像を表示させている。つまり、液晶表示装置は、画素ごとに印加する電圧を制御することにより 2 枚のガラスを透過する光の透過量を変化させ、表示パネルに画像を表示させている。

【0004】

表示パネルに画像を表示させる方式（以下、駆動方式と呼ぶ）には、単純マトリックス駆動方式とアクティブマトリックス駆動方式とが存在する。現在では、アクティブマトリックス駆動方式で駆動されるアクティブマトリックス液晶表示装置 (AMLCD; Active Matrix Liquid Crystal Display) が主流となって普及している。

【0005】

アクティブマトリックス液晶表示装置の表示パネルの各画素には、TFT (Thin Film Transistor) 等のアクティブ素子が配置されている。また、表示パネルには、複数の走査線と、その複数の走査線に直行する複数のデータ線（信号線）が備えられている。また、各アクティブ素子は、ゲート電極とドレイン電極とソース電極とを備えている。各アクティブ素子のゲート電極は、行方向に沿った走査線に接続されている。同様に、各アクティブ素子のドレイン電極は、列方向に沿ったデータ線に接続されている。アクティブマトリックス液晶表示装置は、一般に線順次方式と呼ばれる表示方式で画像を表示している。線順次方式では、表示パネルの上から下（又は下から上）に向かって走査線を順番に走査することによって、1 つの画像が表示パネルに表示される。この一画像は、フレーム（フィールド）と呼ばれている。

【0006】

10

20

30

40

50

ディスプレイを駆動する場合、画素に直流電圧を印加し続けると、液晶物質が劣化してしまう。一般的な液晶表示装置では、液晶物質の劣化を防ぐために、反転駆動方式と呼ばれる駆動方式が採用されアクティブマトリックス方式で駆動される液晶表示装置の画素は、交流的に駆動されている。反転駆動方式とは、液晶の共通電極の電圧（コモン電圧）を基準としたときの画素電圧の正負を極性とし、その極性のある周期で反転させて画素に印加する駆動方式である。つまり、反転駆動方式では、そのコモン電圧よりも高い電圧を正極とし、そのコモン電圧よりも低い電圧を負極として、その正極、負極のある周期で反転させ画素に印加している。画素電圧は、データ線からTFTを介して画素に印加される電圧である。したがってデータ線を駆動する電圧も、所定の期間毎に反転して得られた交流電圧である。

10

【0007】

液晶表示装置で用いられる反転駆動の方式としては、縦または横方向1ラインごとに極性を反転する「ライン反転駆動」や、1ドットごとに極性を反転する「ドット反転駆動」方式が知られている。今日の大型・高精細の液晶表示装置には、「ドット反転駆動」方式が多く採用されている。

【0008】

ドット反転駆動は、さらに、1本の走査線を走査するたびに画素電圧の極性を反転するドット反転駆動方式以外にも、2本の走査線を走査するたびに画素電圧の極性を反転する2ラインドット反転駆動方式などが知られている。このドット反転駆動方式や2ラインドット反転駆動方式により、フリッカなどが低減され画質が向上する。

20

【0009】

液晶表示装置の大型化・高精細化により、データ線や走査線の寄生容量や寄生抵抗が増加してしまうことがある。データ線の寄生容量や寄生抵抗が増加すると、データ線駆動回路からデータ線に印加される駆動電圧の波形には、データ線を伝送するうち波形鈍りが生じてしまう。そのため、データ線駆動回路の近端付近の画素と遠端付近の画素とでは輝度が異なるという問題が生じることがあった。このような問題を解決するための技術として、特許文献1（特開平6 - 149183号公報）に記載の技術が知られている。

【0010】

特許文献1には、パネルの上下にデータ線駆動回路を配置し、2フレーム周期を1単位としてパネルの上下のデータ線駆動回路を切り換えてデータ線を駆動して、信号電圧を平均化して輝度の不均一を低減する液晶表示装置を構成する技術が開示されている。

30

【0011】

【特許文献1】特開平6 - 149183号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

ドット反転駆動方式では、表示パネルはコモン電圧を基準として正負に駆動されている。したがって、表示パネルは2フレーム周期を1単位として駆動されることになる。

【0013】

図1は、従来のドット反転駆動方式で駆動される液晶表示装置101の構成を例示するブロック図である。図1を参照すると、従来の液晶表示装置101は、正極信号を供給するデータ線駆動回路（正極）102aと、負極信号を供給するデータ線駆動回路（負極）102bと、走査信号を供給する走査線駆動回路103と、走査線駆動回路103、データ線駆動回路（正極）102aおよびデータ線駆動回路（負極）102bに供給する映像信号やクロックなどを出力する制御回路110と、表示パネル105と、スイッチ162、スイッチ163とを備えて構成されている。また、表示パネル105は、データ線107と、走査線108と、複数の画素109とを含んで構成されている。

40

【0014】

上述したように、従来の表示パネルは第1フレームを表示する時間を第1フレーム周期とし、その次のフレームを表示する時間を第2フレーム周期とした場合、その第1フレー

50

ム周期と第2フレーム周期を1単位として駆動されている。

【0015】

図1は、第1フレーム周期の液晶表示装置101を示している。図1に示されているように、液晶表示装置101のデータ線の奇数ラインは、第1フレーム周期においてデータ線駆動回路(正極)102aから供給される正極の信号で駆動される。データ線の奇数ラインは、第2フレーム周期目ではデータ線駆動回路(負極)102bから供給される負極の信号で駆動される。

【0016】

データ線の偶数ラインは、第1フレーム周期目にデータ線駆動回路(負極)102bから供給される負極の信号で駆動され、第2フレーム周期目では、データ線駆動回路(正極)102aから供給される、正極の信号で駆動される。ここで、データ線駆動回路(正極)102aの近端の画素を画素109aとし、遠端の画素を画素109bとする。このとき、コモン電圧と画素109aに印加される画素電圧との差と、コモン電圧と画素109bに印加される画素電圧との差を比較すると、コモン電圧からの電圧差にずれが生じている場合がある。

10

【0017】

図2は、画素109aおよび画素109bの動作を示すタイミングチャートである。図2を参照すると、上述の第1フレーム周期および第2フレーム周期におけるデータ線の駆動波形を実線で示し、画素電圧波形を点線で示している。

【0018】

上述したように、画素109aおよび画素109bは、液晶表示装置101のデータ線の奇数ラインに接続されている。そのため、画素109aは、第1フレーム周期では、正極の画素電圧で駆動される。図2のタイミングチャートに示されているように、データ線駆動回路(正極)102aは、第1フレーム周期において、画素109aを正極に駆動する。

20

【0019】

データ線駆動回路(正極)102aからみて画素109aは近いのでデータ線の駆動波形は鈍らずに目的の電圧に達する。データ線から供給される駆動電圧は、画素を構成するTFTを介して液晶に印加される。TFTのオン抵抗は数MΩと高いため、画素電圧の波形は鈍り、画素電圧はコモン電圧に対し正極の電圧V_aの値になる。その後、走査駆動が終了し、画素109aは電圧V_aを保持する。

30

【0020】

第2フレーム周期では、画素109aは負極に駆動される。図2のタイミングチャートに示されているように、データ線駆動回路(負極)102bは、第1フレーム周期において、画素109aを負極に駆動する。データ線駆動回路(負極)102bからみて画素109aは遠いのでデータ線の駆動波形は鈍り、目標の電圧に達する前に走査駆動が終了する。走査駆動の終了に応答してTFTがオフする。このとき、画素電圧はコモン電圧に対し負極の電圧V_bの値になる。画素はその電圧V_bを保持する。

【0021】

画素109b、第1フレーム周期では、負極の画素電圧で駆動される。図2のタイミングチャートに示されているように、データ線駆動回路(負極)102bは、第1フレーム周期において、画素109bを負極に駆動する。

40

【0022】

データ線駆動回路(負極)102bからみて画素109bは近いのでデータ線の駆動波形は鈍らずに目的の電圧に達する。このときに、画素を構成するTFTを介して液晶に印加される画素電圧は、TFTのオン抵抗の作用により波形が鈍る。そのため、画素電圧はコモン電圧に対し負極の電圧V_cの値になる。その後、走査駆動が終了し、画素109bは電圧V_cを保持する。

【0023】

第2フレーム周期では、画素109bは正極に駆動される。図2のタイミングチャート

50

に示されているように、データ線駆動回路（正極）102aは第2フレーム周期において、画素109bを正極に駆動する。データ線駆動回路（正極）102aからみて画素109bは遠いのでデータ線の駆動波形は鈍り、目標の電圧に達する前に走査駆動が終了する。走査駆動の終了に応答して画素109bのTFTがオフし、画素109bはコモン電圧に対し正極の電圧Vdの値を保持する。

【0024】

ここで、

電圧Va + 電圧Vb 電圧Vc + 電圧Vd

であるが、波形鈍りの小さい正極の電圧Vaと波形鈍りの大きい負極の電圧Vbによる輝度と、波形鈍りの大きい正極の電圧Vdと波形鈍りの小さい負極の電圧Vcによる輝度は微妙に異なる。これは、正極のガンマ特性と負極のガンマ特性が微妙に異なるためである。

10

【課題を解決するための手段】

【0025】

以下に、[発明を実施するための最良の形態]で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0026】

20

上記課題を解決するために、複数のデータ線(7)と、前記複数のデータ線(7)に交差する複数の走査線(8)と、前記複数のデータ線(7)と前記複数の走査線(8)との交点にそれぞれ備えられた画素(9)と、前記データ線(7)を駆動するデータ線駆動回路(2a、2b)とを備える液晶表示装置を構成する。

ここで、前記データ線駆動回路(2a、2b)は、前記複数のデータ線(7)の一端に接続される第1データ線駆動部(2a)と、前記複数のデータ線(7)の他端に接続される第2データ線駆動部(2b)とを含むように構成する。

そして、前記データ線駆動回路(2a、2b)は、 $4 \times n$ (n:任意の自然数)フレーム時間を1サイクルとし、前記 $4 \times n$ フレーム時間に前記第1データ線駆動部(2a)及び第2データ線駆動部(2b)のいずれか一方のデータ線駆動部で循環的に前記データ線(7)を駆動する。

30

また、本発明の液晶表示装置のデータ線駆動回路は、基準電圧に対し正の電圧である正極アナログ映像信号を出力するM (M:任意の自然数)個の正極駆動回路と、前記基準電圧に対し負の電圧である負極アナログ映像信号を出力するM個の負極駆動回路と、 $4 \times M$ 本のデータ線に接続する $4 \times M$ 個のアナログ映像信号出力端子と、前記 $4 \times M$ 個のアナログ映像信号出力端子を介して前記 $4 \times M$ 本のデータ線に接続される切換回路とで構成する。

そして、前記切換回路は、前記正極アナログ映像信号を供給するデータ線と、前記負極アナログ映像信号を供給するデータ線と、ハイインピーダンス状態にして信号を供給しないデータ線とを切り換える。

40

【発明の効果】

【0027】

本発明により、大型の液晶表示装置に搭載される表示パネルのコントラストを均一化して画質を向上させることができる。また、データ線駆動回路の発熱を分散して駆動回路の品質を向上させることが可能になる。

【発明を実施するための最良の形態】

【0028】

以下に、図面を参照して本発明のデータ線駆動回路およびそのデータ線駆動回路を搭載する液晶表示装置について説明を行なう。なお、以下の実施の形態の説明は、図面に使用している符号に対応して行なっていく。また、参照する図面の符号に枝符号a、bが付与

50

されているものがある（例えば、“データ線駆動回路２”に対応する“第１データ線駆動回路２a、第２データ線駆動回路２b”）が、この枝符号は、構成が同様に、設置される位置が異なる二つの装置を区別するためのものである。したがって、以下の説明において、設置される位置を考慮することがない場合には、枝符号a、bを省略して説明を行なう。

【００２９】

また、以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能である。

10

【００３０】

[第１の実施の形態]

図３は、本実施の形態における液晶表示装置１の構成を例示するブロック図である。図３に示されているように、本実施の形態における液晶表示装置１は、液晶表示パネル５と、第１データ線駆動回路２aと、第２データ線駆動回路２bと、走査線駆動回路３と、表示制御回路１０とを備えて構成されている。図３に示されているように、液晶表示パネル５は、複数のデータ線７と、そのデータ線に直交するように配置される複数の走査線８を備えている。また、液晶表示パネル５は、データ線７と走査線８との交点に配置された複数の画素９を有している。各画素はマトリクス状に構成され、各画素にはＴＦＴ(Thin Film Transistor)等のアクティブ素子（図示されず）が配置されている。

20

【００３１】

各画素に備えられたアクティブ素子は、ゲート電極とソース電極とドレイン電極とを備えている。各アクティブ素子のゲート電極は、行方向に沿った走査線８に接続され、ソース電極は、列方向に沿ったデータ線７に接続されている。

【００３２】

第１データ線駆動回路２aと第２データ線駆動回路２bは、アナログ映像信号である正極信号と負極信号を複数のデータ線７に出力する信号出力回路である。図３に示されているように、第１データ線駆動回路２aは、液晶表示パネル５の上側辺の近傍に設置され、第２データ線駆動回路２bは、液晶表示パネル５上側辺に対向する下側辺の近傍に備えられている。第１データ線駆動回路２aと第２データ線駆動回路２bとは、それぞれ複数のデータ線７に接続されている。

30

【００３３】

走査線駆動回路３は、走査信号を出力する信号出力回路である。図３に示されているように、走査線駆動回路３は、第１データ線駆動回路２aおよび第２データ線駆動回路２bが備えられている辺と隣り合う辺に設置され、その複数の走査線８に接続されている。

【００３４】

表示制御回路１０は、映像信号やクロック信号などの制御信号を、データ線駆動回路２及び走査線駆動回路３に供給する回路である。図３に示されているように、表示制御回路１０は、第１データ線駆動回路２a、第２データ線駆動回路２bおよび走査線駆動回路３に接続されている。表示制御回路１０には、映像信号Dx、ドットクロック信号dCLK、水平同期信号Hsync、垂直同期信号Vsyncなどが供給され、映像信号Dxを第１データ線駆動回路２aに供給するのか、第２データ線駆動回路２bに供給するかを制御している。

40

【００３５】

図３を参照すると、第１データ線駆動回路２aは第１切換回路１８aを備え、第２データ線駆動回路２bは第２切換回路１８bを備えている。第１データ線駆動回路２a（または、第２データ線駆動回路２b）の詳細な構成に関する説明は後述する。また、上述したように、液晶表示パネル５には複数の画素９が備えられている。以下の実施の形態において、第１データ線駆動回路２aに近い位置に備えられている画素を画素９aとし、第２データ線駆動回路２bに近い画素を画素９bとして説明を行なう。

50

【0036】

次に、本発明の液晶表示装置1に備えられる第1データ線駆動回路2a(または、第2データ線駆動回路2b)の構成に関する説明を行なう。ここで、第1データ線駆動回路2aと第2データ線駆動回路2bは同様の構成であるため、両方に対応するデータ線駆動回路2として説明を行なう。図4は、データ線駆動回路2の構成を例示するブロック図である。図4に示されているように、データ線駆動回路2は、シフトレジスタ回路11と、映像信号をラッチするデータレジスタ回路12と、データラッチ回路13と、映像信号を入れ換えるデータ切換回路14と、電圧を変換するレベルシフト回路15と、正極信号を生成する正極DA変換回路16と、負極信号を生成する負極DA変換回路17と、切換回路18と、データラッチ回路13、データ切換回路14及び切換回路18などを制御する制御回路20と、複数の正極の階調電圧を生成する正極階調電圧生成回路21と、複数の負極の階調電圧を生成する負極階調電圧生成回路22とを含んで構成されている。ここで、切換回路18は複数のスイッチと複数のバッファで構成され、正極信号と負極信号を選択してデータ線に供給する回路であり、その詳細な構成は後述する。

10

【0037】

シフトレジスタ回路11は、クロック信号CLKに同期した映像信号のサンプリング信号を生成する回路である。データレジスタ回路12は、シフトレジスタ回路11で生成したサンプリング信号に応じて映像信号をラッチする回路である。データラッチ回路13は、データレジスタ回路12にラッチされた映像信号を所定の周期保持する回路である。

20

【0038】

データ切換回路14は、入力される映像信号が所定の画素に対応するように映像信号を入れ換える回路である。レベルシフト回路15は、データラッチ回路14の動作電圧とDA変換回路(16、17)の電圧とが異なるために、電圧の変換を実行する回路である。本実施の形態において、データラッチ回路14とレベルシフト回路15とを備えるデータ線駆動回路2の構成を例示しているが、例えば、映像信号の入れ換えを、表示制御回路10が実行することで、データラッチ回路14を備えることのないデータ線駆動回路2を構成することが可能である。また、バッファの利得(出力電圧/入力電圧)を1より大きくすることにより、レベルシフト回路15を備えることのないデータ線駆動回路2を構成することも可能である。

30

【0039】

DA変換回路(16、17)は、後述の階調電圧生成回路(21、22)で生成した複数の階調電圧から映像信号に応じて所定の階調電圧を選択する回路である。以下の実施の形態において、本発明の理解を容易にするために、映像信号が2ビットの4階調である場合を例示して説明をおこなう。図5および図6は、4つの階調電圧を選択するための構成を例示する回路図である。図5は、論理回路を用いたDA変換回路(16、17)の構成を例示する回路図である。図5に示されている回路は、4つのスイッチとそのスイッチに接続される論理回路とを備えている。4つのスイッチは、映像信号(D1、D2)に応じて論理回路から出力される出力信号に回答して、4つの階調電圧(V1、V2、V3、V4)から切換回路18に供給する階調電圧を選択している。図6は、エンハンスメント型のトランジスタとディプレッション型のトランジスタを用いたDA変換回路(16、17)の構成を例示する回路図である。図6に示されている回路は、映像信号(D1、D2)に応じてエンハンスメント型のトランジスタとディプレッション型のオン/オフが変わることによって、4つの階調電圧から切換回路18に供給する階調電圧を選択している。

40

【0040】

制御回路20は、表示制御回路10から供給される制御信号(POL、STB、SWCOTなど)に応じてラッチタイミングや、切換回路18の制御などを行う回路である。階調電圧生成回路(21、22)は、複数の階調電圧を生成する回路である。階調電圧生成回路(21、22)は、複数の抵抗を接続した抵抗分圧回路(図示されず)を備え、抵抗分圧回路は複数の基準電圧に基づいて抵抗分圧により複数の階調電圧を生成している。本実施の形態において、正極階調電圧生成回路21は正極の階調電圧を生成し、負極階調電

50

圧生成回路 22 は負極の階調電圧を生成する。

【0041】

以下に、データ線駆動回路 2 に備えられる切換回路 18 に関して、図面を参照して詳細な説明をおこなう。図 7 は、切換回路 18 の構成を例示する回路図である。以下の説明において、本発明の理解を容易にするために、データ線 7 が 4 本である場合を例示して説明を行なう。

【0042】

図 7 を参照すると、切換回路 18 は、第 1 バッファ 31 と、第 2 バッファ 32 と、複数のスイッチ (41 ~ 48) と、共通線 40 に接続される複数の共通線接続スイッチ 39 とを備えて構成されている。また、切換回路 18 は、複数のデータ線接続端子 (S1 ~ S4) を備え、各データ線接続端子 (S1 ~ S4) は対応するデータ線に接続されている。図 7 に示されているように、切換回路 18 は、データ線 7 と正極 DA 変換回路 16 との間、及びデータ線 7 と負極 DA 変換回路 17 との間に設けられている。正極 DA 変換回路 16 の出力は第 1 バッファ 31 の入力端に接続され、負極 DA 変換回路 17 の出力は第 2 バッファ 32 の入力端に接続されている。第 1 バッファ 31 の出力端と各データ線接続端子 (S1 ~ S4) と間に正極側スイッチ (41、43、45、47) を設け、第 2 バッファ 32 の出力端と各データ線接続端子 (S1 ~ S4) と間に負極側スイッチ (42、44、46、48) が接続されている。バッファ (31、32) は、DA 変換回路 (16、17) で選択された階調電圧から所望のアナログ映像信号 (階調電圧又は階調電流) を生成し、ボルテージフォロアや電流源などで構成する。

【0043】

共通線接続スイッチ 39 は、データ線 7 に供給する信号の極性が正から負、または負から正に変化する前にオン状態になり、データ線 7 と共通線 40 とをショートさせる。ドット反転駆動では、正極に充電されているデータ線の数と、負極に充電されているデータ線の数は同じで、各データ線 7 に映像信号に応じた正極アナログ映像信号又は負極アナログ映像信号を供給する前に各データ線 7 と共通線 40 とをショートさせることで、各データ線 7 の電圧が中和して消費電力を低減させることが可能になる。

【0044】

図 8 は、切換回路 18 に備えられた共通線接続スイッチ 39 を同時にオン状態にした場合の、接続状態を例示する回路図である。図 8 に示されているように、スイッチ 39 をオン状態にした時に、他のスイッチ 41 ~ 48 はオフ状態にする。液晶表示パネル 5 の上側辺と下側辺との両方の共通線接続スイッチ 39 を同時にオン状態にすることで、共通線接続時のデータ線駆動回路 2 の発熱を分散させることができる。なお、共通線 40 には、コモン電極の電圧を供給してもよいし、電圧を供給しなくともよい。

【0045】

図 9 は、液晶表示パネル 5 の上側辺と下側辺とにデータ線駆動回路 2 を対向して接続する場合の切換回路 18 の回路構成を例示する回路図である。上述したように、以下の実施の形態においては、液晶表示パネル 5 の上側辺に設けられるデータ線駆動回路を第 1 データ線駆動回路 2a、下側辺に設けられるデータ線駆動回路を第 2 データ線駆動回路 2b と記載する。また、第 1 データ線駆動回路 2a、第 2 データ線駆動回路 2b、その内部の各回路を区別する場合には、上側辺に設けられる回路には数字の後に a を付け、下側辺に設けられる回路には数字の後に b を付けて区別する。

【0046】

ここで、データ線駆動回路 2 が出力する信号波形について説明を行なう。図 10 は、データ線駆動回路 2 の動作波形を例示する波形図である。図 10 に示されているデータ線近端波形はデータ線駆動回路 2 に近い画素に印加される信号電圧の波形を示し、データ線遠端波形はデータ線駆動回路 2 から遠い画素に印加される信号電圧の波形を示している。図 10 を参照すると、データ線駆動回路 2 に近い画素では、印加される信号電圧は目標値まで達しているが、データ線駆動回路 2 に遠い画素では、波形が鈍るため印加される信号電圧は目標値に達していないことが示されている。データ線駆動回路 2 から遠い画素に印加

される信号電圧波形の鈍りは、液晶表示パネル 5 が大型化、高精細化することにより、データ線 7 の負荷容量及び負荷抵抗が増大することで生じてしまう。各画素に印加される信号電圧は、抵抗 R と容量 C とで決定する時定数 $\tau = CR$ でほぼ波形が決定する。つまり、データ線駆動回路 2 に遠い画素ほど CR が大きくなり波形が鈍ることになる。

【0047】

図 11 は、本発明における画素 9 を駆動する場合の動作を例示するテーブルである。図 11 (a) に示されるテーブルは、画素 9 を駆動するデータ線駆動回路と、そのデータ線駆動回路が画素 9 に供給する信号とを対応付けたテーブルである。ここで、図 11 (a) に示されている "上"、"下"、"+"、"-" の記号は、"上" が第 1 データ線駆動回路 2 a を表し、"下" が第 2 データ線駆動回路 2 b を表している。また、"+" は、正極アナログ映像信号を表し、"-" は負極アナログ映像信号を表しているものとする。

10

【0048】

図 11 (a) を参照すると、画素 9 は、1 フレーム目に、第 1 データ線駆動回路 2 a の正極アナログ映像信号で駆動され、2 フレーム目に、第 2 データ線駆動回路 2 b の負極アナログ映像信号で駆動され、3 フレーム目に第 2 データ線駆動回路 2 b の正極アナログ映像信号で駆動され、4 フレーム目に第 1 データ線駆動回路 2 a の負極アナログ映像信号で駆動され、この 4 フレームの動作が循環して行われることが示されている。

【0049】

また図 11 (b) は、本発明における画素 9 を駆動する場合の他の動作を例示するテーブルである。図 11 (b) に示されている "上"、"下"、"+"、"-" の記号は、図 11 (a) と同様の意味である。図 11 (b) を参照すると、画素 9 は、1 フレーム目に、第 1 データ線駆動回路 2 a の正極アナログ映像信号で駆動され、2 フレーム目に、第 1 データ線駆動回路 2 a の負極アナログ映像信号で駆動され、3 フレーム目に第 2 データ線駆動回路 2 b の正極アナログ映像信号で駆動され、4 フレーム目に第 2 データ線駆動回路 2 b の負極アナログ映像信号で駆動され、この 4 フレームの動作が循環して行われることが示されている。

20

【0050】

以下に、上記の動作を実行したときの動作波形について説明をおこなう。なお、以下の説明において、液晶表示パネル 5 の上側辺に配置する第 1 データ線駆動回路 2 a に近い画素を画素 9 a とし、液晶表示パネル 5 の下側辺に配置する第 2 データ線駆動回路 2 b に近い画素を画素 9 b とし説明を行なう。また、走査線駆動回路 3 は、走査線 8 を上側辺から下側辺に順に走査するものとする。

30

【0051】

図 12 は、図 11 (a) に示される順番で画素 9 を駆動したときの動作波形を例示する波形図である。図 12 に示されているように、画素 9 a は、第 1 フレーム目で、第 1 データ線駆動回路 2 a から正極アナログ映像信号が供給され、ほぼ目標値に近い正極電圧 V_a を保持し、第 2 フレーム目で、第 2 データ線駆動回路 2 b から負極アナログ映像信号が供給され、目標値に達しない負極電圧 V_b を保持し、第 3 フレーム目で、第 2 データ線駆動回路 2 b から正極アナログ映像信号が供給され、目標値に達しない正極電圧 V_c を保持し、第 4 フレーム目で、第 1 データ線駆動回路 2 a から負極アナログ映像信号が供給され、ほぼ目標値に近い負極電圧 V_d を保持する。画素 9 b は、第 1 フレーム目で、第 1 データ線駆動回路 2 a から負極アナログ映像信号が供給され、目標値に達しない負極電圧 V_e を保持し、第 2 フレーム目で、第 1 データ線駆動回路 2 a から正極アナログ映像信号が供給され、目標値に達しない正極電圧 V_f を保持し、第 3 フレーム目で、第 2 データ線駆動回路 2 b から負極アナログ映像信号が供給され、ほぼ目標値に近い負極電圧 V_g を保持し、第 4 フレーム目で、第 2 データ線駆動回路 2 b から正極アナログ映像信号が供給され、ほぼ目標値に近い正極電圧 V_h を保持する。画素 9 a に供給される電圧 (V_a 、 V_b 、 V_c 、 V_d) と画素 9 b に供給される電圧 (V_e 、 V_f 、 V_g 、 V_h) との関係は、

40

$$V_a + V_b + V_c + V_d = V_e + V_f + V_g + V_h$$

となる。すなわち、「正極と負極」、「波形鈍りの大小」の組み合わせから、4 フレーム

50

を 1 サイクルとしてパネルの場所による輝度むらを均一化するように画素に蓄積される電圧を平均化し、それによって第 1 フレームから第 4 フレームまでに画素 9 a に供給される電圧の和と、第 1 フレームから第 4 フレームまでに画素 9 b に供給される電圧の和とがほぼ等しくなり、そのため、画素 9 a と画素 9 b とでは輝度（光の透過率）の差が生じなくなる。

【 0 0 5 2 】

以下に、隣り合うデータ線ごとに信号の極性が異なり、1 走査線ごとに信号の極性を反転する（1 H 1 V）駆動での切換回路 1 8 の制御について説明する。なお、以下の説明においては、本発明の理解を容易にするために、画素が 4 × 4 である場合を例示して説明を行なう。また、図 1 3 に示されているテーブルの側面に付されている記号 " 1 " ~ " 4 " は、それぞれ第 1 走査目から第 4 走査目に対応している。

10

【 0 0 5 3 】

図 1 3 を参照すると、1 フレームの第 1 走査目では、第 1 データ線駆動回路 2 a は第 1 切換回路 1 8 a の正極側スイッチ 4 1 a と負極側スイッチ 4 8 a とをオンにする。また、第 2 データ線駆動回路 2 b は第 2 切換回路 1 8 b の正極側スイッチ 4 3 b と負極側 4 6 b をオンにする。このとき第 1 データ線駆動回路 2 a は他のスイッチ（4 2 a ~ 4 7 a）をオフにし、第 2 データ線駆動回路 2 b は、他のスイッチ（4 1 b、4 2 b、4 4 b、4 5 b、4 7 b、4 8 b）をオフにする。このスイッチング制御によって、第 1 データ線駆動回路 2 a、第 2 データ線駆動回路 2 b は、各データ線を（上 +、下 -、下 +、上 -）に駆動する。

20

【 0 0 5 4 】

上述したように、" 上 + " は、第 1 データ線駆動回路 2 a がデータ線 7 を正極に駆動することを示し、" 上 - " は第 1 データ線駆動回路 2 a がデータ線 7 を負極に駆動することを示し、" 下 + " は、第 2 データ線駆動回路 2 b がデータ線 7 を正極に駆動することを示し、" 下 - " は第 2 データ線駆動回路 2 b がデータ線 7 を負極に駆動することを示している。

【 0 0 5 5 】

以下、第 2 走査目 ~ 第 4 走査目の動作を説明する。なお、以降の説明では、オフのスイッチの記載を省略して説明を行なう。1 フレームの第 2 走査目では、スイッチ（4 6 a、4 7 a）と、スイッチ（4 5 b、4 8 b）をオンし、（下 -、下 +、上 -、上 +）に駆動する。1 フレームの第 3 走査目では、スイッチ（4 4 a、4 5 a）と、スイッチ（4 2 b、4 7 b）をオンし、（下 +、上 -、上 +、下 -）に駆動する。1 フレームの第 4 走査目では、スイッチ（4 2 a、4 3 a）と、スイッチ（4 1 b、4 4 b）をオンし、（上 -、上 +、下 -、下 +）に駆動する。2 フレーム目以降もスイッチ（4 1 a ~ 4 8 a、4 1 b ~ 4 8 b）を制御して図 1 3 に示すように駆動する。1 H 1 V 駆動において、4 フレームを 1 つの単位として循環して駆動することで、画素に供給される電圧を平均化してパネルの上部と下部との輝度差を改善することができる。

30

【 0 0 5 6 】

また、2 データ線ごとに信号の極性が異なり、1 走査線ごとに信号の極性を反転する（1 H 2 V）駆動する場合の、切換回路 1 8 の制御について説明を行なう。図 1 4 は、1 H 2 V 駆動の場合の切換回路 1 8 の制御動作を示すテーブルである。図 1 4 に示すように、1 H 2 V 駆動の場合も 4 フレームを 1 つの単位として循環して駆動することで、画素に供給される電圧を平均化してパネルの上部と下部との輝度差を改善することができる。

40

【 0 0 5 7 】

[第 2 の実施形態]

以下に、図面を参照して、本発明の液晶表示装置における、第 2 の実施形態について説明を行なう。上述してきた第 1 の実施の形態では、1 走査線ごとにデータ線駆動信号を反転し、4 フレームを 1 つの単位としていた。以下に述べる第 2 の実施の形態では、2 走査線ごとにデータ線駆動信号を反転（2 H 反転駆動）して 8 フレームを 1 つの単位として駆動する場合に対応して説明を行なう。

50

【 0 0 5 8 】

図 1 5 には、1 データ線ごとに信号の極性が異なり、2 走査線ごとに信号の極性を反転する (2 H 1 V) 駆動での各画素を模式した例を示している。2 H 反転駆動では、1 走査線と 2 走査線では同一の極性で駆動する。そのため、1 走査線目の駆動波形は鈍るが、2 走査線目の駆動波形は鈍らない。したがって、1 走査線目の画素と 2 走査線目の画素の画素電圧が異なり横縞が発生する。第 2 の実施の形態では、1 ~ 4 フレームでは、G 1 - G 2 - G 3 - G 4 の順に上から下に順番に駆動し、5 ~ 8 フレームでは、G 2 - G 1 - G 4 - G 3 . . . の順に 2 走査線ごとに順番を入れ換えて駆動する。これにより、1 走査線目と 2 走査線目でのデータ線の駆動波形が平均化して画質を向上させることができる。

【 0 0 5 9 】

また、図 1 6 は、2 データ線ごとに信号の極性が異なり、2 走査線ごとに信号の極性を反転する (2 H 2 V) 駆動での各画素を模式した例を示している。このように、n H 反転駆動では、4 × n フレームを 1 つの単位として循環して制御すると画素電圧が平均化して輝度差がなくなり画質を向上させることが可能になる。

【 0 0 6 0 】

[第 3 の実施形態]

上述の第 1 の実施の形態では、切換回路 1 8 に備えられる第 1 バッファ 3 1、第 2 バッファ 3 2 は、D A 変換回路 (1 6、1 7) の出力に接続されている。D A 変換回路 (1 6、1 7) と第 1 バッファ 3 1、第 2 バッファ 3 2 との間にスイッチを設けてもよい。

【 0 0 6 1 】

図 1 7 は、第 3 の実施の形態における切換回路 1 8 の構成を例示する回路図である。図 1 7 を参照すると、第 3 の実施の形態における切換回路 1 8 は、切換スイッチ 3 3 と切換スイッチ 3 4 と、複数の接続スイッチ (3 5 ~ 3 8) を含んで構成されている。図 1 7 に示されているように、切換スイッチ 3 3 は、正極 D A 変換回路 1 6 とバッファ 3 1 の間、及び負極 D A 変換回路 1 7 とバッファ 3 2 の間に設けられている。また、切換スイッチ 3 4 は、正極 D A 変換回路 1 6 とバッファ 3 2 の間、及び負極 D A 変換回路 1 7 とバッファ 3 1 の間に設けられている。さらに、第 1 バッファ 3 1 と第 1 データ線接続端子 S 1 との間には接続スイッチ 3 5 が設けられ、第 1 バッファ 3 1 と第 2 データ線接続端子 S 2 との間には接続スイッチ 3 6 が設けられている。そして、第 2 バッファ 3 2 と第 3 データ線接続端子 S 3 との間には接続スイッチ 3 7 が設けられ、第 2 バッファ 3 2 と第 4 データ線接続端子 S 4 との間には接続スイッチ 3 8 が設けられている。さらに、各データ線接続端子 (S 1、S 2、S 3、S 4) と共通線 4 0 との間にそれぞれ共通線接続スイッチ 3 9 を設け、4 × n フレーム周期を 1 つの単位として切換回路 1 8 を制御する。

【 0 0 6 2 】

図 1 8 は、第 3 の実施の形態における第 1 切換回路 1 8 a、第 2 切換回路 1 8 b の構成を例示する回路図である。図 1 8 に示されているように、第 1 切換回路 1 8 a を備える第 1 データ線駆動回路 2 a と、第 2 切換回路 1 8 b を備える第 2 データ線駆動回路 2 b とは、液晶表示パネル 5 の上側辺と下側辺と対向して設置されている。図 1 8 は、第 1 切換回路 1 8 a において、切換スイッチ 3 3 a がオン状態になるとともに、接続スイッチ 3 5 a と接続スイッチ 3 8 a がオン状態になり、また、切換スイッチ 3 3 b がオン状態になり、接続スイッチ 3 7 b と接続スイッチ 3 6 b がオン状態になった場合の接続状態が示されている。

【 0 0 6 3 】

上述の複数の実施の形態において、第 1 データ線駆動回路 2 a と第 2 データ線駆動回路 2 b は、D A 変換回路やバッファ回路の電圧精度が、ガラス基板よりシリコンなどの半導体基板上に製造した方がよいことから、それぞれ半導体など別の基板上に集積化するのが好ましい。また、上述の複数の実施の形態は、その構成・動作に矛盾が発生しない場合において組み合わせて実施することが可能である。

【 図面の簡単な説明 】

【 0 0 6 4 】

10

20

30

40

50

【図 1】図 1 は、従来の液晶表示装置の構成を示すブロック図である。

【図 2】図 2 は、従来の液晶表示装置の画素電圧の波形を示す波形図である。

【図 3】図 3 は、本発明の液晶表示装置の構成を例示するブロック図である。

【図 4】図 4 は、本発明の液晶表示装置のデータ線駆動回路の構成を例示するブロック図である。

【図 5】図 5 は、本発明に適用される D A 変換回路の構成を例示する回路図である。

【図 6】図 6 は、本発明に適用される D A 変換回路の他の構成を例示する回路図である。

【図 7】図 7 は、第 1 の実施形態における D A 変換回路と切換回路の構成を例示する回路図である。

【図 8】図 8 は、第 1 の実施形態における D A 変換回路と切換回路の構成を例示する回路図である。 10

【図 9】図 9 は、第 1 の実施形態における D A 変換回路と切換回路の構成を例示する回路図である。

【図 10】図 10 は、第 1 の実施形態におけるデータ線の駆動波形を例示する波形図である。

【図 11】図 11 は、第 1 の実施形態において、画素を駆動する順番を示す模式図である。

【図 12】図 12 は、第 1 の実施形態における画素の駆動波形を例示する波形図である。

【図 13】図 13 は、第 1 の実施形態における画素のフレームごとの極性を示す模式図である。 20

【図 14】図 14 は、第 1 の実施形態における画素のフレームごとの極性を示す模式図である。

【図 15】図 15 は、第 2 の実施形態における画素のフレームごとの極性を示す模式図である。

【図 16】図 16 は、第 2 の実施形態における画素のフレームごとの極性を示す模式図である。

【図 17】図 17 は、第 2 の実施形態における D A 変換回路と切換回路の構成を例示する回路図である。

【図 18】図 18 は、第 2 の実施形態における D A 変換回路と切換回路の構成を例示する回路図である。 30

【符号の説明】

【0065】

1、101 ... 液晶表示装置

2、2a、2b、102a、102b ... データ線駆動回路

3、103 ... 走査線駆動回路

5、105 ... 液晶表示パネル

7、107 ... データ線

8、108 ... 走査線

9、9a、9b、109a、109b ... 画素

10、110 ... 表示制御回路 40

11 ... シフトレジスタ回路

12 ... データレジスタ回路

13 ... データラッチ回路

14 ... データ切換回路

15 ... レベルシフタ回路

16、17 ... D A 変換回路

18、18a、18b ... 切換回路

S1 ~ Sm ... データ線接続端子

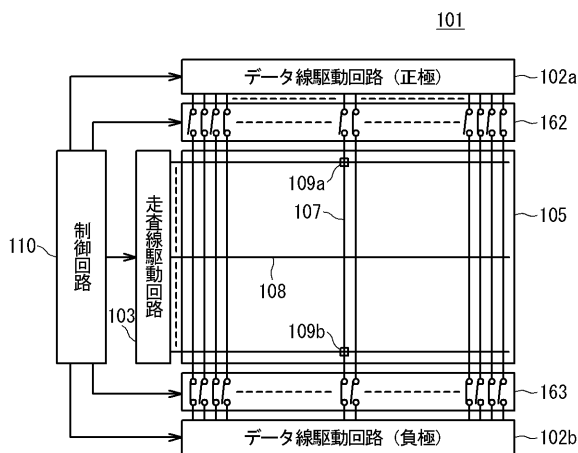
20 ... 制御回路

21、22 ... 階調電圧生成回路 50

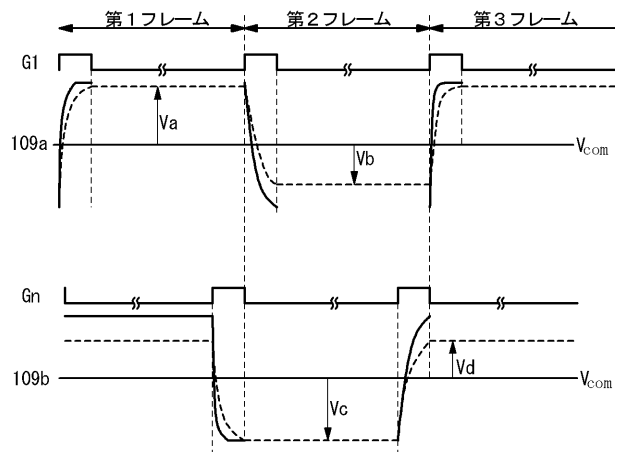
31、31a、31b、32、32a、32b...バッファ
 33～39、33a～39a、33b～39b、41～48、41a～48a、4
 1b～48b、162、163...スイッチ
 40、40a、40b...共通線
 S1～S4、Sm...データ線接続端子
 101...液晶表示装置
 102a...データ線駆動回路(正極)
 102b...データ線駆動回路(負極)
 103...走査線駆動回路
 110...制御回路
 105...表示パネル
 107...データ線
 108...走査線
 109a、109b...画素
 162、163...スイッチ

10

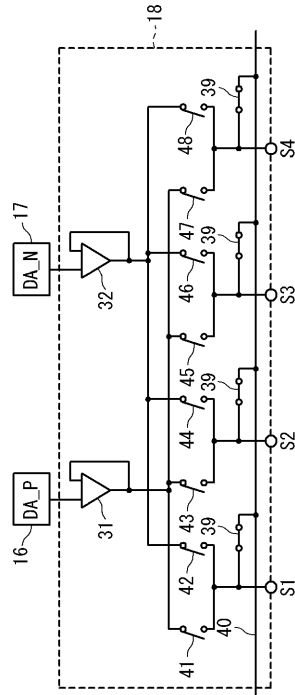
【図1】



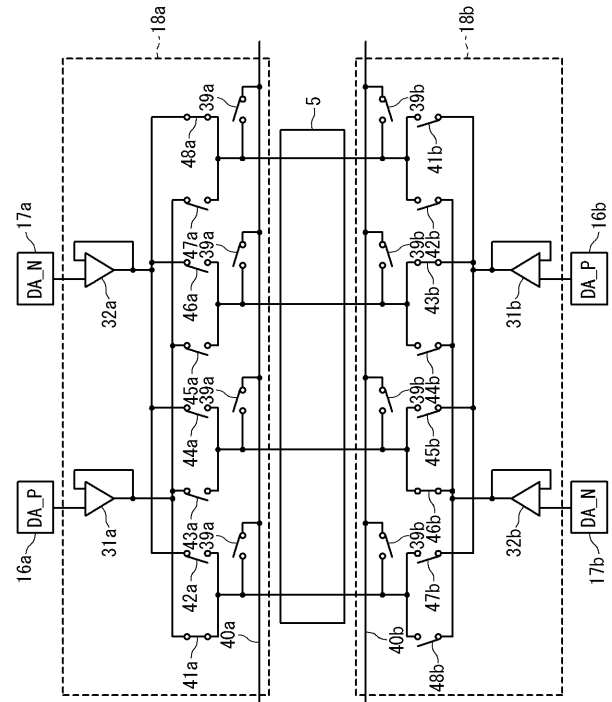
【図2】



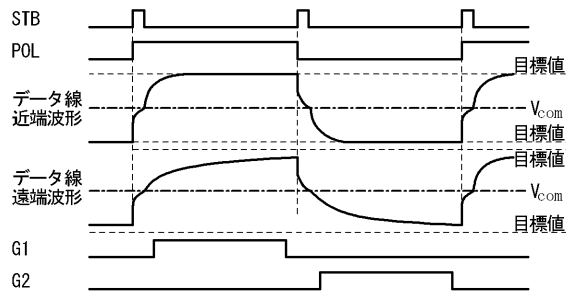
【図 8】



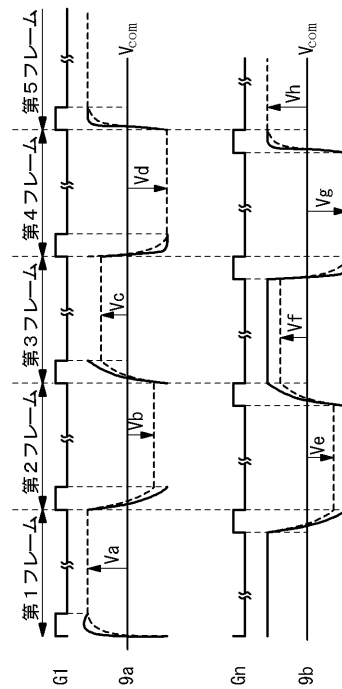
【図 9】



【図 10】



【図 12】



【図 11】

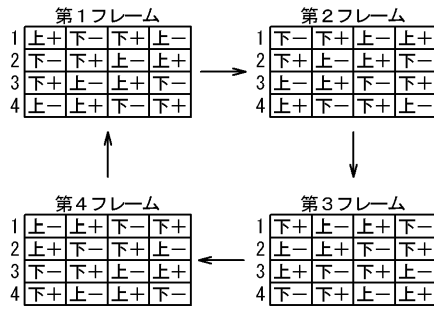
(a)

1フレーム	2フレーム	3フレーム	4フレーム
上+	下-	下+	上-

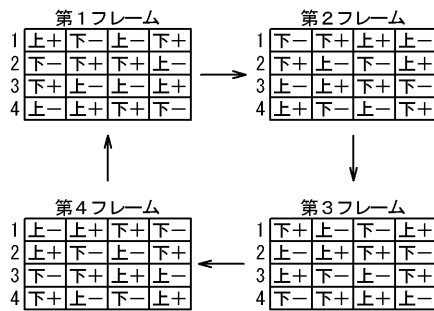
(b)

1フレーム	2フレーム	3フレーム	4フレーム
上+	上-	下+	下-

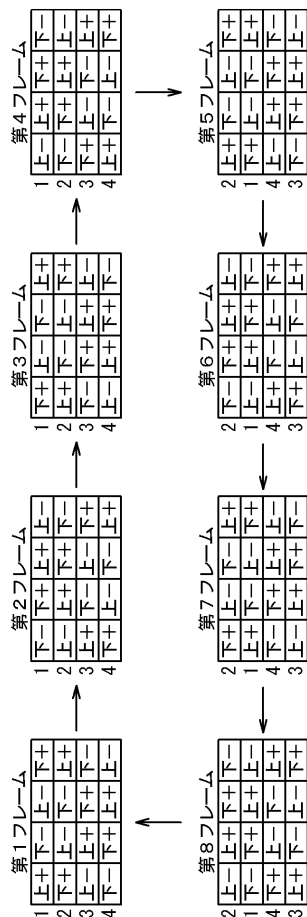
【図 13】



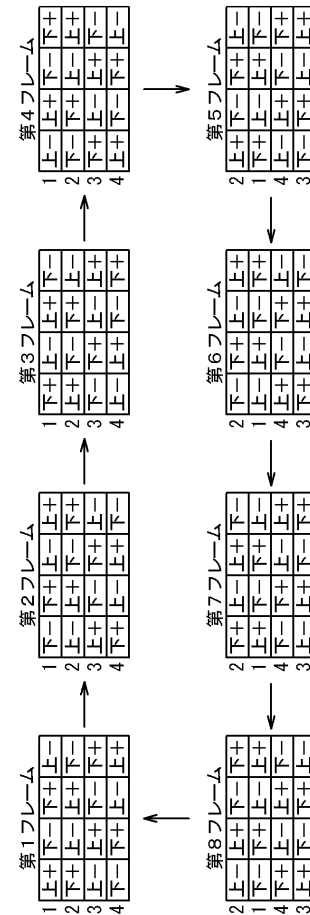
【図 14】



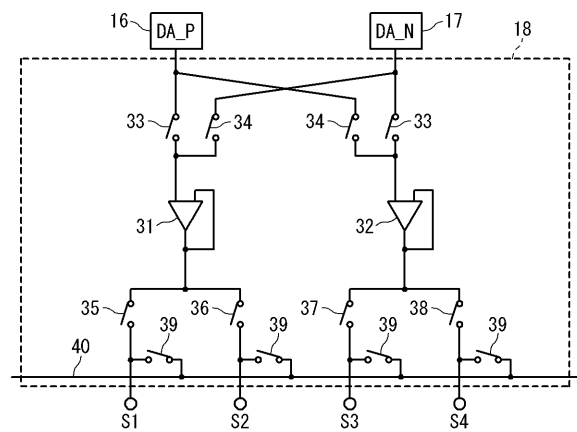
【図 16】



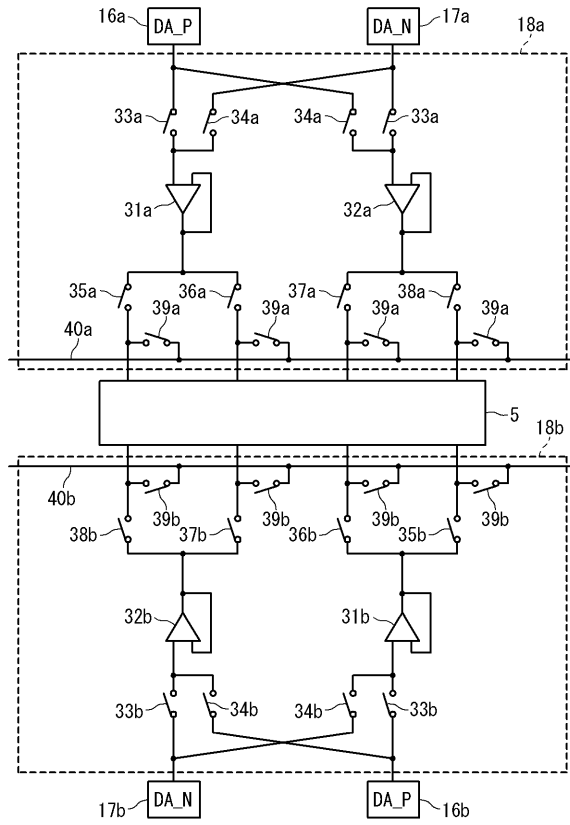
【図 15】



【図 17】



【図 18】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 2 3 B
G 0 2 F	1/133	5 2 5
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5

F ターム(参考) 5C006 AA16 AC01 AC21 AC28 AF44 AF46 AF50 AF51 AF52 AF53
AF61 AF71 AF83 AF84 BB16 BC02 BC03 BC12 BC20 BF03
BF04 BF14 BF24 FA54 FA56
5C080 AA10 BB05 DD03 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶显示装置和液晶显示装置的数据线驱动电路		
公开(公告)号	JP2006343625A	公开(公告)日	2006-12-21
申请号	JP2005170534	申请日	2005-06-10
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	横田純也 橋本義春		
发明人	横田 純也 橋本 義春		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/027		
FI分类号	G09G3/36 G09G3/20.642.E G09G3/20.623.Y G09G3/20.623.R G09G3/20.621.B G09G3/20.623.C G09G3/20.623.D G09G3/20.621.M G09G3/20.680.G G09G3/20.623.B G02F1/133.525 G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC65 2H093/ND05 2H093/ND09 2H093/ND35 2H093/ND58 2H093/NH15 5C006/AA16 5C006/AC01 5C006/AC21 5C006/AC28 5C006/AF44 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF83 5C006/AF84 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF24 5C006/FA54 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZC02 2H193/ZC13 2H193/ZC14 2H193/ZC15 2H193/ZC20 2H193/ZD32 2H193/ZD34 2H193/ZF22 2H193/ZF36 2H193/ZF37 2H193/ZH40		
代理人(译)	工藤稔		
外部链接	Espacenet		

摘要(译)

[问题] 液晶显示装置的上部和下部之间的对比度差异得到改善。[解决方案] 可以输出正和负信号的数据线驱动电路布置在液晶面板的上方和下方，并且像素具有来自上侧的正(+)信号，来自下侧的负(-)信号和下侧。4个帧按从上侧的正(+)信号和从上侧的负(-)信号的顺序循环传输。[选择图]图13

