

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-53567

(P2006-53567A)

(43) 公開日 平成18年2月23日(2006.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	5F110
H01L 21/336 (2006.01)	H01L 29/78 612D	
H01L 29/786 (2006.01)	H01L 29/78 617L	

審査請求 有 請求項の数 19 O L (全 12 頁)

(21) 出願番号	特願2005-234253 (P2005-234253)	(71) 出願人	501046327 廣輝電子股▲ふん▼有限公司
(22) 出願日	平成17年8月12日 (2005.8.12)		台灣桃園縣龜山鄉華亞二路189号
(31) 優先権主張番号	093124164	(74) 代理人	100123788 弁理士 宮崎 昭夫
(32) 優先日	平成16年8月12日 (2004.8.12)	(74) 代理人	100106138 弁理士 石橋 政幸
(33) 優先権主張国	台湾 (TW)	(74) 代理人	100120628 弁理士 岩田 慎一
		(74) 代理人	100127454 弁理士 緒方 雅昭
		(72) 発明者	黄茂村 台灣桃園縣龜山鄉華亞二路189号
		(72) 発明者	黄資峰 台灣桃園縣龜山鄉華亞二路189号

最終頁に続く

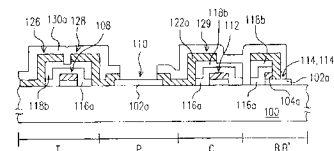
(54) 【発明の名称】 TFT-LCDの画素構造及びその製造方法

(57) 【要約】

【課題】 4回のマスク工程によって形成されるTFT-LCDの画素構造及びその製造方法を提供する。

【解決手段】 基板の上に透明導電層と第1金属層を順に形成し、第1金属層と透明導電層をパターン化して、ゲートパターンと画素電極パターンを形成する。次に、ゲート絶縁層と半導体層を基板の上に形成し、パターン化工程によりゲートパターン上方にあるゲート絶縁層と半導体層を保留すると同時に、画素電極パターンの第1金属層を除去する。そして、基板の上に第2金属層を形成し、該第2金属層をパターン化し、半導体層上にソースパターンとドレインパターンを形成する。最後に、基板の上に保護層を形成し、該保護層をパターン化し、画素電極パターンの透明導電層を露出させる。

【選択図】 図2H



【特許請求の範囲】

【請求項 1】

TFT-LCDの画素構造の製造方法であって、
基板の上に透明導電層と第1金属層を順に形成する工程と、
1回目のマスク工程を行い、前記第1金属層と前記透明導電層をパターン化し、ゲートパターンと画素電極パターンを形成する工程と、
前記基板の上に、前記ゲートパターンと前記画素電極パターンを覆うようにゲート絶縁層と半導体層を形成する工程と、
2回目のマスク工程を行い、前記ゲートパターン上方にある前記ゲート絶縁層と前記半導体層を保留し、かつ前記画素電極パターンの前記第1金属層を除去する工程と、
前記基板の上に第2金属層を形成する工程と、
3回目のマスク工程を行い、前記第2金属層をパターン化して、保留された前記半導体層上にソースパターンとドレインパターンを形成する工程と、
前記基板の上に保護層を形成する工程と、
4回目のマスク工程を行い、前記保護層をパターン化して、前記画素電極パターンの前記透明導電層を露出させる工程と、
を備えること特徴とするTFT-LCDの画素構造の製造方法。

10

【請求項 2】

前記1回目のマスク工程において、さらに下電極パターンを形成し、
前記2回目のマスク工程において、さらに前記下電極パターン上に位置する前記ゲート絶縁層と前記半導体層を保留し、
前記3回目のマスク工程において、さらに前記下電極パターン上方の前記半導体層上に、前記第2金属層を上電極として保留することを特徴とする請求項1記載のTFT-LCDの画素構造の製造方法。

20

【請求項 3】

前記1回目のマスク工程において、さらにボンディングパッド・パターンを形成し、
前記2回目のマスク工程において、さらに前記ボンディングパッド・パターン上方の前記ゲート絶縁層と前記半導体層を保留し、かつ前記ボンディングパッド・パターンの前記第1金属層を部分的に除去し、
前記3回目のマスク工程において、さらに前記ボンディングパッド・パターン上方の前記第2金属層を保留し、
前記4回目のマスク工程において、さらに前記ボンディングパッド・パターン上の前記保護層を部分的に除去することを特徴とする請求項1記載のTFT-LCDの画素構造の製造方法。

30

【請求項 4】

前記1回目のマスク工程において、さらに下電極パターンとボンディングパッド・パターンを形成し、
前記2回目のマスク工程において、さらに前記下電極パターンと前記ボンディングパッド・パターンの一部上方にある前記ゲート絶縁層と前記半導体層を保留し、前記ボンディングパッド・パターンの第1金属層の一部を除去し、
前記3回目のマスク工程において、さらに前記下電極パターン上方の前記半導体層上に前記第2金属層を、上電極として保留し、かつ前記ボンディングパッド・パターン上方の前記第2金属層を保留し、
前記4回目のマスク工程において、さらに前記ボンディングパッド・パターン上の前記保護層の一部を除去することを特徴とする請求項1記載のTFT-LCDの画素構造の製造方法。

40

【請求項 5】

前記3回目のマスク工程において、さらに前記ソースパターンと前記ドレインパターンの間に位置する前記半導体層の厚さを一部除去することを特徴とする請求項1記載のTFT-LCDの画素構造の製造方法。

50

【請求項 6】

前記第 1 金属層が、単一金属層、合金層、または多重金属層であることを特徴とする請求項 1 記載の TFT-LCD の画素構造の製造方法。

【請求項 7】

前記第 2 金属層が、単一金属層、合金層、または多重金属層であることを特徴とする請求項 1 記載の TFT-LCD の画素構造の製造方法。

【請求項 8】

TFT-LCD の画素構造であって、

基板の表面に配置される、ゲートパターンと、前記ゲートパターン上に位置するゲート絶縁層と、前記ゲート絶縁層を覆う半導体層と、前記半導体層上に形成されたソースパターン及びドレインパターンとを有する TFT と、

前記基板の前記表面に配置され、かつ前記 TFT の前記ドレインパターンと電氣的に接続される画素電極パターンと、

前記 TFT を覆うと同時に前記画素電極パターンを露出する保護層と、
を備えることを特徴とする TFT-LCD の画素構造。

【請求項 9】

前記ドレインパターンが前記画素電極パターンの表面を部分的に覆うことを特徴とする請求項 8 記載の TFT-LCD の画素構造。

【請求項 10】

前記ゲートパターンが下層透明導電層及び上層金属層によって構成されることを特徴とする請求項 8 記載の TFT-LCD の画素構造。

【請求項 11】

前記上層金属層が、単一金属層、合金層、または多重金属層であることを特徴とする請求項 10 記載の TFT-LCD の画素構造。

【請求項 12】

前記 TFT において、

前記ゲート絶縁層が前記半導体層と前記ゲートパターンの間にのみ形成されることを特徴とする請求項 8 記載の TFT-LCD の画素構造。

【請求項 13】

前記基板上に配置される、下電極と、上電極と、容量誘電層とを備えた保持容量を更に有することを特徴とする請求項 8 記載の TFT-LCD の画素構造。

【請求項 14】

前記下電極が、下層透明導電層と、上層金属層とを有することを特徴とする請求項 13 記載の TFT-LCD の画素構造。

【請求項 15】

前記上電極が前記画素電極パターンの表面を部分的に覆うことを特徴とする請求項 13 記載の TFT-LCD の画素構造。

【請求項 16】

前記基板の両縁部に配置されるボンディングパッド・パターンを更に有することを特徴とする請求項 8 記載の TFT-LCD の画素構造。

【請求項 17】

前記ボンディングパッドが下層透明導電層及び上層金属層によって構成され、かつ前記上層金属層が前記下層透明導電層を部分的に露出することを特徴とする請求項 16 記載の TFT-LCD の画素構造。

【請求項 18】

前記保護層が前記ボンディングパッド・パターンの前記下層透明導電層を露出することを特徴とする請求項 16 記載の TFT-LCD の画素構造。

【請求項 19】

前記ソースパターンと前記ドレインパターンが、単一金属層、合金層、または多重金属層であることを特徴とする請求項 8 記載の TFT-LCD の画素構造。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、TFT-LCD (Thin Film Transistor - Liquid Crystal Display) の画素構造とその製造方法に関し、特に4回のマスク工程によって形成されるTFT-LCDの画素構造及びその製造方法に関する。

【背景技術】

【0002】

TFT-LCDパネルは、主に複数の画素構造からなるTFTアレイ基板と、カラーフィルタ・アレイ基板と、前記両基板の間に位置する液晶層によって構成されており、各画素は一つのTFTと一つの画素電極を有する。 10

【0003】

従来、TFT-LCDの画素構造の製造方法では、5回のマスク工程による製造プロセスが主流である。1回目のマスク工程によって、第1金属層をパターンニングして走査配線やTFTのゲートなどの素子を形成する。2回目のマスク工程によって、TFTのチャネル層とオーミック接触層を形成する。3回目のマスク工程によって、第2金属層をパターンニングしてデータ配線とTFTのソース/ドレインなどの素子を形成する。4回目のマスク工程によって保護層をパターン化し、5回目のマスク工程によって、透明導電層をパターン化して、画素電極を形成する。

【0004】

20

TFT-LCDが大型化するに伴い、例えば、歩留まりやスループットの低下などの問題が生じる。よって、TFTの製造プロセスのマスク回数を減少させることができれば、TFTの素子形成における露光工程の回数を減らすことができ、製造時間の減少、スループットの増加、及び製造コストの削減が可能となる。

【0005】

目下、4回のマスク工程を使用する技術が既に提案されているが、ほとんどがマスク上にハーフトーン(halftone)を利用するパターン設計によって、マスク工程を1回減らしている。だが、マスクにハーフトーン・パターンを用いる場合、マスクのレイアウト設計がより難しくなり、フォトレジストの選択性が充分であるか否か、などの問題がある。さらに、マスクにハーフトーン・パターンの技術を用いる場合、露光後のフォトレジスト・パターンの均一性にも不都合がある。 30

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、上記課題に鑑みてなされたものであり、その目的は、マスクにハーフトーン技術を使用する必要がなく、4回のマスク工程によるTFT-LCDの画素構造の製造方法を提供することにある。

【0007】

本発明のもう一つの目的は、4回のマスク工程によって形成されるTFT-LCDの画素構造を提供することにある。 40

【課題を解決するための手段】

【0008】

上述の目的を達成するために、本発明は、TFT-LCDの画素構造の製造方法を提供する。まず、基板の上に透明導電層と第1属層を順に形成し、1目のマスク工程を行って、前記第1属層と前記透明導電層をパターン化し、ゲートパターン及び画素電極パターンを形成する。次に、先に形成したゲートパターンと画素電極パターンを覆うようにゲート絶縁層と半導体層を基板の上に形成し、さらに、2目のマスク工程を行い、前記ゲートパターン上方にある前記ゲート絶縁層と前記半導体層を保留すると同時に前記画素電極パターンの前記第1属層を除去する。そして、基板の上に第2属層を形成し、3回目のマスク工程を行って、前記第2金属層をパターン化し、保留された前記半導体層上にソースパタ 50

ーンとドレインパターンを形成する。最後に、基板の上に保護層を形成し、4回目のマスク工程を行い、前記保護層をパターン化し、前記画素電極パターンの前記透明導電層を露出させる。

【0009】

本発明は、更にTFT-LCDの画素構造を提供する。前記画素構造は、TFTと、画素電極パターンと、保護層とを有する。TFTは、基板の表面に配置される、ゲートパターンと、前記ゲートパターン上に位置するゲート絶縁層と、前記ゲート絶縁層を覆う半導体層と、前記半導体層上に形成されたソースパターン及びドレインパターンとを有する。前記画素電極パターンは基板の表面に位置し、かつ前記TFTのドレインパターンと電気的に接続している。また、前記保護層は前記TFTを覆うと同時に前記画素電極パターン

10

【発明の効果】

【0010】

本発明によれば、4回のマスク工程を行うだけで画素構造の製造を完成することが可能となり、5回のマスク工程を用いる従来の製造プロセスよりマスク工程の数が1回少ないため、スループットを高め、コストを下げる事が可能となる。

【0011】

本発明の4回のマスク工程では、ハーフトーンの技術を使用しないため、マスクのレイアウト設計やフォトレジストの選択性などの問題無く、露光後のフォトレジスト・パターンが不均一になるという問題も生じない。

20

【発明を実施するための最良の形態】

【0012】

本発明の目的、特徴、利点をより分かりやすくするために、発明を実施するための最良の形態を、図面を参照しつつ以下の如く説明する。

【0013】

本発明のTFT-LCDの画素構造の製造方法は、マスクにハーフトーンの技術を全く用いずに、4回のマスク工程のみで画素構造を完成することができる。さらに、形成された複数の画素構造を有する基板は、任意の方法でカラーフィルタ基板、及び液晶層と合わせることが可能であり、これにより、TFT-LCDパネルを構成する。以下の実施例による説明は、本発明の内容を簡単に説明するための内容に過ぎず、本発明をそれらの構造に

30

【実施例1】

【0014】

図1は、本発明の実施例1のTFT-LCDの画素構造を示す平面図である。図2Aから図2Hは本発明のTFT-LCDの画素構造の実施例1の形成工程を示す断面図である。

【0015】

図1と図2Aに示すように、まず、基板100上に透明導電層102と第1金属層104を順に形成する。好適な実施形態において、基板100上には、例えば薄膜トランジスタTの形成予定領域と、画素電極Pの形成予定領域と、保持容量(storage capacitor)Cの形成予定領域と、ボンディングパッド(bonding pad)B及びB'の形成予定領域とがある。基板100は、例えば透明ガラス基板、または透明プラスチック基板である。透明導電層102の材質は、例えばITO(Indium Tin Oxide)やIZO(Indium Zinc Oxide)の金属酸化物、またはその他の類似物である。第1金属層104の材質は、例えば、クロム(Cr)、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、またはそれらの合金である。特に、透明導電層102の材質がITOまたはIZOである場合、第1金属層104は、クロム(Cr)、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、またはそれらの合金であることが好ましい。

40

【0016】

50

次に、1回目のマスク工程において、第1金属層104上にパターン化フォトリジスト層106を形成し、かつフォトリジスト層106をマスクとしてエッチングを行い、第1金属層104及び透明導電層102をパターン化し、図2Bに示すようなパターン化第1金属層104aとパターン化透明導電層102aを形成する。好適な実施形態において、1回目のマスク工程は、薄膜トランジスタTの形成予定領域にゲートパターン108を形成し、画素電極Pの形成予定領域に画素電極パターン110を形成し、さらに、ゲートパターン108と電氣的に接続する走査配線150も形成する(図1参照)。

【0017】

別の好適な実施形態において、更に保持容量Cの形成予定領域に下電極パターン112を形成する。ここで、保持容量Cは、例えばゲート上方の保持容量(Cs on gate)である。別の好適な実施形態において、1回目のマスク工程は、さらに基板100の縁部のボンディングパッドBの形成予定領域に走査配線150と電氣的に接続するボンディングパッド・パターン114を形成し、基板100のもう一つの縁部のボンディングパッドB'の形成予定領域に別個に(断面がボンディングパッドBと同様、または類似する)ボンディングパッド・パターン114aを形成する。別の好適な実施形態において、1回目のマスク工程は、更に下電極パターン112とボンディングパッド・パターン114を形成する。

【0018】

図1と図2Cに示すように、この後、基板100の上方に順にゲート絶縁層116と半導体層118を蒸着し、既に形成された構造を覆う。好適な実施形態において、ゲート絶縁層116の材質は、例えば、窒化ケイ素、酸化ケイ素、酸窒化ケイ素である。半導体層118は、例えば、チャンネル材質層(例えばa-Si)及びオーミック接触材質層(例えば、ドーパ-Si)によって構成される。

【0019】

次に、2回目のマスク工程を行い、半導体層118上にパターン化フォトリジスト層120を形成し、さらにフォトリジスト層120をマスクとしてエッチングを行う。図2Dに示すように、半導体層118とゲート絶縁層116をパターン化することで、パターン化半導体層118aとゲート絶縁層116aを形成すると同時に、画素電極パターン110の第1金属層104aを除去し、画素電極パターン110の透明導電層102aだけを残す。好適な実施形態において、2回目のマスク工程は、ゲートパターン108上にある半導体層118a及びゲート絶縁層116aを残す。

【0020】

別の好適な実施形態において、2回目のマスク工程は、さらに、容量誘電層として、下電極パターン112上にある半導体層118a及びゲート絶縁層116aを保留する工程を含む。別の好適な実施形態において、2回目のマスク工程は、さらに、ボンディングパッド・パターン114、114a上にある半導体層118aとゲート絶縁層116aを部分的に除去し、かつボンディングパッド・パターン114、114aの第1金属層104aの一部を除去し、ボンディングパッド・パターン114、114aの透明導電層102aを露出させる。別の好適な実施形態において、2回目のマスク工程は、さらに下電極パターン112とボンディングパッド・パターン114、114a上にある半導体層118aとゲート絶縁層116aを保留し、かつボンディングパッド・パターン114、114aの第1金属層104aの一部を除去してボンディングパッド・パターン114、114aの透明導電層102aを露出させる過程を含む。

【0021】

図1と図2Eによれば、基板100の上に第2金属層122を蒸着し、上述の工程で形成された構造を覆う。好適な実施形態において、第2金属層122の材質は、例えばクロム(Cr)、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)またはそれらの合金である。

【0022】

その後、3回目のマスク工程によって、第2金属層122上にパターン化フォトリジスト層124を形成し、フォトリジスト層124をマスクとしてエッチングを行い、第2金

10

20

30

40

50

属層 1 2 2 をパターン化し、図 2 F に示すような、パターン化第 2 金属層 1 2 2 a を形成する。好適な実施形態において、ゲートパターン 1 0 8 上方に形成される第 2 金属層 1 2 2 a はそれぞれソースパターン 1 2 6 とドレインパターン 1 2 8 であり、ドレインパターン 1 2 8 は画素電極パターン 1 1 0 と電氣的に接続し、かつ 3 回目のマスク工程において、ソースパターン 1 2 6 と接続するデータ配線 1 6 0 を形成する（図 1 参照）。好適な実施形態において、第 2 金属層 1 2 2 をパターン化すると同時に、ソースパターン 1 2 6 とドレインパターン 1 2 8 の間に位置する半導体層 1 1 8 a の厚みを一部除去し、半導体層 1 1 8 B を形成して、ソースパターン 1 2 6 / ドレインパターン 1 2 8 とゲートパターン 1 0 8 の間にチャンネル層 1 1 9 を形成する。

【0023】

別の好適な実施形態において、3 回目のマスク工程は、さらに、画素保持容量の上電極 1 2 9 として、下電極パターン 1 1 2 の上方に対応する第 2 金属層 1 2 2 a を保留する工程を含み、上電極 1 2 9 が画素電極パターン 1 1 0 と電氣的に接続しているため、上電極 1 2 9、下電極パターン 1 1 2、及び上下電極の間に位置する誘電材料（ゲート絶縁層 1 1 6 a と半導体層 1 1 8 a）によって画素保持容量が構成される。別の好適な実施形態において、3 回目のマスク工程は、さらに、ボンディングパッド・パターン 1 1 4 上方に対応し、ボンディングパッド・パターン 1 1 4 の第 1 金属層 1 0 4 a 及び透明導電層 1 0 2 a と電氣的に接続する第 2 金属層 1 2 2 a を保留する過程を含む。さらに、基板 1 0 0 縁部のボンディングパッド B' の形成予定領域には、ボンディングパッド・パターン 1 1 4 a の一部として、データ配線 1 6 0 と電氣的に接続する第 2 金属層 1 2 2 a を形成する。ボンディングパッド B' の構造は、ボンディングパッド B の構造と同様、または類似していることが好ましい。更に別の好適な実施形態において、3 回目のマスク工程は、さらに、下電極パターン 1 1 2 とボンディングパッド・パターン 1 1 4、1 1 4 a の上方に対応する第 2 金属層 1 2 2 a を保留する過程を含む。

【0024】

図 1 及び図 2 G に示すように、基板 1 0 0 の上方に保護層 1 3 0 を蒸着し、上述の工程で形成された構造を覆う。好適な実施形態において、保護層 1 3 0 の材質は、例えば、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、或いは有機材質である。

【0025】

そして、4 回目のマスク工程において、保護層 1 3 0 上にパターン化フォトリジスト層 1 3 2 を形成し、フォトリジスト層 1 3 2 をマスクとしてエッチングを行い、保護層 1 3 0 をパターン化して、図 2 H に示すような、パターン化保護層 1 3 0 a を形成する。好適な実施形態において、パターン化保護層 1 3 0 a は画素電極パターン 1 1 0 の透明導電層 1 0 2 a を露出する。別の好適な実施形態において、パターン化保護層 1 3 0 a は、さらに、外部の回路と電氣的に接続できるように、ボンディングパッド・パターン 1 1 4、1 1 4 a の透明導電層 1 0 2 a の一部を露出している。

【0026】

上述の 4 回のマスク工程によって形成される画素構造は、薄膜トランジスタ T と、画素電極 P と、保護層 1 3 0 a とを有する。薄膜トランジスタ T は基板 1 0 0 の表面に配置され、ゲートパターン 1 0 8 と、ゲートパターン 1 0 8 上に位置するゲート絶縁層 1 1 6 a と、ゲート絶縁層 1 1 6 a を覆う半導体層 1 1 8 a と、半導体層 1 1 8 a 上に形成されたソースパターン 1 2 6 / ドレインパターン 1 2 8 とを有する。画素電極 P の画素電極パターン 1 1 0 は、基板 1 0 0 の表面に配置され、かつ薄膜トランジスタ T のドレインパターン 1 2 8 と電氣的に接続している。保護層 1 3 0 a は、薄膜トランジスタ T を覆うと同時に、前記画素電極パターン 1 1 0 を露出している。

【0027】

好適な実施形態において、薄膜トランジスタ T のドレインパターン 1 2 8 は画素電極パターン 1 1 0 の表面を部分的に覆っている。別の好適な実施形態において、ゲートパターン 1 0 8 は下層透明導電層 1 0 2 a 及び上層金属層 1 0 4 a によって構成される。好適な実施形態において、薄膜トランジスタ T 中のゲート絶縁層 1 1 6 a は半導体層 1 1 8 a 及

10

20

30

40

50

びゲートパターン 108 の間だけに形成される。

【0028】

好適な実施形態において、本発明の画素構造はさらに、基板 100 上に配置される保持容量 C を有し、保持容量 C は下電極 112 と、下電極 112 の上方に形成される上電極 129 (金属層 122a) と、上下電極の間に位置する誘電層 (例えば、ゲート絶縁層 116a と半導体層 118a) とによって構成されている。好適な実施形態において、下電極 112 は下層透明導電層 102a 及び上層金属層 104a によって構成される。別の好適な実施形態において、上電極 129 は画素電極パターン 110 の表面を部分的に覆っている。

【0029】

好適な実施形態において、本発明の画素構造はさらに、基板 100 の両縁部に配置されるボンディングパッド B と B' を有する。ボンディングパッド B のボンディングパッド・パターン 114 は、走査配線 150 と電氣的に接続しており、かつ下層透明導電層 102a 及び上層金属層 104a によって構成されている。また、上層金属層 104a は下層透明導電層 102a を部分的に露出する。この他、ボンディングパッド B' のボンディングパッド・パターン 114a はデータ配線 160 と電氣的に接続しており、かつボンディングパッド B' の構造はボンディングパッド B の構造と類似している。更に、保護層 130a は、外部の回路と電氣的に接続できるようにボンディングパッド・パターン 114、114a の下層透明導電層 102a を露出させる。

10

【実施例 2】

20

【0030】

本発明の実施例 2 の TFT-LCD の画素構造とその製造方法は上記実施例 1 と類似している。異なる点は、図 2A の工程において基板 100 上に透明導電層 102 を形成した後、透明導電層 102 上に形成した第 1 金属層 104 が、例えば、二重、または三重の多重金属層構造であり、該多重金属層は、例えば、クロム (Cr) 層、タングステン (W) 層、タンタル (Ta) 層、チタン (Ti) 層、モリブデン (Mo) 層、アルミニウム (Al) 層、及びそれら合金層の選択の組合せで構成される。好適な実施形態において、第 1 金属層 104 は、例えば、Al/Cr/Al の三重構造、Mo/Al/Mo の三重構造若しくは Cr/Al の二重構造などである。特に、透明導電層 102 の材質が ITO または IZO である場合、多重金属層 104 において透明導電層 102 と接触する膜層は、クロム (Cr) 層、タングステン (W) 層、タンタル (Ta) 層、チタン (Ti) 層、モリブデン (Mo) 層、またはそれらの合金の層であることが好ましい。

30

【0031】

よって、図 2B の工程において、薄膜トランジスタ T の形成予定領域内に形成されるゲートパターン 108 と、画素電極 P の形成予定領域内に形成される画素電極パターン 110 及び走査配線 150 (図 1 参照) の金属層部分は多重金属層によって構成される。かつ、下電極パターン 112 及びボンディングパッド・パターン 114、114a の金属層部分も同じように多重金属層によって構成される。

【0032】

図 2C から図 2D の工程は、実施例 1 と同じであるため、ここでは特に述べない。図 2E において、基板 100 上に蒸着した第 2 金属層 122 は、例えば、二重、または三重の多重金属層構造であり、該多重金属層は、例えば、クロム (Cr) 層、タングステン (W) 層、タンタル (Ta) 層、チタン (Ti) 層、モリブデン (Mo) 層、アルミニウム (Al) 層、及びそれら合金層から選択して組合せて構成される。ここで、第 2 金属層 122 の層数や構成する金属材料は、第 1 金属層 104 と同じであってもよく、異なってもよい。

40

【0033】

よって、図 2F の工程において形成されたソースパターン 126、ドレインパターン 128 及びデータ配線 160 の金属層部分は多重金属層によって構成される。同じように、画素保持容量の上電極 129 の金属層部分も多重金属層によって構成される。

50

【 0 0 3 4 】

実施例 2 における図 2 G から図 2 H の工程は、実施例 1 と同じであるため、ここでは特に述べない。

【 0 0 3 5 】

上述の説明から分かるように、本発明によれば、4 回のマスク工程を行って画素構造の製造を完成することが可能となり、従来の 5 回のマスク工程よりマスクの回数が少ないため、スループットを高め、コストを下げることが可能となる。

【 0 0 3 6 】

また、本発明の 4 回のマスク工程では、マスクにハーフトーンの技術を使用しないため、マスクのレイアウト設計やフォトレジストの選択性などの問題が無く、露光後のパターンが不均一になるという問題も生じない 10

以上、本発明の実施例を図面を参照して詳述してきたが、具体的な構成は、この実施例に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても、本発明に含まれる。

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 本発明の実施例 1 の T F T - L C D の画素構造を示す平面図である。

【 図 2 A 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である。

【 図 2 B 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である 20

【 図 2 C 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である。

【 図 2 D 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である。

【 図 2 E 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である。

【 図 2 F 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である。

【 図 2 G 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である 30

【 図 2 H 】 本発明の T F T - L C D の画素構造の実施例 1 の形成工程を示す断面図である。

【 符号の説明 】

【 0 0 3 8 】

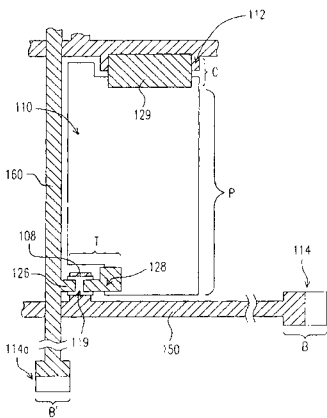
1 0 0 基板
 1 0 2、1 0 2 a 透明導電層
 1 0 4、1 0 4 a、1 2 2、1 2 2 a 金属層
 1 0 6、1 2 0、1 2 4、1 3 2 フォトレジスト層
 1 0 8 ゲートパターン
 1 1 0 画素電極パターン
 1 1 2 下電極パターン
 1 1 4、1 1 4 a ボンディングパッド・パターン
 1 1 6、1 1 6 a ゲート絶縁層
 1 1 8、1 1 8 a、1 1 8 b 半導体層
 1 2 6 ソース
 1 2 8 ドレイン
 1 2 9 上電極
 1 3 0、1 3 0 a 保護層
 1 5 0 走査配線

40

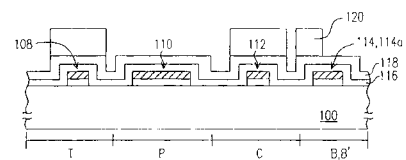
50

160 データ配線
 T TFT
 P 画素電極
 C 保持容量
 B、B' ボンディングパッド

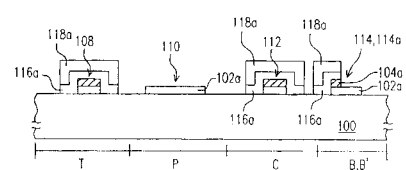
【図1】



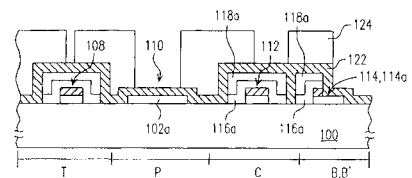
【図2C】



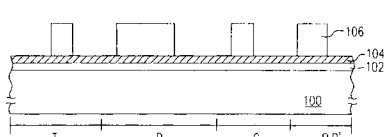
【図2D】



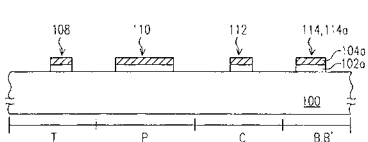
【図2E】



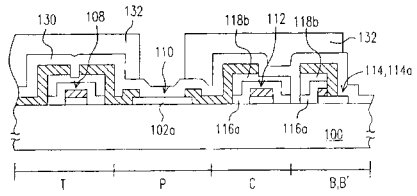
【図2A】



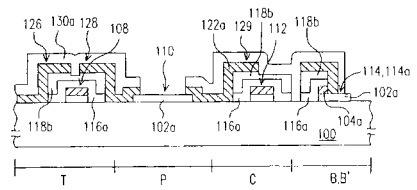
【図2B】



【 図 2 G 】



【 図 2 H 】



フロントページの続き

F ターム(参考) 2H092 GA40 JA26 JA28 JA34 JA37 JA41 JA48 JB22 JB31 KA18
KB24 KB25 MA01 MA13 MA37 NA29
5F110 AA16 BB01 CC07 DD01 DD02 EE03 EE04 EE06 EE07 EE14
EE15 FF02 FF03 FF04 FF27 GG02 GG15 HK03 HK04 HK06
HK09 HK21 HK22 HK32 NN02 NN22 NN23 NN24 NN27 NN33
NN72 NN73 QQ01

专利名称(译)	薄膜晶体管液晶显示器的像素结构及其制造方法		
公开(公告)号	JP2006053567A	公开(公告)日	2006-02-23
申请号	JP2005234253	申请日	2005-08-12
[标]申请(专利权)人(译)	HiroshiTeru电子裆粪便		
申请(专利权)人(译)	广辉电子股▲ふん▼有限公司		
[标]发明人	黄茂村 黄資峰		
发明人	黄茂村 黄資峰		
IPC分类号	G02F1/1368 G02F1/1345 H01L21/336 H01L29/786		
CPC分类号	H01L27/12 G02F1/13458 G02F1/1362 G02F1/136227 H01L27/124		
FI分类号	G02F1/1368 G02F1/1345 H01L29/78.612.D H01L29/78.617.L		
F-TERM分类号	2H092/GA40 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA48 2H092/JB22 2H092/JB31 2H092/KA18 2H092/KB24 2H092/KB25 2H092/MA01 2H092/MA13 2H092/MA37 2H092/NA29 5F110/AA16 5F110/BB01 5F110/CC07 5F110/DD01 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE15 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF27 5F110/GG02 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK21 5F110/HK22 5F110/HK32 5F110/NN02 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73 5F110/QQ01 2H092/JA40 2H092/JB24 2H192/AA24 2H192/BC44 2H192/CB05 2H192/CB82 2H192/CC32 2H192/CC72 2H192/DA02 2H192/DA42 2H192/FA64		
代理人(译)	宫崎昭雄 岩田慎一 绪方明		
优先权	093124164 2004-08-12 TW		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供以四个掩模步骤形成的TFT-LCD的像素结构，并提供像素结构的制造方法。ŽSOLUTION：在基板上依次形成透明导电层和第一金属层。图案化第一金属层和透明导电层以形成栅极图案和像素电极图案。在衬底上依次形成栅极绝缘层和半导体层。执行图案化工艺以去除像素电极图案中的第一金属层，同时将栅极绝缘层和半导体层保持在栅极图案上方。在衬底上形成第二金属层。图案化第二金属层以在半导体层上形成源图案和漏极图案。在最后的步骤中，在衬底上形成钝化层并将其图案化以暴露像素电极图案中的透明导电层。Ž

