

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-521901

(P2005-521901A)

(43) 公表日 平成17年7月21日(2005.7.21)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1333	GO2F 1/1333	2H089
GO2F 1/133	GO2F 1/133 550	2H092
GO2F 1/1343	GO2F 1/133 575	2H093
GO2F 1/1368	GO2F 1/1343	5C006
GO9G 3/20	GO2F 1/1368	5C080
審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2003-580938 (P2003-580938)
 (86) (22) 出願日 平成14年11月6日 (2002.11.6)
 (85) 翻訳文提出日 平成16年9月27日 (2004.9.27)
 (86) 国際出願番号 PCT/KR2002/002068
 (87) 国際公開番号 W02003/083563
 (87) 国際公開日 平成15年10月9日 (2003.10.9)
 (31) 優先権主張番号 2002/17007
 (32) 優先日 平成14年3月28日 (2002.3.28)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591028452
 サムスン エレクトロニクス カンパニー
 リミテッド
 SAMSUNG ELECTRONICS
 COMPANY, LIMITED
 大韓民国, 442-373 キョンキード
 , スウォンシ, ヨントング, マエタン
 ードン, 416
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

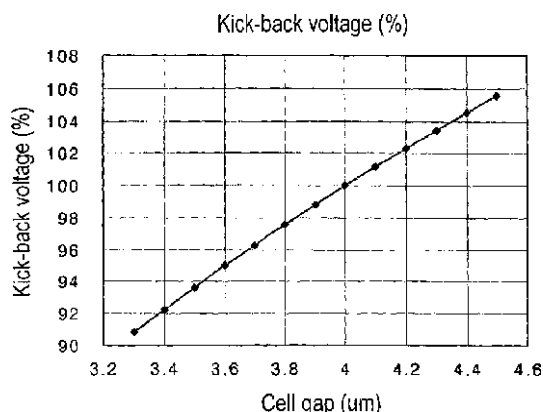
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動装置

(57) 【要約】

【課題】 階調毎に異なるキックバック電圧が発生する液晶表示装置においても、フリッカーの発生を均一に補償することができる液晶表示装置及びその駆動装置を提供する。

【解決手段】 互いに対向する第1基板及び第2基板；第1及び第2基板のうちの1つに形成されている画素電極、共通電極、及び保持容量電極を含み、液晶物質を媒介として画素電極と共通電極の間に液晶容量が形成され、絶縁層を媒介として画素電極と保持容量電極の間に保持容量が形成されるマルチセルギャップを有する液晶表示装置であって、特にセルギャップによって維持容量が可変する。



【特許請求の範囲】

【請求項 1】

互いに対向する第 1 基板及び第 2 基板と、
前記第 1 及び第 2 基板のうちの 1 つに形成されている画素電極、共通電極及び保持容量電極と、

を含み、液晶物質を媒介として画素電極と共通電極の間に液晶容量が形成され、絶縁層を媒介として画素電極と保持容量電極の間に保持容量が形成されるマルチセルギャップを有する液晶表示装置において、

前記セルギャップによって前記維持容量が異なる液晶表示装置。

【請求項 2】

10

前記セルギャップが小さい方の画素の保持容量が、セルギャップが大きい方の画素の保持容量よりも小さい請求項 1 に記載の液晶表示装置。

【請求項 3】

画素毎に前記液晶容量と前記保持容量の和が一定である請求項 1 に記載の液晶表示装置。

【請求項 4】

複数のゲート線及びデータ線が各々行方向及び列方向に形成され、前記ゲート線とデータ線の交差にて定義される領域に各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素が形成されている液晶パネルと、

20

前記ゲート線にゲート電圧を供給するスキャン駆動部と、
印加されるデータ信号に基づいて該当する階調電圧を前記データ線に供給するデータ駆動部と、

複数の階調電圧を生成して前記データ駆動部に供給する階調電圧発生部と、
を含み、前記階調電圧は正の階調電圧と負の階調電圧を含み、前記正の階調電圧と負の階調電圧の基準値が階調によって可変する液晶表示装置。

【請求項 5】

前記階調電圧発生部は、
印加される第 1 電圧と基準電圧の間に直列に形成された複数の抵抗を含み、複数の正の階調電圧を生成する第 1 抵抗列と、

前記基準電圧と印加される第 2 電圧の間に直列に形成された複数の抵抗を含み、複数の負の階調電圧を生成する第 2 抵抗列と、

30

前記第 1 電圧と第 2 電圧を分圧して基準電圧を生成し、前記第 1 及び第 2 抵抗列に供給する電圧調節部と、

を含み、前記基準電圧は階調によって可変する請求項 4 に記載の液晶表示装置。

【請求項 6】

前記基準電圧は $((\text{第 1 電圧} + \text{第 2 電圧}) / 2) + \alpha$ の値を有する請求項 5 に記載の液晶表示装置。

【請求項 7】

前記電圧調節部は、前記第 1 電圧と第 2 電圧の間に直列に形成されている少なくとも 2 つ以上の抵抗からなり、前記抵抗は互いに異なる値を持つ請求項 5 に記載の液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置 (liquid crystal display; 以下、LCD という) に関し、より詳細には、フリッカーを減少させるための液晶表示装置及びその駆動装置に関する。

【背景技術】

【0002】

TFT-LCD は、2 つの基板の間に注入されている異方性誘電率を有する液晶物質に電界を印加し、この電界の強さを調節して基板に透過する光の量を調節することによって

50

、所望の画像信号を得る表示装置である。

【0003】

このような TFT-LCD の基板には、互いに平行な複数のゲート線とこのゲート線に絶縁されて交差する複数のデータ線が形成され、これらゲート線とデータ線によって囲まれた領域は 1 つの画素を規定する。各画素のゲート線とデータ線が交差する部分には TFT が形成される。

【0004】

TFT-LCD において、各画素ごとに TFT のゲート電極、ソース電極、ドレイン電極は各々ゲート線、データ線、画素電極に連結され、画素電極と共通電極の間には液晶物質である液晶容量が形成される。そして、画素電極と前述したゲート線の間には保持容量が形成され、ゲート電極とドレイン電極の間には誤整列 (misalignment) 等に起因する寄生容量が生じる。

10

【0005】

このような TFT-LCD の動作に関して説明する。

【0006】

まず、表示しようとするゲート線に連結されたゲート電極にゲートオン電圧を印加して TFT を導通させた後、画像信号を表示するデータ電圧をソース電極に印加して、このデータ電圧をドレイン電極に印加するようにする。すると、前記データ電圧は画素電極を通じて各々液晶容量と保持容量に印加され、画素電極と共通電極の電位差によって電界が形成される。この時、液晶物質に同じ方向の電界が引続き印加されると液晶が劣化するので、LCD パネルでは液晶の劣化を防ぐために、画像信号を共通電極に対して正、負交互に駆動し、このような駆動方式を反転駆動方式という。

20

【0007】

一方、TFT がオン状態となった時、液晶容量及び保持容量に印加された電圧は TFT がオフの状態になってからも継続されなければならないが、ゲート電極とドレイン電極の間にある寄生容量のため、画素電極に印加された電圧が歪曲する。このような歪曲電圧をキックバック電圧 (kick-back) というが、このキックバック電圧 (ΔV) は次の数式によって求められる。

【0008】

【数 1】

$$\Delta V = \frac{C_{gd}}{C_{gd} + C_{st} + C_{lc}} \Delta V_g$$

30

ここで、 ΔV_g はゲート電圧の変化量 ($V_{gon} - V_{goff}$) を意味する。

【0009】

この電圧歪曲は、データ電圧の極性に関係なく常に画素電極の電圧を引き下げる方向に働く。

【0010】

理想の TFT-LCD では、ゲート電圧がオンである時にデータ電圧が画素電極に印加され、ゲート電圧がオフになってもデータ電圧を維持するが、実際の TFT-LCD では、ゲート電圧が変わる部分ではキックバック電圧 (ΔV) の影響で画素電圧がキックバック電圧だけ下方に下がる。

40

【0011】

一方、液晶に印加される電圧の実効値は、画素電圧と共通電圧の間の面積で決められるが、液晶表示装置を反転駆動方式によって駆動する場合は、共通電圧を中心に画素電圧の領域が対称になるように共通電圧レベルを調節する必要があり、そのために従来、画素電圧の領域が対称になる一定の共通電圧を共通電極に印加している。

【0012】

50

これは、共通電圧に対する各画素電圧の領域が対称でない場合、各画素に充電される画素電圧量がフレーム毎に差が生じて、画素電圧の反転時に画面のフリッカー（flicker）現象が発生するためである。

【0013】

フリッカー現象が発生すると、使用者の疲労感が増し、且つ残像が起こる深刻な問題点がある。特に、R、G、B間セルギャップの異なるマルチセルギャップ構造や液晶の誘電率が大きい場合、フリッカーがより著しく発生する。

【0014】

マルチセルギャップ構造では、R、G、B間セルギャップによって液晶容量が変わるので、前記数式1の関係に基づいて画素毎に異なるキックバック電圧が発生する。したがって、特定階調を基準としてフリッカーの発生が最小になるように条件を設定すれば、他の階調ではフリッカーが発生してしまう。

【0015】

そして、大部分の液晶表示装置において階調によって液晶容量が変わるので、階調によってキックバック電圧が異なり、フリッカーの発生を均一に補償できない。

【発明の開示】

【発明が解決しようとする課題】

【0016】

したがって、本発明が目的とする技術的課題は、前記の問題点を解決するために、階調毎にキックバック電圧が異なって発生する液晶表示装置において、全画面にかけてフリッカーを除去することにある。

【課題を解決するための手段】

【0017】

このような技術的課題を達成するための本発明の特徴による液晶表示装置は、互いに向する第1基板及び第2基板；前記第1及び第2基板のうちの1つに形成されている画素電極、共通電極、及び保持容量電極を含み、液晶物質を媒介として画素電極と共通電極の間に液晶容量が形成され、絶縁層を媒介として画素電極と保持容量電極の間に保持容量が形成されているマルチセルギャップを有する液晶表示装置において、前記セルギャップによって前記維持容量が異なる。

【0018】

ここで、セルギャップが小さい方の画素の保持容量が、セルギャップが大きい方の画素の保持容量よりも小さい。特に、画素毎に前記液晶容量と前記保持容量の和が一定である。

【0019】

本発明の他の特徴による液晶表示装置の駆動装置は、複数のゲート線及びデータ線が各々行方向及び列方向に形成され、前記ゲート線とデータ線の交差にて定義される領域に各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素が形成されている液晶表示装置の駆動装置において、前記ゲート線にゲート電圧を供給するスキャン駆動部；印加されるデータ信号に基づいて該当する階調電圧を前記データ線に供給するデータ駆動部；及び複数の階調電圧を生成して前記データ駆動部に供給する階調電圧発生部を含み、前記階調電圧は正の階調電圧と負の階調電圧を含み、前記正の階調電圧と負の階調電圧の基準値が階調によって可変する。

【0020】

ここで、階調電圧発生部は、印加される第1電圧と基準電圧の間に直列に形成された複数の抵抗を含み、複数の正の階調電圧を生成する第1抵抗列；前記基準電圧と印加される第2電圧の間に直列に形成された複数の抵抗を含み、複数の負の階調電圧を生成する第2抵抗列；及び前記第1電圧と第2電圧を分圧し基準電圧を生成して前記第1及び第2抵抗列に供給する電圧調節部を含み、前記基準電圧は階調によって可変する。特に、前記基準電圧は、 $\left(\left(\text{第1電圧} + \text{第2電圧} \right) / 2 \right) + \alpha$ の値を有する。

【0021】

10

20

30

40

50

一方、前記階調電圧発生部の電圧調節部は、前記第 1 電圧と第 2 電圧の間に直列に形成されている少なくとも 2 つ以上の抵抗からなり、前記抵抗は互いに異なる値を有する。

【発明の効果】

【0022】

本発明によれば、階調毎に異なったキックバック電圧が発生する液晶表示装置においても、フリッカーの発生を均一に補償することができる。よって、一層向上した画質の画面を提供することができる。

【発明を実施するための最良の形態】

【0023】

以下、図面を参照して本発明の実施例に対して詳細に説明する。

10

【0024】

本発明の第 1 実施例では、マルチセルギャップ構造からなる液晶表示装置におけるフリッカーの除去に対して説明する。図 1 は、マルチセルギャップによって発生するキックバック電圧の変化を示すグラフである。

【0025】

図 1 に示すように、セルギャップの大きさが異なる液晶表示装置では、セルギャップの大きさが大きくなるほどキックバック電圧が大きくなることが分かる。このようなキックバック電圧は、数式 1 のように、液晶容量 (C_{lc}) や保持容量 (C_{st}) によってその値が可変するためである。

【0026】

20

これを克服するためには、数式 1 の分母値が液晶容量 (C_{lc}) に関係なく同じであれば良い。即ち、液晶容量 (C_{lc}) + 保持容量 (C_{st}) の値が一定であれば分母値が一定となり、発生するキックバック電圧値もどこでも同一になる。

【0027】

このように液晶容量 (C_{lc}) + 保持容量 (C_{st}) の値が一定値を持つためには、セルギャップに応じて保持容量 (C_{st}) の値も可変する必要がある。

【0028】

図 2 は、マルチセルギャップに応じて可変する液晶容量 (C_{lc}) と保持容量 (C_{st}) の関係を示すグラフである。

【0029】

30

図 2 のグラフから分かるように、液晶容量 (C_{lc}) と保持容量 (C_{st}) の容量の和が定数であるためには、2 つの容量が互いに反対値を持つように形成される必要がある。したがって、マルチセルギャップ構造では、セルギャップが低い方の画素は、相対的にセルギャップが高い方の画素よりも保持容量 (C_{st}) を低く形成されなければならない。

【0030】

図 3 は、本発明の第 1 実施例による液晶表示装置を正面から見た時の断面図であり、図 4 は図 3 に示す IV-IV' 線による断面図である。

【0031】

図 3 及び図 4 のように、本発明の実施例による液晶表示装置では、薄膜トランジスタ基板 100 及び色フィルター基板 200 を配設し、2 つの基板間に液晶物質 30 を注入して、それに含まれている液晶分子の方向子を垂直に配向し、2 つの偏光板 12、22 を 2 つの基板 100、200 の外部にその偏光軸が互いに直交するように配置する。

40

【0032】

2 つの基板 100、200 が整列された状態で、薄膜トランジスタ基板の画素電極 190 の各小部分 91、92、93 と色フィルター基板の共通電極 270 上に形成されている第 1 ~ 第 3 開口部 271、272、273 が重畳した状態となり、画素領域が複数の小ドメインに分割される。この時、画素電極 190 の各小部分 91、92、93 は 2 つの長辺と 2 つの短辺からなり、各小部分の長辺はデータ線 170 もしくはゲート線 120 と並び、偏光板の偏光軸とは 45° をなす。ここで、データ線 170 やゲート線 120 と隣り合うように画素電極 190 の各小部分 91、92、93 の長辺が位置する場合は、データ線

50

170と長辺の間及びゲート線120と長辺の間に保持容量線130や保持容量電極133A、133B、133C、133Dを配置する。

【0033】

一方、液晶物質30は共通電極270と画素電極190の間に注入されており、本発明の実施例では、R、G、B色フィルター230A、230B、230Cの厚さが各々異なるため、共通電極270と画素電極190の間隔もR、G、B画素領域で各々異なる。即ち、R、G、B画素領域のセルギャップが各々異なる。例えば、R画素領域のセルギャップ(Rセルギャップ)が最も大きく、G画素領域のセルギャップ(Gセルギャップ)がその次であり、B画素領域のセルギャップ(Bセルギャップ)が最も小さい。この時、RセルギャップとGセルギャップの平均値に比べてBセルギャップが $0.2 \pm 0.15 \mu\text{m}$ 10 だけさらに小さい。

【0034】

このように、R、G、B画素領域のセルギャップが互いに異なるマルチセルギャップ構造の液晶表示装置において、本発明の第1実施例では、画素電極と保持容量電極の重畳(over lap)面積を調節して、セルギャップの大きさに応じて保持容量(Cst)値を変更可能となるようにする。

【0035】

即ち、図3及び図4に示すように、セルギャップが最も小さいB画素領域における画素電極91と保持容量電極133A、133Dの重畳面積に比べて、その次にセルギャップが小さいG画素領域における画素電極91と保持容量電極133A、133Dの重畳面積を大 20 大きくし、そして、G画素領域における画素電極91と保持容量電極133A、133Dの重畳面積に比べて、セルギャップが最も大きいR画素領域における画素電極91と保持容量電極133A、133Dの重畳面積をより大きくし、セルギャップが大きい方の画素領域では相対的にセルギャップが小さい方の画素よりも保持容量(Cst)を大きく形成する。

【0036】

例えば、図2のように、セルギャップによる保持容量(Cst)の差は、約 $4.0 \mu\text{m}$ セルギャップ付近では約 $2.5\% \pm 1\% / 0.1 \mu\text{m}$ である。即ち、RGB間に $0.2 \mu\text{m}$ セルギャップの段差を与える場合、約5%の保持容量(Cst)値の差を付与する必要があることが分かる。

【0037】

このような第1実施例によれば、マルチセルギャップ構造においても、液晶容量(Clc)と保持容量(Cst)の和が一定値を持つことによって、キックバック電圧値がどこでも同一になり、フリッカー現象を防止できる。一方、本実施例では、基板全体にかけて保持容量電極と画素電極の重畳程度を調節したが、基板の上部または下部に形成された保持容量電極の面積を調節して画素電極との重畳程度を調節することもできる。

【0038】

次に、本発明の第2実施例に基づいてフリッカーを除去するための構造について説明する。

【0039】

本発明の第2実施例では、液晶に印加される電圧を調節して液晶容量(Clc)を可変に 40 して、異なったキックバック電圧を発生させる。

【0040】

具体的に、液晶は異方性誘電体であるため、液晶の方向子(director)方向によって誘電率が変わる。したがって、液晶に印加される電圧が可変すれば、セル内部の液晶容量(Clc)の値が変わる。

【0041】

図5aは印加電圧による液晶の透過率と液晶容量(Clc)関係を示すグラフであり、図5bは印加電圧によるキックバック電圧の変化量を示すものである。

【0042】

図5aから分かるように、液晶に印加される電圧が高くなるほど液晶の透過率も増加し 50

、液晶容量 (C_{lc}) も増加する。したがって、階調によって液晶容量が変化し、その結果キックバック電圧が変化する。図 5 b のように、印加電圧に応じてキックバック電圧が概ね 17 % 以上変化する。この結果は、PVA (patterned vertically aligned) 液晶表示装置に対して測定されたものであり、TN (twisted nematic) 液晶表示装置のように誘電率異方性が大きい場合は一層大きくなる。

【0043】

このようなキックバック電圧を補正するために、共通電圧を特定電圧に固定すれば、その階調ではフリッカーがほとんど発生しないが、他の階調では依然としてフリッカーが発生する。図 6 は、このようなフリッカー発生例を示すものである。即ち、図 6 のように、共通電圧を特定電圧に合せば、キックバック電圧と一致する部分はフリッカーがほとんど発生しないが、この部分を中心に両側に行くほどフリッカーは益々増加する。

10

【0044】

このようなフリッカー発生を防止するために、本発明の第 2 実施例では、階調電圧を調節することによって階調毎にキックバック電圧が均一に発生するようにする。

【0045】

図 7 は本発明の第 2 実施例による液晶表示装置の構造を示すものである。

【0046】

図 7 に示したように、本発明の第 2 実施例による液晶表示装置は、LCD パネル 1、ゲート駆動部 2、データ駆動部 3、駆動電圧発生部 4、タイミング制御部 5、階調電圧発生部 6 を含む。

20

【0047】

データ駆動部 3 はソース駆動部とも言い、LCD パネル 1 内の各画素に伝達される電圧値を 1 ラインずつ下げる役割をする。より詳細には、データ駆動部 3 は、後述するタイミング制御部 5 から送られるデジタルデータをデータ駆動部内のシフトレジスタ内に保存し、データを LCD パネル 1 に送ることを命令する信号 (LOAD 信号) が出力されれば、それぞれのデータに該当する電圧を選択し、LCD パネル 1 内に該電圧を伝達する役割をする。

【0048】

ゲート駆動部 2 はスキャン駆動部とも言い、データ駆動部 3 からのデータが画素に伝達されるように道を提供する役割をする。LCD パネル 1 の各画素は、スイッチ役割をする TFT によってオンもしくはオフとなるが、この TFT のオン及びオフは、ゲートに一定電圧 (Von、Voff) が印加されることによって行なわれる。

30

【0049】

このようにゲートをオンとする Von 電圧とゲート信号をオフとする Voff 電圧は、駆動電圧発生部 4 で生成される。駆動電圧発生部 4 は、前記 Von、Voff 電圧だけでなく、TFT 内のデータ電圧差の基準となる Vcom 電圧も生成する。

【0050】

タイミング制御部 5 は、データ駆動部 3 及びゲート駆動部 2 を駆動するためのデジタル信号などを生成し、具体的には前記駆動部 2、3 に入力される信号の生成、データのタイミング調節、クロック調節などの役割をする。

40

【0051】

そして、階調電圧発生部 6 は、データ駆動部 3 に入力される階調電圧を生成し、特に本発明の第 2 実施例では、階調毎に正の階調電圧と負の階調電圧が互いに対称しないように階調電圧を生成してデータ駆動部 3 に供給する。

【0052】

図 8 は、本発明の第 2 実施例に基づく階調電圧発生部の概念的構造図である。

【0053】

図 8 に示すように、本発明の第 2 実施例による階調電圧発生部 6 は、正 (positive) の階調電圧を発生する複数の第 1 抵抗列 61 と、第 1 抵抗列 61 と直列連結されていて負 (negative) の階調電圧を発生する複数の第 2 抵抗列 62 からなる。

50

【 0 0 5 4 】

第 1 抵抗列 6 1 は、液晶の正極性充電のための複数の階調電圧を生成するために、外部から印加される第 1 電圧と基準電圧の間に複数の抵抗 ($R_0 \sim R_n$) が直列連結されたものであって、第 1 電圧 (V_{DD}) と各抵抗の間の接点が $V(1) \sim V(n)$ 階調電圧となる。

【 0 0 5 5 】

第 2 抵抗列 6 2 は、液晶の負極性充電のための複数の階調電圧を生成するために、基準電圧と第 2 電圧の間に複数の抵抗 ($R'_0 \sim R'_{n+1}$) が直列連結されたものであって、基準電圧と各抵抗の間の接点が $V'(1) \sim V'(n)$ 階調電圧となる。

【 0 0 5 6 】

このような構造において、1 階調に対する正の階調電圧と負の階調電圧が互いに非対称的な値を持つようにするためには、第 1 抵抗列 6 1 の特定抵抗 R_i と第 2 抵抗列 6 2 の特定抵抗 R'_i の値が互いに異なる値を持つ必要がある。しかし、第 1 及び第 2 抵抗列 6 1、6 2 の対応する抵抗 R_i 及び R'_i の値を調節することは容易でないので、本発明の実施例では、第 1 抵抗列 6 1 と第 2 抵抗列 6 2 の間に印加される基準電圧を調節して、1 階調に対する正の階調電圧と負の階調電圧が互いに非対称的な値を持つようにする。 10

【 0 0 5 7 】

このために、本発明の第 2 実施例では、第 1 抵抗列 6 1 と第 2 抵抗列 6 2 の間に安定した基準電圧を生成して供給する電圧調節部 6 3 が並列に形成されている。

【 0 0 5 8 】

電圧調節部 6 3 は、印加される電圧を分圧して第 1 抵抗列 6 1 と第 2 抵抗列 6 2 の間に基準電圧を提供する第 1 及び第 2 分圧抵抗 (R_c 、 R'_c) を含む。ここで、第 1 分圧抵抗 (R_c) と、第 2 分圧抵抗 (R'_c) が互いに異なる値を有し、例えば次の関係を満足する値を有する。 20

【 0 0 5 9 】

【 数 2 】

$$R'_c > R_c$$

したがって、基準電圧は $((\text{第 1 電圧} + \text{第 2 電圧}) / 2) + \alpha$ である。ここで、 α は概ね V_{kb} (第 1 階調におけるキックバック電圧 - ホワイト階調におけるキックバック電圧) の $1/2 \sim 3$ 倍の値を持つ。 30

【 0 0 6 0 】

図 9 a は従来階調電圧の発生例である。図 9 b はこのような本発明の第 2 実施例による階調電圧の発生例である。

【 0 0 6 1 】

図 9 a に示すように、従来は、第 1 電圧と第 2 電圧の $1/2$ の電圧が基準電圧として印加され、第 1 抵抗列 6 1 と第 2 抵抗列 6 2 によって生成される複数の階調電圧が互に対称になるようにした。

【 0 0 6 2 】

ところが、本発明の第 2 実施例では、図 9 b のように、液晶の正極性充電及び負極性充電のための複数の階調電圧を生成する第 1 抵抗列 6 1 と第 2 抵抗列 6 2 の基準電圧を第 1 電圧と第 2 電圧の $1/2$ 電圧よりも大きくし、第 1 抵抗列 6 1 と第 2 抵抗列 6 2 によって生成される複数の階調電圧などが互に対称にならず、階調毎に互いに異なる。 40

【 0 0 6 3 】

このような概念的構造に基づいて、実際液晶表示装置に適用される階調電圧発生部を構成すれば、図 10 のような回路が実現する。

【 0 0 6 4 】

具体的に、第 1 抵抗列 6 1 は、互いに直列連結された複数の抵抗列 ($R_0 \sim R_8$) からなり、各抵抗間の接点を通じて複数の正の階調電圧 ($V_0 \sim V_7$) が出力される。このために、各 50

抵抗間の接点にはキャパシター（C0～C7）が並列連結される。ここで、外部から印加される第1電圧（RVDD）がV0電圧として出力され、また、外部から印加されるVFD電圧がV7電圧として出力される。

【0065】

なお、第2抵抗列62は、互いに直列連結された複数の抵抗列（R9～R18）からなり、各抵抗間の接点を通じて複数の正の階調電圧（V8～V16）が出力される。このために、各抵抗間の接点にはキャパシター（C8～C15）が並列連結される。ここで、外部から印加されるVFD電圧がV8電圧として出力され、また、抵抗R17と抵抗R18の間の電圧がV16電圧として出力される。

【0066】

一方、電圧調節部63は、第1電圧（RVDD）と第2電圧（例：接地電圧）の間に互いに直列連結された第1及び第2分圧抵抗（Rc1、Rc2）と、第1及び第2分圧抵抗（Rc1、Rc2）の接点に並列連結されたキャパシター（C）と、前記接点に連結された抵抗（Rc3）を含む。したがって、第1電圧（AVDD）と第2電圧の間の電圧が、第1及び第2分圧抵抗（Rc1、Rc2）によって分圧されてキャパシター（C）に保存され、以降キャパシター（C）に保存された電圧が抵抗（Rc3）を通り、基準電圧として第1抵抗列61と第2抵抗列62の間の接点に印加される。この時、第1分圧抵抗（Rc1）と第2分圧抵抗（Rc'）の抵抗値が互いに異なるため、第1電圧（RVDD）と第2電圧の1/2電圧よりも大きい電圧が基準電圧として印加される。

【0067】

したがって、第1抵抗列61は、第1電圧（RVDD）と電圧調節部63から印加される基準電圧を分圧して複数の正の階調電圧（V0～V7）を生成し、第2抵抗列62は、基準電圧と第2電圧を分圧して複数の負の階調電圧（V8～V16）を生成する。この時、基準電圧によって正の階調電圧（V0～V7）と負の階調電圧（V8～V16）が互に対称ではない。

【0068】

図11はこのような本発明の第2実施例によるフリッカー補償例を示すものである。本発明の第2実施例によれば、図11のように、低階調から高階調へ行くほど正の階調電圧及び負の階調電圧の中心値が変化する。即ち、高階調では低い値に、低階調では高い値に変化することが分かる。このような中心値の変化量を示す直線を直線方程式（ $y=ax+b$ ）で表す時、勾配（a）は電圧調節部63の第2分圧抵抗（Rc'）の大きさによって決定され、y切片（b）は共通電極電圧によって決定される。即ち、第2分圧抵抗（Rc'）と共通電極電圧を調節して、各階調毎に発生するフリッカーの発生量を調節できる。

【0069】

このような第2実施例に基づいて、階調毎に異なるキックバック電圧が発生する液晶表示装置でも全画面にかけてフリッカーを除去することができる。

【0070】

一方、印加電圧によるキックバック電圧の発生量は、図6に示されるように、単純直線状ではなく、かなり歪曲された曲線状で示される。この場合、フリッカーをより正確に調節するために、第2実施例において、正の階調電圧と負の階調電圧の中心値の変化量を示す直線を1つのみでなく、1つ以上、例えば歪曲程度によってそれぞれ異なる勾配を示す3つ程度の直線で表すこともできる。

【0071】

図12はこのような本発明の第3実施例による階調電圧生成のための階調電圧発生部の構造を示すものである。図13は第3実施例によるフリッカー補償例を示すものである。

【0072】

図12に示すように、第2実施例と同様に、第1抵抗列61と第2抵抗列62が形成され、第2実施例とは異なって、電圧調節部63で発生する基準電圧が1つ以上発生し、各々第1抵抗列61もしくは第2抵抗列62の任意抵抗間の接点に提供される。

【0073】

このために、電圧調節部63は3個以上の分圧抵抗を含み、本実施例では、第1電圧（

10

20

30

40

50

RVDD)と第2電圧の間に4個の分圧抵抗が直列連結されており、第1分圧抵抗(R_c)と第2分圧抵抗($R_{c'1}$)の間の接点を通じて第1基準電圧が生成され、第2分圧抵抗($R_{c'1}$)と第3分圧抵抗($R_{c'2}$)の間の接点を通じて第2基準電圧が生成され、第3分圧抵抗($R_{c'2}$)と第4分圧抵抗($R_{c'3}$)の間の接点を通じて第3基準電圧が生成され、第1抵抗列61もしくは第2抵抗列62に提供される。

【0074】

図12のように、第1基準電圧は第1抵抗列61と第2抵抗列62の間の接点に提供され、第2基準電圧及び第3基準電圧は第2抵抗列62の抵抗のうちの任意抵抗の間の接点に各々提供される。したがって、各階調毎に第1基準電圧によって第1抵抗列61と第2抵抗列62で各々生成される正の階調電圧と負の階調電圧が対称でない値を持つようになり、また第2基準電圧及び第3基準電圧によって第2抵抗列62で生成される複数の負の階調電圧が互いに異なる値を持つようになる。

10

【0075】

その結果、図13のように、正の階調電圧と負の階調電圧の中心値変化量を示す直線が互いに勾配が異なる3つ程度の直線で形成される。ここで、 $R_c = R_{c'1} + R_{c'2} + R_{c'3} + \alpha$ であり、第2～第4分圧抵抗($R_{c'1}$ 、 $R_{c'2}$ 、 $R_{c'3}$)の大きさは、図13に示す各直線の勾配によって決定される。

【0076】

そして、第2及び第3基準定圧が印加される第2抵抗列62の地点は、CV曲線、即ち印加電圧によるキックバック電圧発生量を示す曲線によって変わる。

20

【0077】

一方、本実施例では、負の階調電圧を生成する第2抵抗列に互いに異なる値を持つ複数の基準電圧を供給して、正の階調電圧と負の階調電圧が非対称的な値を持つようにすることに対して記述したが、これとは異なって、特定値を持つ第1基準電圧が第1抵抗列と第2抵抗列の間に印加されるようにしつつ、互いに異なる値を持つ複数の基準電圧が第1抵抗列に印加されるようにすることもできる。

【0078】

前記第2実施例及び第3実施例によれば、既存階調電圧発生部の抵抗値を変更しなくても、所望の形態の非対称的な正の階調電圧と負の階調電圧を生成することができる。

【0079】

以上、本発明の実施例に対して説明したが、本発明は前記実施例に限定されず、その他の様々な変形や変更が可能である。

30

【図面の簡単な説明】

【0080】

【図1】マルチセルギャップによって発生するキックバック電圧の変化を示すグラフである。

【図2】マルチセルギャップによって可変する液晶容量と保持容量の関係を示すグラフである。

【図3】本発明の第1実施例による液晶表示装置を正面から見た時の断面図である。

【図4】図3に示すIV-IV'線による断面図である。

40

【図5a】印加電圧による液晶の透過率と液晶容量(Cl_c)の変化を示すグラフである。

【図5b】印加電圧によるキックバック電圧の変化量を示すグラフである。

【図6】フリッカー発生例を示すグラフである。

【図7】本発明の第2実施例による液晶表示装置の構造である。

【図8】本発明の第2実施例による階調電圧発生部の概念的構造図である。

【図9a】従来の階調電圧発生例を示すものである。

【図9b】本発明の第2実施例による階調電圧発生例を示すものである。

【図10】本発明の第2実施例による階調電圧発生部の詳細回路図である。

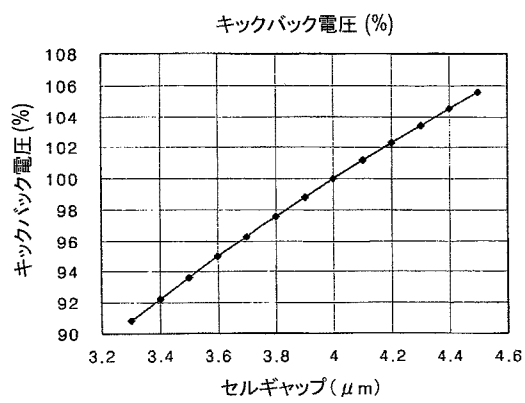
【図11】本発明の第2実施例によるフリッカー補償例を示すグラフである。

【図12】本発明の第3実施例による階調電圧発生部の概念的構造図である。

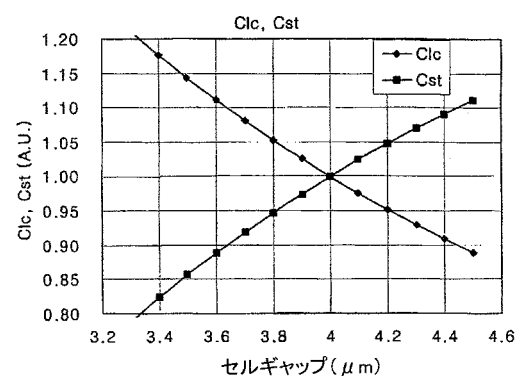
50

【図 1 3】本発明の第 3 実施例によるフリッカー補償例を示すグラフである。

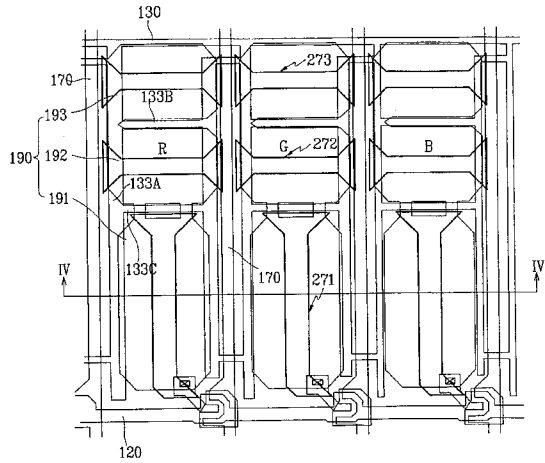
【図 1】



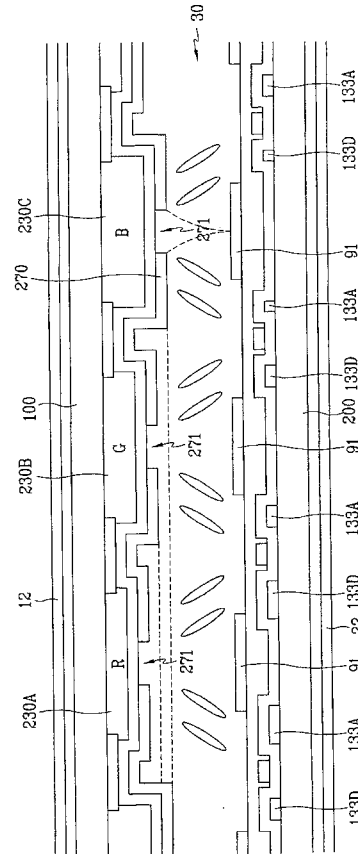
【図 2】



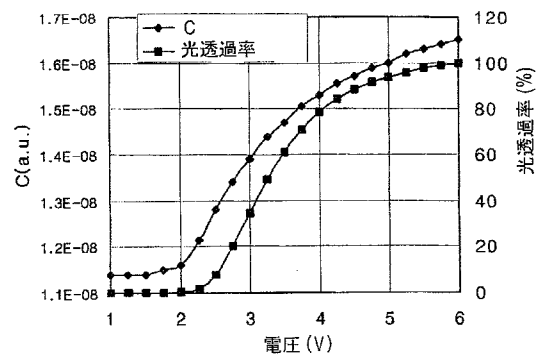
【図 3】



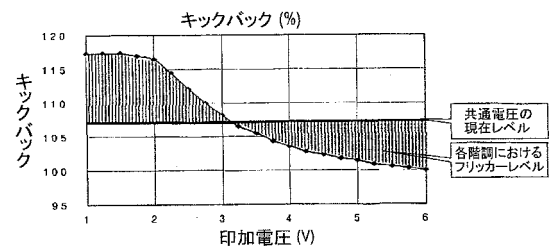
【図 4】



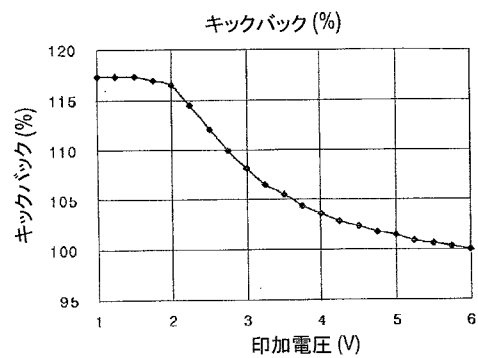
【図 5 a】



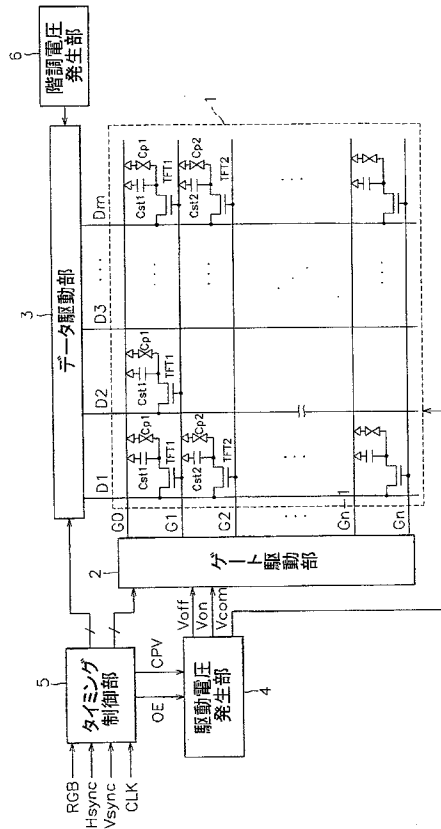
【図 6】



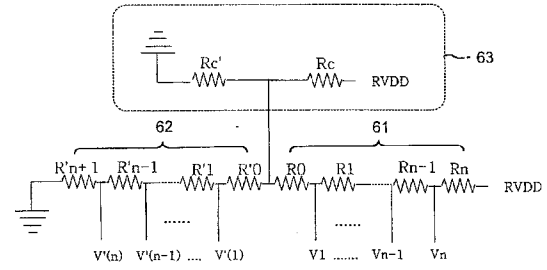
【図 5 b】



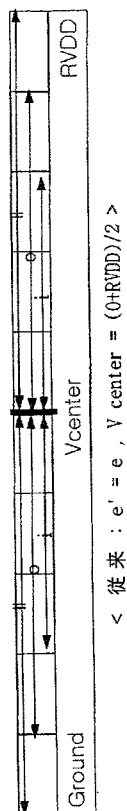
【図 7】



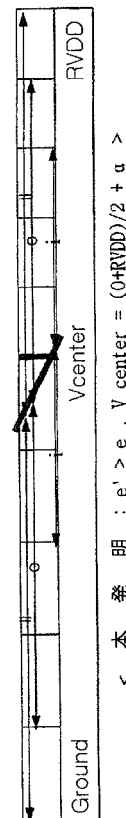
【図 8】



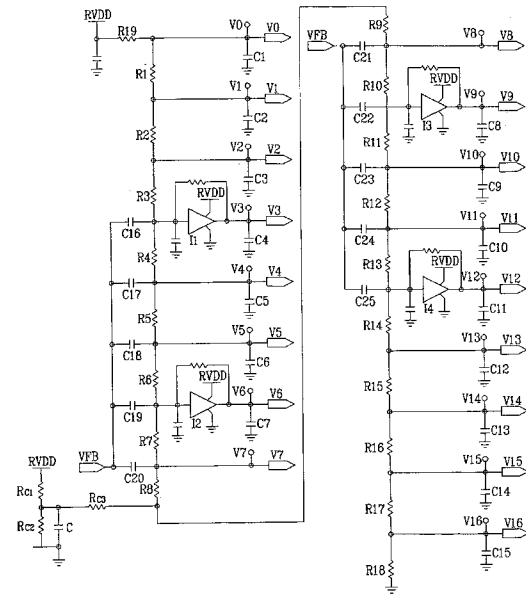
【図 9 a】



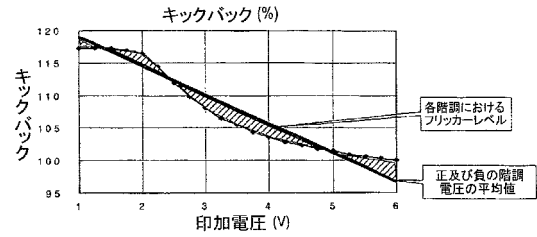
【図 9 b】



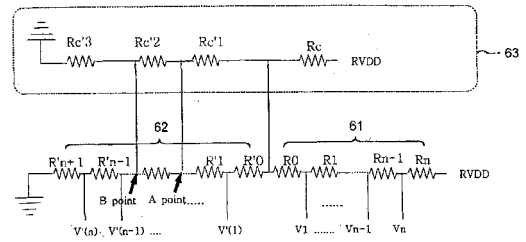
【図 10】



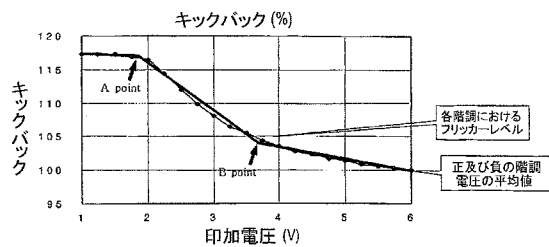
【図 11】



【図 12】



【図 13】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR02/02068

A. CLASSIFICATION OF SUBJECT MATTER		
IPC7 G02F 1/133		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC7 G02F, G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Korean Patents and applications for inventions since 1975		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
NPS: "flicker", "kickback"		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-147460 A (Samsung electronics co. Ltd.) 26 May 2000 *the whole document*	1
A	JP 5-216442 A (Toshiba Corp.) 27 August 1993 *the whole document*	1
A	JP 2002-72989 A (Matsushita electric Ind. co. Ltd.) 12 March 2002 *the whole document*	1
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 FEBRUARY 2003 (27.02.2003)		Date of mailing of the international search report 27 FEBRUARY 2003 (27.02.2003)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 920 Dunsan-dong, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer KOH, Jong Wook Telephone No. 82-42-481-5989 

INTERNATIONAL SEARCH REPORT

International application No. PCT/KR02/02068

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 2000-147460 A	26-05-2000	None	
JP 5-216442 A	27-08-1993	None	
JP 2002-72989 A	12-03-2002	WO 0196937 A1 US 20020154084 A1 CN 1383497 T	20-12-2001 24-10-2002 04-12-2002

フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/36

F I

G 0 9 G 3/20 6 1 1 E
 G 0 9 G 3/20 6 1 2 F
 G 0 9 G 3/20 6 2 3 F
 G 0 9 G 3/20 6 4 1 C
 G 0 9 G 3/36

テーマコード(参考)

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,N Z,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ソン, ジャン - クン

大韓民国, 1 3 7 - 7 7 8 ソウル, ソチョ - グ, ソチョ 4 - ドン, サミク アパート 5 - 2 0
 1

Fターム(参考) 2H089 QA16 SA01 TA05 TA09 TA12
 2H092 JA24 JB65 JB67 NA25 PA08 QA07
 2H093 NA16 NA53 NA62 NB07 NC04 NC34 ND06 ND10 ND17
 5C006 AA16 AC11 AC21 AC24 AF51 AF52 AF53 AF83 BB16 BC03
 BC12 BC20 BF25 BF43 EB04 FA23 FA56
 5C080 AA10 BB05 DD04 DD06 DD26 EE29 FF11 JJ02 JJ03 JJ05
 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2005521901A5	公开(公告)日	2006-01-05
申请号	JP2003580938	申请日	2002-11-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	ソンジャンクン		
发明人	ソン,ジャン-クン		
IPC分类号	G02F1/1333 G02F1/133 G02F1/1343 G02F1/1368 G09G3/20 G09G3/36		
CPC分类号	G02F1/136213 G02F1/133371		
FI分类号	G02F1/1333 G02F1/133.550 G02F1/133.575 G02F1/1343 G02F1/1368 G09G3/20.611.E G09G3/20.612.F G09G3/20.623.F G09G3/20.641.C G09G3/36		
F-TERM分类号	2H089/QA16 2H089/SA01 2H089/TA05 2H089/TA09 2H089/TA12 2H092/JA24 2H092/JB65 2H092/JB67 2H092/NA25 2H092/PA08 2H092/QA07 2H093/NA16 2H093/NA53 2H093/NA62 2H093/NB07 2H093/NC04 2H093/NC34 2H093/ND06 2H093/ND10 2H093/ND17 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC24 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF25 5C006/BF43 5C006/EB04 5C006/FA23 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD04 5C080/DD06 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06		
优先权	1020020017007 2002-03-28 KR		
其他公开文献	JP2005521901A		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动装置，即使在为每个灰度产生不同的反冲电压的液晶显示装置中，也能够均匀地补偿闪烁的发生。第一基板和第二基板彼此面对;形成在第一和第二基板之一上的公共电极和存储电容器电极，在像素电极和公共电极之间以液晶物质作为中间体和绝缘层形成液晶电容一种具有多单元间隙的液晶显示装置，其中在像素电极和存储电容器电极之间形成存储电容器存储容量发生变化，尤其是单元间隙。