

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2004-20687

(P2004-20687A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int.Cl.⁷

F I

テーマコード (参考)

G02F 1/1343

G O 2 F 1/1343

2H092

GO2F 1/1368

G O 2 F 1/1368

5 C 0 9 4

G O 9 F 9/30

G09F 9/30 338

5 F 1 1 0

H O 1 L 21/336

HO 1 L 29/78 6 1 2 Z

H O 1 L 29/786

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号 特願2002-172491 (P2002-172491)

(22) 出願日 平成14年6月13日 (2002. 6. 13)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100073221

弁理士 花輪 義男

(72) 発明者 中村 やよい

東京都八王子市石川町2951番地の5

カシオ計算機株式

会社八王子研究所内

(72) 發明者 石井 裕満

東京都八王子市石川町2951番地の5

カシオ計算機株式

会社八王子研究所内

最終頁に続く

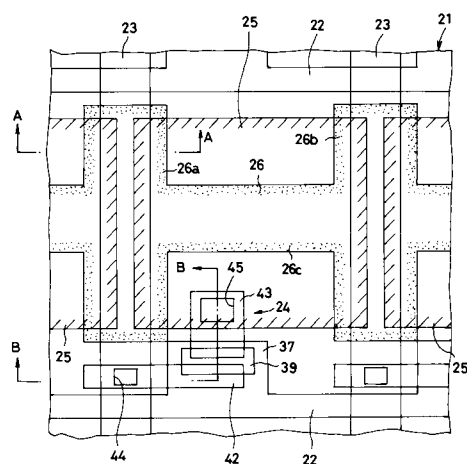
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】高開口率化のために、画素電極のエッジをデータラインと重ね合わせたアクティブマトリクス型の液晶表示装置において、データラインと画素電極との重合部分に結合容量が発生するのを防止する。

【解決手段】ガラス基板 2 1 上にはデータライン 2 3、絶縁膜、補助容量電極 2 6、絶縁膜および画素電極 2 5 がこの順で設けられている。そして、ほぼ H 字形状の補助容量電極 2 6 の電極部 2 6 a、2 6 b は、データライン 2 3 の画素電極 2 5 との重合部と画素電極 2 5 のデータライン 2 3 との重合部との間に配置されている。これにより、データライン 2 3 と画素電極 2 5 との重合部分に結合容量が発生するのを防止することができる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

マトリクス状に設けられた走査ラインおよびデータラインと、前記データラインと対応する部分のエッジを前記データラインと重ね合わされて設けられた画素電極と、前記データラインの前記画素電極との重合部と前記画素電極の前記データラインとの重合部との間に設けられた導電層とを備えていることを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の発明において、前記導電層の前記データラインと重ね合わされた部分の幅は前記データラインの幅よりも広がっていることを特徴とする表示装置。

【請求項 3】

請求項 1 または 2 に記載の発明において、前記導電層は透明導電材料によって形成されていることを特徴とする表示装置。

【請求項 4】

請求項 1 または 2 に記載の発明において、前記導電層は非透明導電材料によって形成されていることを特徴とする表示装置。

【請求項 5】

請求項 1 ～ 4 のいずれかに記載の発明において、前記導電層は、前記画素電極と重ね合わされた部分により補助容量部を形成する補助容量電極であることを特徴とする表示装置。

【請求項 6】

請求項 5 に記載の発明において、前記データライン上に絶縁膜を介して薄膜トランジスタのドレイン電極が設けられ、該ドレイン電極は前記絶縁膜に形成されたコンタクトホールを介して前記データラインに接続されていることを特徴とする表示装置。

【請求項 7】

請求項 6 に記載の発明において、前記補助容量電極上に絶縁膜が設けられ、該絶縁膜上に前記薄膜トランジスタのゲート電極が設けられていることを特徴とする表示装置。

【請求項 8】

請求項 6 に記載の発明において、前記補助容量電極と前記薄膜トランジスタのゲート電極とは同一の平面上に設けられていることを特徴とする表示装置。

【請求項 9】

請求項 5 に記載の発明において、前記データラインが設けられた面上に薄膜トランジスタのドレイン電極が前記データラインに接続されて設けられていることを特徴とする表示装置。

【請求項 10】

請求項 7 ～ 9 のいずれかに記載の発明において、前記薄膜トランジスタ上に別の絶縁膜を介して前記画素電極が設けられ、該画素電極は前記別の絶縁膜に形成されたコンタクトホールを介して前記薄膜トランジスタのソース電極に接続されていることを特徴とする表示装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は液晶表示装置等の表示装置に関する。

【0002】**【従来の技術】**

例えばアクティブマトリクス型の液晶表示装置には、高開口率化を図ったものがある。図 15 は従来のこのような液晶表示装置における薄膜トランジスタパネルの一例の一部の透過平面図を示したものである。この薄膜トランジスタパネルはガラス基板 1 を備えている。ガラス基板 1 の上面側には走査ライン 2 およびデータライン 3 がマトリクス状に設けられ、その各交点近傍には薄膜トランジスタ 4 および画素電極 5 が設けられている。図を明確にする目的で、各画素電極 5 の縁部に斜めの短い実線のハッチングが記入されている。

【0003】

10

20

30

40

50

この場合、方形状の画素電極 5 の左右両側のエッジはその左右両側のデータライン 3 に重ね合わされている。これにより、画素電極 5 のうち、その左右両側のデータライン 3 形成領域および薄膜トランジスタ 4 形成領域を除く領域が実質的な画素領域となり、開口率を大きくすることができる。

【 0 0 0 4 】

次に、この薄膜トランジスタパネルの具体的な構造について説明する。図 1 6 は図 1 5 の C - C 線および D - D 線に沿う断面図を示したものである。この場合、図 1 6 の左側はデータライン等形成領域の断面図であり、図 1 6 の右側は薄膜トランジスタ等形成領域の断面図である。ガラス基板 1 の上面の所定の箇所にはゲート電極 6 を含む走査ライン 2 が設けられている。ゲート電極 6 および走査ライン 2 を含むガラス基板 1 の上面にはゲート絶縁膜 7 が設けられている。

10

【 0 0 0 5 】

ゲート電極 6 上におけるゲート絶縁膜 7 の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜 8 が設けられている。ゲート電極 6 上における半導体薄膜 8 の上面の所定の箇所にはチャネル保護膜 9 が設けられている。チャネル保護膜 9 の上面両側およびその両側における半導体薄膜 8 の上面には n 型アモルファスシリコンからなるオーミックコンタクト層 1 0、1 1 が設けられている。オーミックコンタクト層 1 0、1 1 の上面にはドレイン電極 1 2 およびソース電極 1 3 が設けられている。

【 0 0 0 6 】

そして、ゲート電極 6、ゲート絶縁膜 7、半導体薄膜 8、チャネル保護膜 9、オーミックコンタクト層 1 0、1 1、ドレイン電極 1 2 およびソース電極 1 3 により、薄膜トランジスタ 4 が構成されている。

20

【 0 0 0 7 】

ゲート絶縁膜 7 の上面の他の所定の箇所にはデータライン 3 が設けられている。この場合、データライン 3 は、下から順に、真性アモルファスシリコン層 3 a、n 型アモルファスシリコン層 3 b および金属層 3 c の 3 層構造となっている。そして、データライン 3 は、ドレイン電極 1 2 およびその下側のオーミックコンタクト層 1 0、半導体薄膜 8 に接続されている。

【 0 0 0 8 】

薄膜トランジスタ 4 およびデータライン 3 を含むゲート絶縁膜 7 の上面には層間絶縁膜 1 4 が設けられている。ソース電極 1 3 の所定の箇所に対応する部分における層間絶縁膜 1 4 にはコンタクトホール 1 5 が設けられている。層間絶縁膜 1 4 の上面の所定の箇所には画素電極 5 がコンタクトホール 1 5 を介してソース電極 1 3 に接続されて設けられている。

30

【 0 0 0 9 】

【 発明が解決しようとする課題 】

しかしながら、上記構成の薄膜トランジスタパネルを備えた液晶表示装置では、画素電極 5 の左右両側のエッジをその左右両側のデータライン 3 に重ね合わせているので、この重合部分に結合容量が発生し、この結合容量に起因して垂直クロストークが発生し、表示特性が劣化してしまうという問題があった。すなわち、例えば、図 1 7 (A) に示すように、1 画素 1 6 の背景が灰色でその中に正方形の黒表示 1 7 を行うとき、上記結合容量に起因して、画素の電位がドレイン電圧に引きずられるため、図 1 7 (B) において符号 1 8 で示すように、黒表示 1 7 の上下の背景の色がやや濃くなり、黒表示 1 7 が上下方向に尾引き、表示特性が劣化してしまう。

40

そこで、この発明は、垂直クロストークが発生しないようにすることができる表示装置を提供することを目的とする。

【 0 0 1 0 】

【 課題を解決するための手段 】

請求項 1 に記載の発明は、マトリクス状に設けられた走査ラインおよびデータラインと、前記データラインと対応する部分のエッジを前記データラインと重ね合わされて設けられ

50

た画素電極と、前記データラインの前記画素電極との重合部と前記画素電極の前記データラインとの重合部との間に設けられた導電層とを備えていることを特徴とするものである。

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記導電層の前記データラインと重ね合わされた部分の幅は前記データラインの幅よりも広がっていることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 または 2 に記載の発明において、前記導電層は透明導電材料によって形成されていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 または 2 に記載の発明において、前記導電層は非透明導電材料によって形成されていることを特徴とするものである。

10

請求項 5 に記載の発明は、請求項 1 ～ 4 のいずれかに記載の発明において、前記導電層は、前記画素電極と重ね合わされた部分により補助容量部を形成する補助容量電極であることを特徴とするものである。

請求項 6 に記載の発明は、請求項 5 に記載の発明において、前記データライン上に絶縁膜を介して薄膜トランジスタのドレイン電極が設けられ、該ドレイン電極は前記絶縁膜に形成されたコンタクトホールを介して前記データラインに接続されていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 6 に記載の発明において、前記補助容量電極上に絶縁膜が設けられ、該絶縁膜上に前記薄膜トランジスタのゲート電極が設けられていることを特徴とするものである。

20

請求項 8 に記載の発明は、請求項 6 に記載の発明において、前記補助容量電極と前記薄膜トランジスタのゲート電極とは同一の平面上に設けられていることを特徴とするものである。

請求項 9 に記載の発明は、請求項 5 に記載の発明において、前記データラインが設けられた面上に薄膜トランジスタのドレイン電極が前記データラインに接続されて設けられていることを特徴とするものである。

請求項 10 に記載の発明は、請求項 7 ～ 9 のいずれかに記載の発明において、前記薄膜トランジスタ上に別の絶縁膜を介して前記画素電極が設けられ、該画素電極は前記別の絶縁膜に形成されたコンタクトホールを介して前記薄膜トランジスタのソース電極に接続されていることを特徴とするものである。

30

そして、この発明によれば、データラインの画素電極との重合部と画素電極のデータラインとの重合部との間に導電層を設けているので、この導電層により、データラインと画素電極との重合部分に結合容量が発生するのを防止することができ、したがって垂直クロストークが発生しないようにすることができる。

【 0 0 1 1 】

【発明の実施の形態】

図 1 はこの発明の第 1 実施形態としての液晶表示装置における薄膜トランジスタパネルの要部の透過平面図を示したものである。この薄膜トランジスタパネルはガラス基板 21 を備えている。ガラス基板 21 の上面側には走査ライン 22 およびデータライン 23 がマトリクス状に設けられ、その各交点近傍には薄膜トランジスタ 24、画素電極 25 および補助容量電極（導電層）26 が設けられている。図を明確にする目的で、各画素電極 25 の縁部に斜めの短い実線のハッチングが、また、補助容量電極 26 の縁部に多数の点からなるハッチングが記入されている。

40

【 0 0 1 2 】

この場合、方形状の画素電極 25 の左右両側のエッジはその左右両側に配置されたデータライン 23 に重ね合わされている。これにより、画素電極 25 のうち、その左右両側のデータライン 23 形成領域および薄膜トランジスタ 24 形成領域を除く領域が実質的な画素領域となり、開口率を大きくすることができる。ただし、この場合、補助容量電極 26 は ITO 等の透明導電材料によって形成されているが、アルミニウム等の非透明導電材料によって形成してもよい。また、薄膜トランジスタパネル上に対向配置される対向パネル（

50

図示せず)には、薄膜トランジスタ24への外光の入射を防止するために、少なくとも薄膜トランジスタ24に対応する部分にブラックマスクが設けられている。

【0013】

補助容量電極26は、基本的には、図1において、左側のデータライン23と平行に配置された短冊形状の電極部26aと、右側のデータライン23と平行に配置された短冊形状の電極部26bと、左側の電極部26aの中央部と右側の電極部26bの中央部とを接続する短冊形状の電極部26cとを備えている。

【0014】

この場合、電極部26a、26bの幅(走査ライン22と平行な方向の長さ)はデータライン23の幅よりもある程度大きくなっており、これにより、走査ライン22と平行方向の位置ずれがあっても、データライン23が直接画素電極25と対向しないようにデータライン23を確実に覆っている。 10

【0015】

また、電極部26a、26bの長さ(走査ライン22と直交する方向の長さ)は画素電極25の同方向の長さよりもある程度大きくなっており、これにより、補助容量電極26は、画素電極25に対し、走査ライン22と直交する方向の位置ずれがあっても、全長が画素電極25と確実に重なり、位置合わせずれによる補助容量の変動を確実に防止している。

【0016】

次に、この薄膜トランジスタパネルの具体的な構造について説明する。図2は図1のA-A線とB-B線に沿う断面図およびその他の所定の部分の断面図を示したものである。この場合、図2の最も左側はデータライン等形成領域の断面図であり、その右側は薄膜トランジスタ等形成領域の断面図であり、その右側は走査ライン用接続パッド形成領域の断面図であり、その右側はデータライン用接続パッド形成領域の断面図である。 20

【0017】

まず、データライン等形成領域について説明する。ガラス基板21の上面の所定の箇所にはデータライン23が設けられている。データライン23を含むガラス基板21の上面には第1層間絶縁膜31が設けられている。データライン23上における第1層間絶縁膜31の上面の所定の箇所には補助容量電極26の電極部26aが設けられている。補助容量電極26の電極部26aを含む第1層間絶縁膜31の上面には第2層間絶縁膜32、ゲート絶縁膜33およびオーバーコート膜34がこの順で設けられている。オーバーコート膜34の上面の所定の箇所には画素電極25が設けられている。 30

【0018】

次に、薄膜トランジスタ等形成領域について説明する。ガラス基板21の上面の所定の箇所にはデータライン23が設けられている。データライン23を含むガラス基板21の上面には第1層間絶縁膜31が設けられている。第1層間絶縁膜31のデータライン23の所定の箇所に対応する部分にはコンタクトホール35が設けられている。第1層間絶縁膜31の上面の所定の箇所には中継接続パッド36がコンタクトホール35を介してデータライン23に接続されて設けられている。中継接続パッド36を含む第1層間絶縁膜31の上面には第2層間絶縁膜32が設けられている。 40

【0019】

第2層間絶縁膜32の上面の所定の箇所にはゲート電極37が設けられている。ゲート電極37を含む第2層間絶縁膜32の上面にはゲート絶縁膜33が設けられている。ゲート電極37上におけるゲート絶縁膜33の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜38が設けられている。ゲート電極37上における半導体薄膜38の上面の所定の箇所にはチャネル保護膜39が設けられている。

【0020】

チャネル保護膜39の上面両側およびその両側における半導体薄膜38の上面にはn型アモルファスシリコンからなるコンタクト層40、41が設けられている。オーミックコンタクト層40、41の上面にはドレイン電極42およびソース電極43が設けられている 50

。この場合、ドレイン電極 42 は、オーミックコンタクト層 40、半導体薄膜 38、ゲート絶縁膜 33 および第 2 層間絶縁膜 32 に形成されたコンタクトホール 44 を介して中継接続パッド 36 に接続され、さらに中継接続パッド 36 を介してデータライン 23 に接続されている。

【0021】

そして、ゲート電極 37、ゲート絶縁膜 33、半導体薄膜 38、チャネル保護膜 39、オーミックコンタクト層 40、41、ドレイン電極 42 およびソース電極 43 により、薄膜トランジスタ 24 が構成されている。

【0022】

薄膜トランジスタ 24 を含むゲート絶縁膜 33 の上面にはオーバーコート膜 34 が設けられている。オーバーコート膜 34 のソース電極 43 の所定の箇所に対応する部分にはコンタクトホール 45 が設けられている。オーバーコート膜 34 の上面の所定の箇所には画素電極 25 がコンタクトホール 45 を介してソース電極 43 に接続されて設けられている。

【0023】

次に、走査ライン用接続パッド形成領域について説明する。走査ライン用接続パッド 51 は、第 2 層間絶縁膜 32 の上面に設けられた下部接続パッド 52 と、ゲート絶縁膜 33 の上面にゲート絶縁膜 33 に形成されたコンタクトホール 53 を介して下部接続パッド 52 に接続されて設けられた中間接続パッド 54 と、オーバーコート膜 34 の上面にオーバーコート膜 34 に形成されたコンタクトホール 55 を介して中間接続パッド 54 に接続されて設けられた上部接続パッド 56 とからなっている。

【0024】

この場合、コンタクトホール 53 の周囲におけるゲート絶縁膜 33 と中間接続パッド 54 との間には、下から順に、真性アモルファスシリコン層 57 および n 型アモルファスシリコン層 58 が設けられている。

【0025】

次に、データライン用接続パッド形成領域について説明する。データライン用接続パッド 61 は、ガラス基板 21 の上面に設けられた下部接続パッド 62 と、第 1 層間絶縁膜 31 の上面に第 1 層間絶縁膜 31 に形成されたコンタクトホール 63 を介して下部接続パッド 62 に接続されて設けられた中継接続パッド 64 と、ゲート絶縁膜 33 の上面にゲート絶縁膜 33 および第 2 層間絶縁膜 32 に形成されたコンタクトホール 65 を介して中継接続パッド 64 に接続されて設けられた中間接続パッド 66 と、オーバーコート膜 34 の上面にオーバーコート膜 34 に形成されたコンタクトホール 67 を介して中間接続パッド 66 に接続されて設けられた上部接続パッド 68 とからなっている。

【0026】

この場合、コンタクトホール 65 の周囲におけるゲート絶縁膜 33 と中間接続パッド 66 との間には、下から順に、真性アモルファスシリコン膜 69 および n 型アモルファスシリコン膜 70 が設けられている。

【0027】

次に、図 1 および図 2 に示す薄膜トランジスタパネルの製造方法の一例について説明する。まず、図 3 に示すように、ガラス基板 21 の上面に成膜されたクロム等からなる金属層をパターニングすることにより、ガラス基板 21 の上面の各所定の箇所にデータライン 23 および下部接続パッド 62 を形成する。次に、その上面に窒化シリコンからなる第 1 層間絶縁膜 31 を成膜する。

【0028】

次に、第 1 層間絶縁膜 31 の各所定の箇所にコンタクトホール 35、63 を形成する。次に、その上面に成膜された ITO 等からなる透明導電層をパターニングすることにより、補助容量電極 26 および中継接続パッド 36、64 を形成する。なお、中継接続パッド 36、64 は省略してもよい。次に、その上面に窒化シリコンからなる第 2 層間絶縁膜 32 を成膜する。次に、その上面に成膜されたアルミニウム等からなる金属層をパターニングすることにより、ゲート電極 37 を含む走査ライン 22 および下部接続パッド 52 を形成

する。

【0029】

次に、ゲート電極37等を含む第2層間絶縁膜32の上面に窒化シリコンからなるゲート絶縁膜33、真性アモルファスシリコン膜71および窒化シリコン膜を連続して成膜し、窒化シリコン膜をパターンングすることにより、チャンネル保護膜39を形成する。次に、その上面にn型アモルファスシリコン膜72を成膜する。

【0030】

次に、図4に示すように、薄膜トランジスタ等形成領域におけるn型アモルファスシリコン膜72、真性アモルファスシリコン膜71、ゲート絶縁膜33および第2層間絶縁膜32の所定の箇所にコンタクトホール44を形成する。また、走査ライン用接続パッド形成領域におけるn型アモルファスシリコン膜72、真性アモルファスシリコン膜71およびゲート絶縁膜33の所定の箇所にコンタクトホール53を形成する。さらに、データライン用接続パッド形成領域におけるn型アモルファスシリコン膜72、真性アモルファスシリコン膜71、ゲート絶縁膜33および第2層間絶縁膜32の所定の箇所にコンタクトホール65を形成する。

【0031】

次に、図5に示すように、その上面にクロム等からなる金属層73を成膜する。次に、金属層73、n型アモルファスシリコン膜72および真性アモルファスシリコン膜71を連続してパターンングすることにより、図6に示すように、薄膜トランジスタ等形成領域に、ドレイン電極42、ソース電極43、オーミックコンタクト層40、41および半導体薄膜38を形成する。また、走査ライン用接続パッド形成領域に、中間接続パッド54、n型アモルファスシリコン膜58および真性アモルファスシリコン膜57を形成する。さらに、データライン用接続パッド形成領域に、中間接続パッド66、n型アモルファスシリコン膜70および真性アモルファスシリコン膜69を形成する。

【0032】

次に、図7に示すように、その上面に窒化シリコンからなるオーバーコート膜34を成膜する。次に、オーバーコート膜34の各所定の箇所にコンタクトホール45、55、67を形成する。次に、その上面に成膜されたITO等からなる透明導電層をパターンングすることにより、図2に示すように、画素電極25および上部接続パッド56、68を形成する。かくして、図1および図2に示す薄膜トランジスタパネルが得られる。

【0033】

このようにして得られた薄膜トランジスタパネルを備えた液晶表示装置では、図2のデータライン等形成領域に示すように、データライン23の画素電極25との重合部と画素電極25のデータライン23との重合部との間に、データライン23の幅よりも広く、画素電極25の走査ライン22と直交する方向の長さよりも長い形状を有する補助容量電極26の電極部26aを設けているので、この電極部26aにより、データライン23と画素電極25との重合部分に結合容量が発生するのを防止することができ、したがって垂直クロストークが発生しないようにすることができ、表示特性を向上することができる。

【0034】

なお、上記第1実施形態では、図2に示すように、第2層間絶縁膜32下に補助容量電極26を設け、第2層間絶縁膜32上にゲート電極37を設けた場合について説明したが、これに限定されるものではない。例えば、図8に示すこの発明の第2実施形態のように、第2層間絶縁膜32を省略し、第1層間絶縁膜31の上面の各所定の箇所に補助容量電極26およびゲート電極37を設けるようにしてもよい。この場合、補助容量電極26は、ゲート電極37を含む走査ライン22の形成と同時にアルミニウム等の非透明導電材料によって形成してもよく、またゲート電極37を含む走査ライン22の形成とは別工程でITO等の透明導電材料によって形成してもよい。

【0035】

また、図9に示すこの発明の第3実施形態のようにしてもよい。すなわち、まず、データライン等形成領域について説明する。ガラス基板21の上面にはゲート絶縁膜33が設け

られている。ゲート絶縁膜 33 の上面の所定の箇所にはデータライン 23 が設けられている。この場合、データライン 23 は、下から順に、真性アモルファスシリコン膜 23a、n 型アモルファスシリコン膜 23b および金属層 23c の 3 層構造となっている。

【0036】

データライン 23 を含むゲート絶縁膜 33 の上面には層間絶縁膜 81 が設けられている。データライン 23 上における層間絶縁膜 81 の上面の所定の箇所には補助容量電極 26 の電極部 26a が設けられている。補助容量電極 26 の電極部 26a を含む層間絶縁膜 81 の上面にはオーバーコート膜 34 が設けられている。オーバーコート膜 34 の上面の所定の箇所には画素電極 25 が設けられている。

【0037】

次に、薄膜トランジスタ等形成領域について説明する。ガラス基板 21 の上面の所定の箇所にはゲート電極 37 が設けられている。ゲート電極 37 を含むガラス基板 21 の上面にはゲート絶縁膜 33 が設けられている。ゲート電極 37 上におけるゲート絶縁膜 33 の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜 38 が設けられている。ゲート電極 37 上における半導体薄膜 38 の上面の所定の箇所にはチャネル保護膜 39 が設けられている。

【0038】

チャネル保護膜 39 の上面両側およびその両側における半導体薄膜 38 の上面には n 型アモルファスシリコンからなるコンタクト層 40、41 が設けられている。オーミックコンタクト層 40、41 の上面にはドレイン電極 42 およびソース電極 43 が設けられている。この場合、ドレイン電極 42、オーミックコンタクト層 40 および半導体薄膜 38 は、ゲート絶縁膜 33 上においてそのままデータライン 23 に接続されている。

【0039】

薄膜トランジスタ 24 等を含むゲート絶縁膜 33 の上面には層間絶縁膜 81 およびオーバーコート膜 34 がこの順で設けられている。オーバーコート膜 34 および層間絶縁膜 81 のソース電極 43 の所定の箇所に対応する部分にはコンタクトホール 45 が設けられている。オーバーコート膜 34 の上面の所定の箇所には画素電極 25 がコンタクトホール 45 を介してソース電極 43 に接続されて設けられている。

【0040】

次に、走査ライン用接続パッド形成領域について説明する。走査ライン用接続パッド 51 は、ガラス基板 21 の上面に設けられた下部接続パッド 52 と、オーバーコート膜 34 の上面にオーバーコート膜 34、層間絶縁膜 81 およびゲート絶縁膜 33 に形成されたコンタクトホール 55 を介して下部接続パッド 52 に接続されて設けられた上部接続パッド 56 とからなっている。

【0041】

次に、データライン用接続パッド形成領域について説明する。データライン用接続パッド 61 は、ゲート絶縁膜 33 の上面に設けられた下部接続パッド 62 と、オーバーコート膜 34 の上面にオーバーコート膜 34 および層間絶縁膜 81 に形成されたコンタクトホール 67 を介して下部接続パッド 62 に接続されて設けられた上部接続パッド 68 とからなっている。こば、下部接続パッド 62 は、下から順に、真性アモルファスシリコン膜 62a、n 型アモルファスシリコン膜 62b および金属層 62c の 3 層構造となっている。

【0042】

次に、図 9 に示す薄膜トランジスタパネルの製造方法の一例について説明する。まず、図 10 に示すように、ガラス基板 21 の上面に成膜されたアルミニウム等からなる金属層をパターニングすることにより、ガラス基板 21 の上面の各所定の箇所にゲート電極 37 および下部接続パッド 52 を形成する。

【0043】

次に、ゲート電極 37 等を含むガラス基板 21 の上面に窒化シリコンからなるゲート絶縁膜 33、真性アモルファスシリコン膜 82 および窒化シリコン膜を連続して成膜し、窒化シリコン膜をパターニングすることにより、チャネル保護膜 39 を形成する。次に、その

10

20

30

40

50

上面にn型アモルファスシリコン膜83および金属層84を連続して成膜する。この場合、金属層84はITO等の透明導電材料によって形成してもよく、またクロム等の非透明導電材料によって形成してもよい。

【0044】

次に、金属層84、n型アモルファスシリコン膜83および真性アモルファスシリコン膜82を連続してパターンングすることにより、図11に示すように、データライン等形成領域に、真性アモルファスシリコン膜23a、n型アモルファスシリコン膜23bおよび金属層23cからなる3層構造のデータライン23を形成する。また、薄膜トランジスタ等形成領域に、ドレイン電極42、ソース電極43、オーミックコンタクト層40、41および半導体薄膜38を形成する。さらに、データライン用接続パッド形成領域に、真性アモルファスシリコン膜62a、n型アモルファスシリコン膜62bおよび金属層62cからなる3層構造の下部接続パッド62を形成する。

10

【0045】

次に、図12に示すように、その上面に窒化シリコンからなる層間絶縁膜81を成膜する。次に、その上面に成膜された金属層をパターンングすることにより、補助容量電極26を形成する。次に、図13に示すように、その上面に窒化シリコンからなるオーバーコート膜34を成膜する。次に、オーバーコート膜34の所定の箇所にコンタクトホール45、55、67を形成する。次に、その上面に成膜されたITO等からなる透明導電層をパターンングすることにより、図9に示すように、画素電極25および上部接続パッド56、68を形成する。かくして、図9に示す薄膜トランジスタパネルが得られる。

20

【0046】

なお、上記各実施形態では、図1に示すように、補助容量電極26をほぼH字形状とした場合について説明したが、これに限定されるものではない。例えば、図14に示すこの発明の第4実施形態のように、補助容量電極26をほぼコ字形状とし、その中間の電極部26cを画素電極25の上辺部に重ね合わせるようにしてもよい。ただし、図14に示す薄膜トランジスタパネルの断面形状は、例えば図9に示す場合とほぼ同じである。

【0047】

【発明の効果】

以上説明したように、この発明によれば、データラインの画素電極との重合部と画素電極のデータラインとの重合部との間に導電層を設けているので、この導電層により、データラインと画素電極との重合部分に結合容量が発生するのを防止することができ、したがって垂直クロストークが発生しないようにすることができ、表示特性を向上することができ

30

【図面の簡単な説明】

【図1】この発明の第1実施形態としての液晶表示装置における薄膜トランジスタパネルの要部の透過平面図。

【図2】図1のA-A線とB-B線に沿う断面図およびその他の所定の部分の断面図。

【図3】図2に示す薄膜トランジスタパネルの製造に際し、当初の工程の断面図。

【図4】図3に続く工程を示す断面図。

【図5】図4に続く工程を示す断面図。

40

【図6】図5に続く工程を示す断面図。

【図7】図6に続く工程を示す断面図。

【図8】この発明の第2実施形態としての薄膜トランジスタパネルの図2同様の断面図。

【図9】この発明の第3実施形態としての薄膜トランジスタパネルの図2同様の断面図。

【図10】図9に示す液晶表示装置の製造に際し、当初の工程の断面図。

【図11】図10に続く工程を示す断面図。

【図12】図11に続く工程を示す断面図。

【図13】図12に続く工程を示す断面図。

【図14】この発明の第4実施形態としての薄膜トランジスタパネルの図1同様の透過平面図。

50

【図 1 5】従来の液晶表示装置における薄膜トランジスタパネルの一部の透過平面図。

【図 1 6】図 1 5 の C - C 線および D - D に沿う断面図。

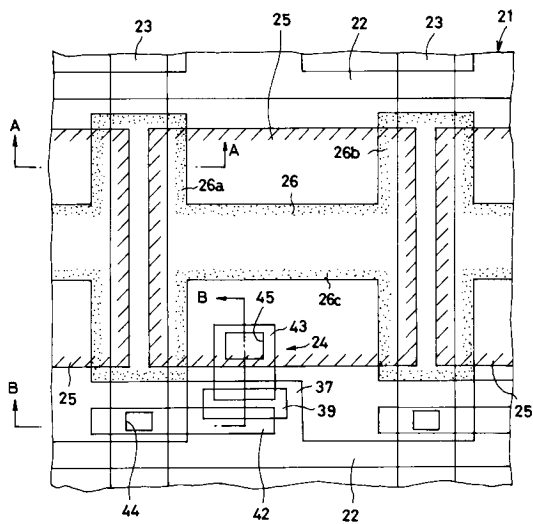
【図 1 7】(A) および (B) は従来の液晶表示装置の問題点を説明するために示す図。

【符号の説明】

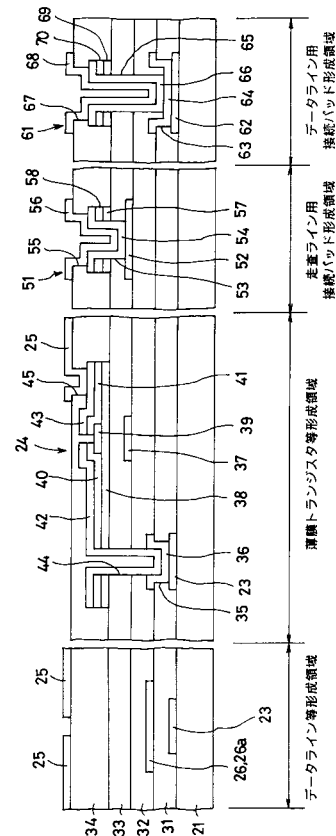
- 2 1 ガラス基板
- 2 2 走査ライン
- 2 3 データライン
- 2 4 薄膜トランジスタ
- 2 5 画素電極
- 2 6 補助容量電極
- 3 7 ゲート電極
- 4 2 ドレイン電極
- 4 3 ソース電極
- 4 4、4 5 コンタクトホール

10

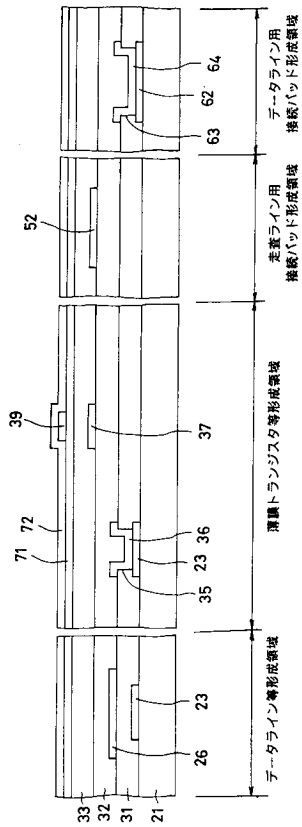
【図 1】



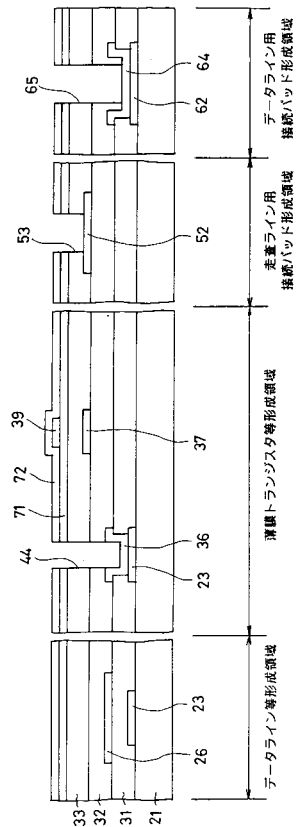
【図 2】



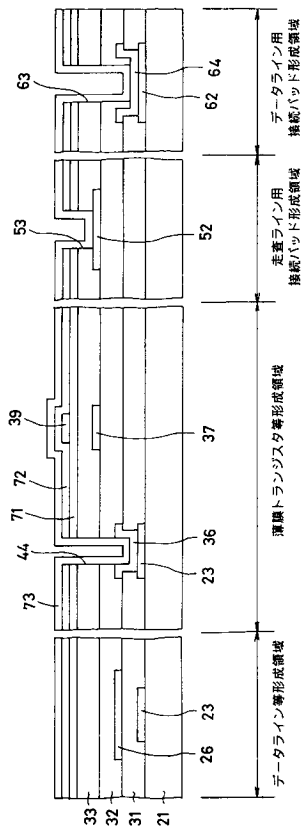
【図 3】



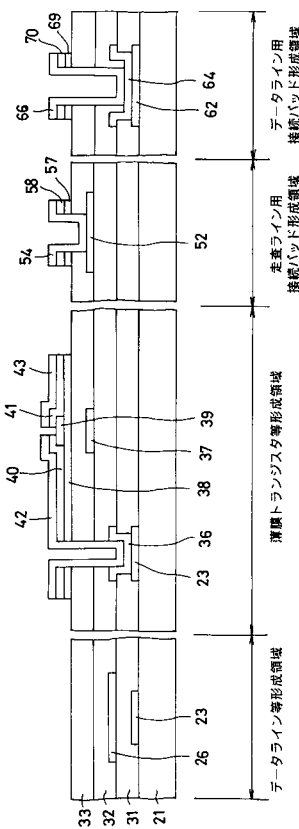
【図 4】



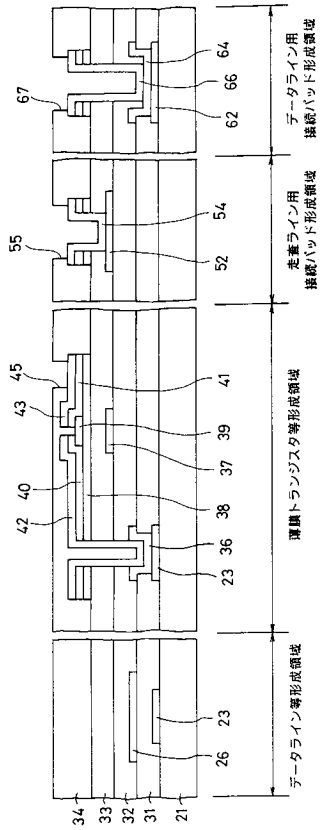
【図 5】



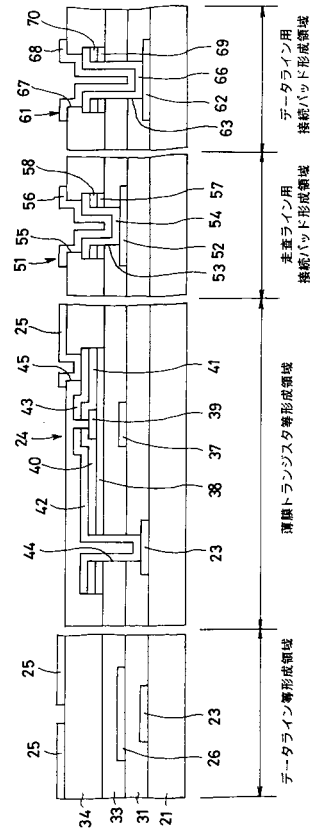
【図 6】



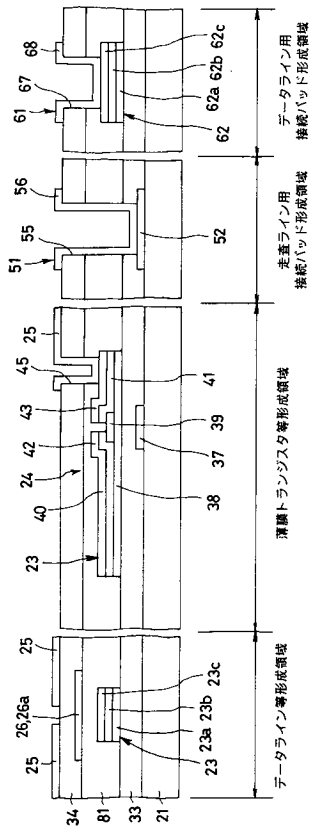
【図 7】



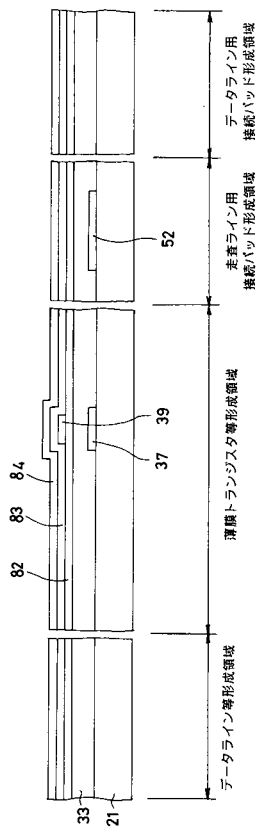
【図 8】



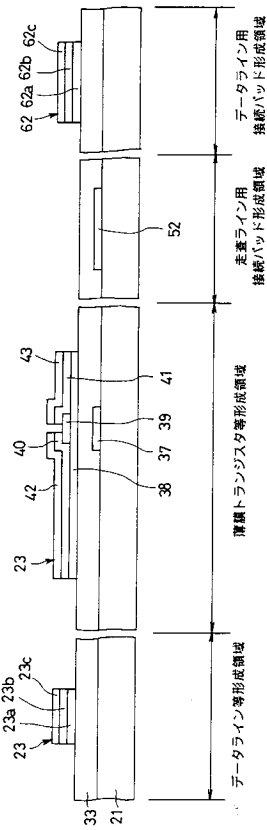
【図 9】



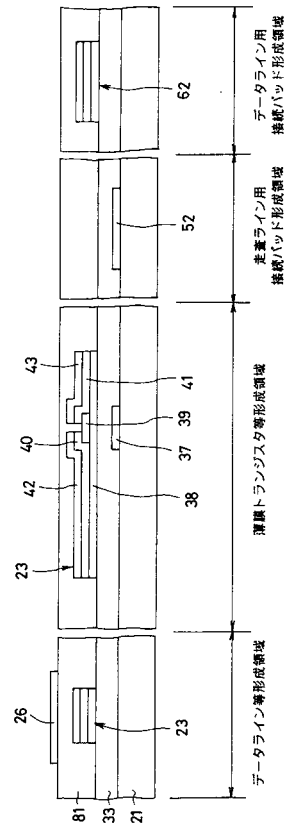
【図 10】



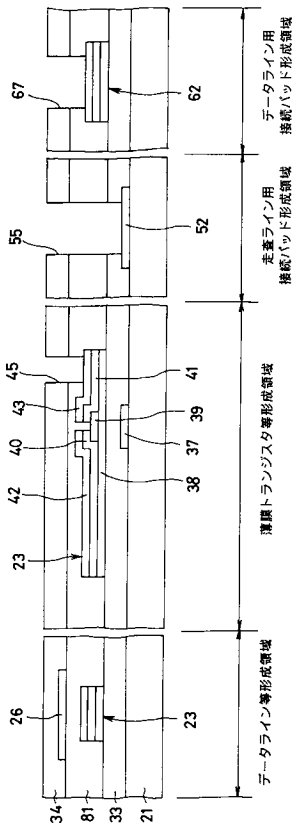
【図 1 1】



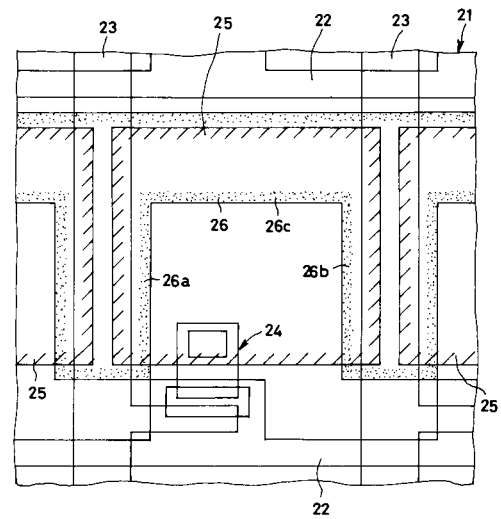
【図 1 2】



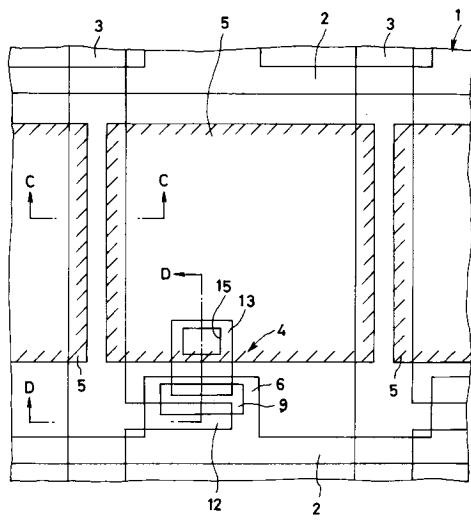
【図 1 3】



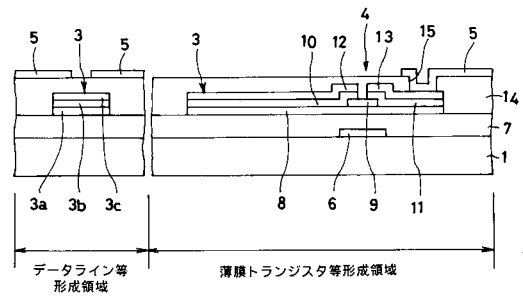
【図 1 4】



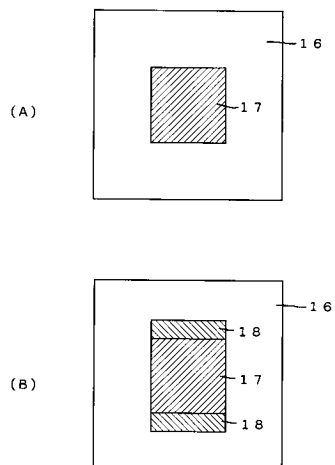
【図 15】



【図 16】



【図 17】



フロントページの続き

F ターム(参考) 2H092 GA13 GA21 GA25 GA26 GA29 GA30 JA37 JA41 JA46 JB64
JB65 NA07 NA23
5C094 AA09 AA53 BA03 BA43 CA19 DA09 DA13 DB01 EA04 EA05
FA01
5F110 AA02 BB01 CC07 DD02 DD14 EE03 FF03 GG02 GG15 HK04
HK07 HK09 HK16 HM17 NN03 NN12 NN24 NN72 NN73 QQ09

解决的问题：在有源矩阵型液晶显示装置中，为了防止在数据线和像素电极的重叠部分中产生耦合电容，在有源矩阵型液晶显示装置中，像素电极的边缘与数据线重叠以实现高开口率。。在玻璃基板上依次设置有数据线，绝缘膜，辅助电容电极，绝缘膜和像素电极。具有大致H形的辅助电容电极26的电极部分26a和26b布置在数据线23与像素电极25的重叠部分与像素电极25与数据线23的重叠部分之间。。结果，可以防止在数据线23与像素电极25之间的重叠部分中产生耦合电容。[选型图]图1

