

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号

特開2002－250938

(P2002－250938A)

(43)公開日 平成14年9月6日(2002.9.6)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
1/133	550	1/133	2 H 0 9 3
1/1343		1/1343	5 C 0 0 6
G 0 9 G 3/20	622	G 0 9 G 3/20	5 C 0 8 0
670		670	5 F 1 1 0
		670 E	
審査請求 有 請求項の数 6 O L (全 18数) 最終頁に続く			

(21)出願番号	特願2001－376506(P2001－376506)	(71)出願人	000004237
(62)分割の表示	特願2000－183625(P2000－183625)の分割		日本電気株式会社
(22)出願日	平成12年6月19日(2000.6.19)		東京都港区芝五丁目7番1号
(31)優先権主張番号	特願平11－208329	(72)発明者	木村 和典
(32)優先日	平成11年7月23日(1999.7.23)		東京都港区芝五丁目7番1号 日本電気株式
(33)優先権主張国	日本(JP)		会社内
(31)優先権主張番号	特願2000－125055(P2000－125055)	(72)発明者	浅田 秀樹
(32)優先日	平成12年4月26日(2000.4.26)		東京都港区芝五丁目7番1号 日本電気株式
(33)優先権主張国	日本(JP)		会社内
(31)優先権主張番号	特願2000－172582(P2000－172582)	(74)代理人	100108578
(32)優先日	平成12年6月8日(2000.6.8)		弁理士 高橋 詔男 (外 3 名)
(33)優先権主張国	日本(JP)		

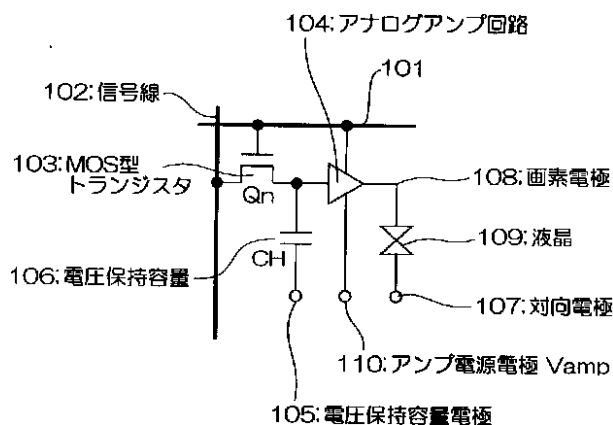
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 画素中にアナログアンプ回路を具備したアクティブマトリクス型の液晶表示装置において、スイッチング動作が正常に行われるようにする。

【解決手段】 ゲート電極が、メタルまたはメタルシリサイドにより形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Qn)103と、入力電極がトランジスタ(Qn)103のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続されたアナログアンプ回路104と、このアナログアンプ回路104の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。



【特許請求の範囲】

【請求項1】 ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続されたMOSトランジスタと、
 入力電極が前記MOSトランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、
 前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、
 前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、
 前記走査線を形成する材料が、抵抗値の小さいメタルまたはメタルシリサイドを含んでいることを特徴とする液晶表示装置。

【請求項2】 ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続されたn型MOSトランジスタと、
 入力電極が前記n型MOSトランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、
 前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、
 前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、
 前記走査線を駆動するゲートドライバのローレベル側電源が負電源であることを特徴とする液晶表示装置。

【請求項3】 ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続されたp型MOSトランジスタと、
 入力電極が前記p型MOSトランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、
 前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、
 前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、
 前記走査線を駆動するゲートドライバのハイレベル側電源が、全ての画素において、データ信号電圧の最大値と前記p型MOSトランジスタのしきい値との和よりもゲート走査電圧が高くなるような電圧を供給できることを特徴とする液晶表示装置。

【請求項4】 前記走査線を形成する材料が、抵抗値の小さいメタルまたはメタルシリサイドを含んでいることを特徴とする請求項2又は3記載の液晶表示装置。

【請求項5】 前記走査線を形成するメタルまたはメタルシリサイドの抵抗値は画素数に略反比例することを特徴とする請求項1又は4記載の液晶表示装置。

【請求項6】 前記走査線に接続される電源線を、当該画素が接続された走査線に接続するか又は当該画素が接続された走査線の隣接走査線に接続し、
 前記走査線に接続されない方の電源線を、専用の配線に接続するか又は前記電圧保持容量電極若しくは前記対向電極に接続することを特徴とする請求項1から5のいずれかの項に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プロジェクタ、ノートPC、モニタ等に用いられるアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】現在、液晶表示装置の主流は、薄膜トランジスタで駆動するアクティブマトリクス型である。図21はツイステッドネマティック液晶(TN液晶)を用いた場合のアクティブマトリクス型液晶表示装置の一画素分の等価回路の例を示したものである。同図に示すように、スイッチング用トランジスタ(Qn)2101のゲート電極にゲート走査線1401を、ソース電極にデータ信号線102を、ドレイン電極に液晶109の画素電極108を接続して、対向電極107との間で液晶に電圧を印加し、駆動する構成になっている。

【0003】また、通常、画素電極108と電圧保持容量電極105の間には電圧保持容量106が形成される。この時のゲート走査電圧Vg、データ信号電圧Vd、画素電極の電圧Vpixの一般的なタイミングチャートを図22に示す。ゲート走査電圧Vgが水平走査期間中、ハイレベルVgHとなることによって、トランジスタ(Qn)2101はオン状態となり、信号線に入力されているデータ信号Vdがトランジスタ(Qn)2101を経由して画素電極108に転送される。水平走査期間が終了し、ゲート走査電圧Vgがローレベルとなると、トランジスタ(Qn)2101はオフ状態となり、画素電極108に転送されたデータ信号は電圧保持容量106および液晶容量により保持される。

【0004】この際、画素電圧Vpixは、トランジスタ(Qn)2101がオフ状態になる時刻において、トランジスタ(Qn)2101のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図22では、Vf1、Vf2、Vf3で示されている。この電圧シフトの量は、電圧保持容量106の値を大きくすることにより小さくすることができる。

【0005】画素電圧Vpixは、次の水平走査期間において、再びゲート走査電圧Vgがハイレベルとなり、トランジスタ(Qn)2101がオン状態になるまで保

持される。この際、保持期間において、画素電圧 V_{pix} は、各フィールドで、それぞれ ΔV_1 、 ΔV_2 、 ΔV_3 だけ変動する。これは、液晶の応答に従って液晶の容量が変化することに起因している。通常、この変動ができるだけ小さくなるように、電圧保持容量106を画素容量 C_{pix} に対し、2～3倍以上の大きな値で設計される。以上説明したようにして、図21に示した画素回路構成によりTN液晶を駆動することができる。

【0006】しかしながら、こうした蓄積容量を用いても原理的に電荷保持機能の低下防止には限界があり、また、高集積化されたマトリクス表示装置において、電圧変動を抑制し得る程大面積の容量を画素毎に設けることは、データ信号ドライバやスイッチングトランジスタ(Qn)2101に対する負荷を増すとともに、画素開口率の低下という問題を生じさせる。

【0007】また、液晶表示装置の高性能化を図るため種々の液晶材料が研究開発されているが、その中には、偏光板を使用しないため光の透過率が高くなる高分子液晶材料、高速応答性・高視野角特性を備えた強誘電性液晶、反強誘電性液晶などの分極を有する液晶材料、OCBモード液晶材料等が存在する。ところが、例えば高分子液晶材料は比抵抗が小さく、TN液晶に比較してリーク電流が大きくなるため、保持期間中の画素電圧変動が大きくなる。分極を有する液晶材料においても同様に、分極により生じる電荷の再分配などにより、保持期間中の画素電圧変動がTN液晶の場合より増大するため、従来の画素構成ではこうした液晶材料を使用した表示装置の実用化は困難である。

【0008】こうした問題を解決するための方法として、図21の回路にソースフォロワ型のアンプを併用することで、保持期間中の画素電圧 V_{pix} を一定に保つ構成が提案されている。しかしながら、例えば特開平2-272521号公報、特開平7-20820号公報、特開平10-148848号公報などで提案されている、ソースフォロワ型アンプ回路の正電源(VDD)ラインと負電源(VSS)ラインを通常のバスラインとは別に設ける構成では、回路構成が複雑となり、開口率も低下してしまう。

【0009】前記特開平10-148848号公報においては、複数行で電源ラインを共有して省スペース化を図るなどしているが、配線本数の増加が必然的に生じる。他方、特開平1-292979号公報、特開平5-173175号公報、特開平11-326946号公報などにおいては、アンプ回路の負電源線または正電源線のどちらか一方をゲート走査線に接続することで、特別なバスラインを不要にする構成が提案されている。この方法によれば、開口率をそれ程低下させない簡素な構成で、保持期間中の画素電圧 V_{pix} を一定に保つことができる。

【0010】図23は、このような省電源線型アナログ

アンプ回路付き画素回路構成の一例を示す図である。同図に示すように、スイッチング用トランジスタ(Qn)2301のゲート電極に走査線1401を、ソース電極に信号線102を、アナログアンプ回路2302の入力電極に前記トランジスタ(Qn)2301のドレイン電極を、出力電極に液晶109の画素電極108を、正負電源線的一方を前記走査線1201に接続して、対向電極107との間で液晶に電圧を印加し駆動する構成になっている。

【0011】通常、画素電極108と電圧保持容量電極105の間には電圧保持容量106が形成される。アナログアンプ回路2302のもう一方の電源線は、別に設けたアンプ電源電極110に接続するか、あるいは回路構成を簡素にするため、電圧保持容量電極105など既存の電極に接続する。図23には電源電極2303を設けた場合を示している。この回路の動作は基本的には図21、図22で説明した場合と同様であるが、スイッチングトランジスタがオフ状態にある時、アナログアンプ回路2302により液晶109に所定の電圧が印加され続けるため、図22で生じている電圧変動 ΔV_1 、 ΔV_2 、 ΔV_3 を抑制することができる。

【0012】

【発明が解決しようとする課題】以上説明したように、従来の画素構成にアナログアンプ回路を併用し、このアナログアンプ回路の電源線的一方をゲート走査線に接続した構成にすれば、TN液晶のみならず、高分子液晶材料のような低比抵抗材料や、強誘電性液晶・反強誘電性液晶のような分極を有する液晶材料においても、簡素な回路構成で、開口率をそれ程低下させることなく、液晶画素電位の変動を抑制することが可能であるが、この画素構成で表示を行う場合、以下に述べる問題が発生する。

【0013】図21に示した従来の画素構成においては、ゲート走査線に接続されているのはスイッチングトランジスタ(Qn)101のゲート電極のみであるが、図23の構成においては、アナログアンプ回路2302を通じて、アンプの正電源側から負電源側に対して常に電流が供給されるため、スイッチングトランジスタがオフ状態にある時、ゲート走査線の電位は、n型MOSではゲートドライバのローレベル側電源電圧に対してプラスに、p型MOSではゲートドライバのハイレベル側電源電圧に対してマイナスに、それぞれシフトしてしまう。この電圧シフト量は画素数に対して単調に増加するため、高解像度パネルにおいては、ゲート走査電位のローレベルがスイッチングトランジスタのしきい値を越えてしまい、画素選択が正常に行われなくなるという問題が生じる。

【0014】従って、本発明の目的は、保持期間中の画素電圧変動を抑制するためにアナログアンプ回路が付加され、このアナログアンプ回路の電源線がゲート走査線に接続された構成の画素回路において、上述の如く生じ

るゲート走査電位の変動を低減し、スイッチングトランジスタのオン・オフが適正に行われるようにすることで、回路の簡素化、表示部の高開口率化を保ちつつ、画素電圧の変動を抑制し、また分極を有する液晶材料や比抵抗の小さな液晶材料を使用できる液晶表示装置を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明による第1の液晶表示装置は、ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続されたMOSトランジスタと、入力電極が前記MOSトランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、前記走査線を形成する材料が、抵抗値の小さい金属または金属シリサイドを含んでいることを特徴とするものである。

【0016】本発明による第2の液晶表示装置は、ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続されたn型MOSトランジスタと、入力電極が前記n型MOSトランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、前記走査線を駆動するゲートドライバのローレベル側電源が負電源であることを特徴とするものである。

【0017】本発明による第3の液晶表示装置は、ゲート電極が走査線に接続され、ソース電極・ドレイン電極*

$$V_k = -I^*R^*k^2/2 + I^*R^*(n-0.5)*k + I^*R^*n + I$$

【0020】スイッチングトランジスタがn型MOSの場合は $I > 0$ なので、走査線電位 V_k はビット数 k の増加に対し、ビット総数 n まで単調に増加する。p型MOSの場合は $I < 0$ であるので、逆に単調に減少する。 $k = n$ の時、(1)式は以下の(2)式ようになる。

$$V_n = I^*R^*n^*(n+1)/2 + I^*R^*0*n + V_{g0} \dots (2)$$

【0021】図23において、スイッチングトランジスタ(Qn)2301がn型MOSの場合を考える。この回路が正常なスイッチング動作を行うには、ゲート走査電圧のローレベル V_{gL} 、データ信号電圧のローレベル V_{dL} 、トランジスタ2301のしきい値 V_t の間には、少なくとも以下の(3)式が成り立つ必要がある。

$$V_{gL} - V_{dL} < V_t \dots (3)$$

*の一方が信号線に接続されたp型MOSトランジスタと、入力電極が前記p型MOSトランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、前記走査線を駆動するゲートドライバのハイレベル側電源が、全ての画素において、データ信号電圧の最大値と前記p型MOSトランジスタのしきい値との和よりもゲート走査電圧が高くなるような電圧を供給できることを特徴とするものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。先ず、本発明を原理的に説明する。図20は、図23のような、アナログアンプ回路の電源線の一方をゲート走査線に接続した画素構成を持つ液晶表示装置の一走査線を、電流源を用いた等価回路で表した図である。各画素毎にアナログアンプ回路を通じてゲート走査線に供給される電流を、電流源(I_1 、 I_2 、 $I_3 \dots I_n$)で置き換えている。走査線101のビットピッチ当たりの抵抗を R 、ビット総数を n 、入力電極2001に入力される電圧を V_{g0} (ゲートドライバの電源電圧に相当し、スイッチングトランジスタがn型MOSの場合はローレベル側電源電圧、p型MOSの場合はハイレベル側電源電圧になる)、入力電極2001の側から数えて k 番目の電流源 I_k と走査線1401との接続点 X_k での電位を V_k (k 番目のビットにおけるゲート走査電位に相当)、入力電極2001と最初の電流流入点 X_1 の間の抵抗を R_0 とする。

【0019】ここで、電流源から供給される電流が全て一定値 I であると仮定しても現象の本質は変わらない。この場合、 k 番目のビットにおけるゲート走査線電位 V_k は、以下の(1)式で表される。

【0022】ここで、先ほど述べたように $V_{gL} \leq V_n$ であるから、 $V_{gL} = V_n$ の場合について(3)式が成立すれば、全てのビットについて(3)式が成立する。

(2)式から V_n はゲート走査線のビットピッチ当たりの抵抗 R に対して単調増加であるから、ゲート走査線の抵抗を下げるのが有効である。また V_{g0} を小さくすることも効果がある。

【0023】スイッチングトランジスタ2301がp型MOSの場合、ゲート走査電位のハイレベル V_{gH} 、データ信号電圧のハイレベル V_{dH} として、正常なスイッチング動作のためには、少なくとも以下の(4)式が成り立つ必要がある。

$$V_t < V_{gH} - V_{dH} \dots (4)$$

【0024】ここで、 $V_n \leq V_{gH}$ であるから、 $V_{gH} = V_n$ の場合について(4)式が成立すればよい。

(2)式から、走査線の配線抵抗を小さくすること、 V_{g0} を大きくすることが有効であることが分かる。

【0025】本発明の実施の形態では、ゲート走査線の形成材料の一部または全部に、抵抗値の小さなメタルまたはメタルシリサイドを用いている。このため、非選択時のゲート走査電位の変動量を抑制し、正常なスイッチング動作を行うことが可能である。

【0026】また、スイッチングトランジスタがn型MOSの場合には、ゲートドライバのローレベル側電源に負電源を用いているので、ゲート走査電位のローレベルの最大値が小さくなり、やはり正常なスイッチング動作を行うことが可能である。

【0027】また、スイッチングトランジスタがp型MOSの場合には、ゲートドライバのハイレベル電源電圧を、ゲート走査電位の電圧降下を予め見込んで、高出力側にシフトさせているので、ゲート走査電位のハイレベルの最小値が大きくなり、やはり正常なスイッチング動作を行うことが可能である。

【0028】次に、本発明の第1～第3の実施の形態について図面を参照して詳細に説明する。図1は、本発明の液晶表示装置の第1の実施の形態を示す図である。図に示すように、本実施の形態の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Qn)103と、入力電極がトランジスタ(Qn)103のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続され、電源線の他方はアンプ電源電極Vamp110に接続されたアナログアンプ回路104と、このアナログアンプ回路104の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0029】ここで、MOS型トランジスタ(Qn)1*
 $V_{gL} = V_{gL0} + \Delta V_{gL}$ (1または2または3)・・・(5)
 となる。 ΔV_{gL} は同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧Vdの値により変化する。本発明の第1の実施の形態においては、材料に抵抗の小さなメタル又はメタルシリサイドを用いて走査線の配線抵抗を低くしているため、 ΔV_{gL} の絶対値が小さく、 V_{gL} の最大値が小さくなるので、正常なスイッチングの必要条件である、 $V_{gL} - V_{dL} < V_t$ ・・・(3)が成立している。

【0035】次に、本発明の第1の実施の形態の効果について説明する。本実施の形態では、走査線101に

*03及びアナログアンプ回路104は、p-Si TFTで構成されている。また、アナログアンプ回路104のゲインは1倍に設定されている。

【0030】以下、この画素構成を用いた液晶表示装置の駆動方法を、図2を用いて説明する。図2は、図1に示した画素構成により液晶を駆動した場合の、ゲート走査電圧Vg、データ信号電圧Vd、アンプ入力電圧Va、画素電圧Vpixのタイミングチャートを示したものである。ゲートドライバの負電源電圧をVgL0、ゲート走査電圧のローレベル電圧をVgLとする。

【0031】図2に示すように、ゲート走査電圧Vgが水平走査の期間にハイレベルVgHとなることによって、トランジスタ(Qn)103はオン状態となり、信号線に入力されているデータ信号Vdがトランジスタ103を経由してアナログアンプ回路104の入力電極に転送される。水平走査期間が終了し、ゲートドライバから走査線101に対してローレベル電圧VgL0が出力されると、トランジスタ(Qn)103はオフ状態となり、アナログアンプ回路の入力電極に転送されたデータ信号は電圧保持容量106により保持される。

【0032】この際、アンプ入力電圧Vaは、トランジスタ(Qn)がオフ状態になる時刻において、トランジスタ(Qn)のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図2では、Vf1、Vf2、Vf3で示されている。

【0033】アンプ入力電圧Vaは、次のフィールド期間において再びゲート走査電圧Vgがハイレベルとなり、トランジスタ(Qn)103が選択されるまで保持される。アナログアンプ回路104は、次のフィールドでアンプ入力電圧が変化するまでの間、その保持されたアンプ入力電圧Vaに応じたアナログ階調電圧を出力することができる。この保持期間中、走査線101には、アナログアンプ回路の正電源線から負電源線を経て常に電流が流入し、ゲート走査電圧Vgのローレベル出力VgLをシフトさせる。これは図2では ΔV_{gL1} 、 ΔV_{gL2} 、 ΔV_{gL3} で示されている。

【0034】この結果、VgLは、 ΔV_{gL} を正として、

は、アナログアンプ回路104の正電源線から負電源線を経て常に電流が流入している。このため、ゲート走査電圧Vgのローレベル出力が押し上げられてしまうこととなるが、この上昇量は走査線抵抗に応じて増加している。これに対し、本実施の形態のように、走査線を少なくともメタル又はメタルシリサイドを含む材料で形成することによって低抵抗化することにより、走査電圧Vgのローレベル出力変動を小さく抑えることができ、スイッチング用MOS型トランジスタ103の動作不良を防止できる。

【0036】これにより、水平走査期間終了後も、画素

電極108はアナログアンプ回路104によって駆動されるので、従来技術で述べたような液晶の応答に伴う画素電圧 V_{pix} の変動を無くすることができる。このため、高分子液晶、分極を有する強誘電液晶・反強誘電液晶、OCB液晶等、従来技術において保持期間中に電圧変動が生じてしまう液晶材料をも使用することが可能となる。

【0037】更に、TN液晶等の他の液晶を駆動する場合についても、より正確な階調表示を実現し、画面のちらつきやコントラスト低下を抑制する効果が得られる。また、アナログアンプ回路104の電源線の一方を走査線と兼用しているため、回路の簡素化を実現でき、画素開口率を余り低下させずに、前記の効果を達成することができる。

【0038】図3(a)は、本実施の形態の効果を示す走査線の配線抵抗と走査線ローレベル電圧の相関図である。ゲートドライバのハイレベル側電源電圧を16V、ローレベル側電源電圧を0V、データ信号電圧のハイレベルを11V、ローレベルを1V、一走査線当りのビット数を640として、配線のシート抵抗を変化させた場合の、640番目のビットにおける走査線ローレベル電圧の値をシミュレーションにより求めた。計算に使用したスイッチングMOS型トランジスタのしきい値 V_{tn} は1Vである。

【0039】ゲート走査電圧のローレベルはシート抵抗の減少に伴い単調に減少しており、メタルまたはメタルシリサイドを用いることにより低抵抗の走査線を形成するという本実施の形態による有効性が示されている。また、スイッチング動作を正常に行うためには、ゲート走査電圧のローレベルが、少なくともデータ信号のローレベル電圧としきい値の和(図3の例では2V)より小さいことが必要である。図3(a)の例ではシート抵抗が少なくとも3Ω以下であり、これは、配線高さを500nm~1μm程度と仮定した時、 $1.5 \times 10^{-4} \sim 3 \times 10^{-4} [\Omega \cdot \text{cm}]$ 以下の抵抗率に相当する。走査線を形成するメタルまたはメタルシリサイドは、例えば抵抗率が少なくともこの値以下であれば良い。

【0040】図3(b)は、本実施の形態の効果を示すビット数と走査線ローレベル電圧の相関図である。シミュレーション条件は図3(a)の場合と同様で、配線のシート抵抗を一定にしてビット数を変化させた場合の、最大のビットにおける走査線ローレベル電圧の値をシミュレーションにより求めた。0.06Ωと5Ωの2種類の配線シート抵抗について計算を行っている。

【0041】配線高さを仮に500nmとすると、シート抵抗0.06Ωは抵抗率 $3 \times 10^{-6} [\Omega \cdot \text{cm}]$ に相当し、これはほぼA1の抵抗率に相当する。このように、本実施の形態の一例としてゲート走査線をA1で形成した場合、ビット数が6000(=2000×RGB)程度でも正常なスイッチングが可能となっている。

【0042】一方、シート抵抗が5Ωの場合は抵抗率 $2.5 \times 10^{-4} [\Omega \cdot \text{cm}]$ に相当するが、正常なスイッチング動作が可能と思われるのはビット数がせいぜい320までの場合である。本実施の形態のように、走査線を形成する材料に、少なくともメタルまたはメタルシリサイドを用いることにより、ビット数が増加しても正常なスイッチングを行うことが可能である。

【0043】走査線の配線抵抗は、同一材料の場合でも線高・線幅等により変化するが、低抵抗化のために線高や線幅を極端に大きくすることは、断線や液晶の配向不良の原因となり、また開口率の低下を生じるため、避けた方が良く、そうした点でも本特許は有効である。

【0044】図4は、第1の実施の形態の変形例を示す一画素分の回路構成図である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成されたN番目(Nは2以上の整数)の走査線403に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ401と、入力電極が前記MOS型トランジスタ401のソース電極及びドレイン電極の他方に接続され、正負電源線の一方が、少なくともメタルまたはメタルシリサイドを含む材料により形成された(N-1)番目の走査線404に接続され、電源線の他方はアンプ電源電極 V_{amp110} に接続され、出力電極が画素電極108に接続されたアナログアンプ回路402と、このアナログアンプ回路402の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。図4の変形例においても、図1の場合と同様の効果が得られる。

【0045】図5は、第1の実施の形態の他の変形例を示す一画素分の回路構成図である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Qn)501と、入力電極がトランジスタ(Qn)501のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続され、電源線の他方が電圧保持容量電極105に接続されたアナログアンプ回路502と、このアナログアンプ回路502の入力電極と前記電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0046】この変形例においては、アナログアンプ回路502の正負いずれの電源線についても特別な配線が必要ないため、画素の回路構造を更に簡素にでき、開口

率を高くすることができる。

【0047】図5の変形例においては、図1の効果に加えて、画素の回路構成を一層簡略でき、開口率を向上できるという効果も有する。

【0048】なお、アナログアンプ回路502の、走査線に接続されている電源線が、図4の変形例のように隣接する走査線に接続される形であっても良い。

【0049】上記図1、図4、図5の各変形例では、MOS型トランジスタ(Qn)103、401、501及びアナログアンプ回路104、402、502は、poly-Si TFTで形成すると述べたが、a-Si TFT、カドミウム・セレン薄膜トランジスタ等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0050】また、上記図1、図4、図5の各変形例では、画素の選択スイッチとして、n型MOSトランジスタを採用しているが、p型MOSトランジスタを採用しても良い。その場合、ゲート走査信号として、選択時にローレベル、非選択時にハイレベルとなるパルス信号を入力する。

【0051】また、上記図1、図4、図5の各変形例では、アナログアンプ回路104のゲインは1に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

【0052】図6は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104をトランジスタで構成する場合の具体的な構成例である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくとも金属材料または金属材料を含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOSトランジスタ(Qn)601と、ゲート電極がそのn型トランジスタ(Qn)601のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続されたp型MOSトランジスタ(Qp)602と、このp型MOSトランジスタ(Qp)602のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と電圧保持容量電極105の間に接続された抵抗(RL)603と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0053】抵抗(RL)603は、半導体薄膜あるいは不純物ドーピングされた半導体薄膜で形成されている。

【0054】以下、図6に示した画素回路構成を用いた液晶表示装置の駆動方法について説明する。図7は、図6に示した画素構成により液晶を駆動した場合の、ゲート走査電圧Vg、データ信号電圧Vd、p型MOSトラ

ンジスタ(Qp)602のゲート電圧Va、画素電圧Vpixのタイミングチャートを示したものである。ゲートドライバの負電源電圧をVgLo、ゲート走査電圧のローレベル電圧をVgLとする。

【0055】図に示すように、ゲート走査電圧Vgが水平走査の期間、ハイレベルVgHとなることによって、n型MOSトランジスタ(Qn)601はオン状態となり、信号線に入力されているデータ信号Vdがn型MOSトランジスタ(Qn)601を経由してp型MOSトランジスタ(Qp)602のゲート電極に転送される。

【0056】一方、その水平走査期間において、画素電極108は、p型MOSトランジスタ(Qp)602を経由してゲート走査電圧VgHが転送されることによりリセット状態となる。ここで、下記に述べるように、p型MOSトランジスタ(Qp)602は、水平走査期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、水平走査期間において画素電圧VpixがVgHとなることで、p型MOSトランジスタ(Qp)602のリセットが同時に行われる。

【0057】水平走査期間が終了し、ゲート走査電圧Vgがローレベルとなると、n型MOSトランジスタ(Qn)601はオフ状態となり、p型MOSトランジスタ(Qp)602のゲート電極に転送されたデータ信号は電圧保持容量106により保持される。この際、p型MOSトランジスタ(Qp)602のゲート入力電圧Vaは、n型MOSトランジスタ(Qn)601がオフ状態になる時刻において、n型MOSトランジスタ(Qn)601のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図7では、Vf1、Vf2、Vf3で示されている。

【0058】p型MOSトランジスタ(Qp)602のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがハイレベルとなり、n型MOSトランジスタ(Qn)601が選択されるまで保持される。

【0059】一方、p型MOSトランジスタ(Qp)602は、水平走査期間にリセットが完了しており、画素電極108をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、p型MOSトランジスタ(Qp)602をアナログアンプとして動作させるために、少なくとも(Vdmax-Vtp)よりも高い電圧を供給しておく。ここで、Vdmaxはデータ信号Vdの最大値、Vtpはp型MOSトランジスタ(Qp)602のしきい値電圧である。

【0060】p型MOSトランジスタ(Qp)602は、次のフィールドでゲート走査電圧がVgHとなってリセットが行われるまでの間、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧を出力することができる。その出力電圧は、p型MOSトランジスタのト

ランス・コンダクタンス g_{mp} と抵抗 (RL) 603 との値によって変わるが、およそ次の式で表される。

$$V_{pix} = V_a - V_{tp} \cdots (6)$$

【0061】ここで、 V_{tp} は通常負の値であるので、図7に示すように、 V_{pix} は V_a よりも p 型 MOS トランジスタ (Qp) 602 のしきい値電圧の絶対値だけ

$$V_{gL} = V_{gL0} + \Delta V_{gL} \quad (1 \text{ または } 2 \text{ または } 3) \cdots (5)$$

となる。

【0062】 ΔV_{gL} は同一走査線においても画素毎に異なり、また同一画素においてはデータ信号電圧 V_d の値により変化する。第1の実施の形態においては、材料に抵抗の小さなメタル又はメタルシリサイドを用いて走査線の配線抵抗を低くしているため、 ΔV_{gL} の絶対値が小さく、 V_{gL} の最大値が小さくなるので、正常なスイッチングの必要条件である、

$$V_{gL} - V_{dL} < V_t \cdots (3)$$

が成立している。このようにして、画素電圧 V_{pix} の変動なく、液晶を駆動することが可能となる。図6の変形例においても、図1の場合と同様の効果が得られる。

【0063】図8は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した例である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された n 型 MOS 型トランジスタ (Qn) 801 と、ゲート電極がその n 型トランジスタ (Qn) 801 のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続された第1の p 型 MOS トランジスタ (Qp1) 802 と、この第1の p 型 MOS トランジスタ (Qp1) 802 のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106 と、ゲート電極がバイアス電源 (VB) 804 に接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が画素電極108に接続された第2の p 型 MOS トランジスタ (Qp2) 803 と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0064】第2の p 型 MOS トランジスタ (Qp2) 803 は、第1の p 型 MOS トランジスタ (Qp1) 802 をアナログアンプとして動作させる場合の、バイアス電流源として動作している。この図8の変形例の液晶表示装置の駆動方法は、図6の液晶表示装置の駆動方法と同様である。

【0065】図8の変形例においても、図6の場合と同様の効果が期待できる。加えて、図8の変形例は、第2の p 型 MOS トランジスタ (Qp2) 803 のゲート電

高い電圧となる。この保持期間中、走査線101には、アナログアンプ回路の正電源線から負電源線を経て常に電流が流入し、ゲート走査電圧 V_g のローレベル出力 V_{gL} をシフトさせる。これは図7では、 ΔV_{gL1} 、 ΔV_{gL2} 、 ΔV_{gL3} で示されている。この結果、 V_{gL} は、 ΔV_{gL} を正として、

極をバイアス電源 (VB) 804、ソース電極を電圧保持容量電極105に接続しているため、両者の電圧を調節することで、第2の p 型 MOS トランジスタ803の動作領域を制御することが可能であり、図6の場合よりもアナログアンプ回路の制御性が高いという効果を有する。

【0066】図9は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した別の例である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された n 型 MOS 型トランジスタ (Qn) 901 と、ゲート電極がその n 型トランジスタ (Qn) 901 のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続された第1の p 型 MOS トランジスタ (Qp1) 902 と、この第1の p 型 MOS トランジスタ (Qp1) 902 のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106 と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源 (VS) 904 に接続され、ドレイン電極が画素電極108に接続された第2の p 型 MOS トランジスタ (Qp2) 903 と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0067】第2の p 型 MOS トランジスタ (Qp2) 903 は、第1の p 型 MOS トランジスタ (Qp1) 902 をアナログアンプとして動作させる場合の、バイアス電流源として動作している。この変形例の液晶表示装置の駆動方法は、図6の液晶表示装置の駆動方法と同様である。

【0068】図9の変形例においても、図6の場合と同様の効果が期待できる。加えて、図9の変形例は、第2の p 型 MOS トランジスタ (Qp2) 903 のゲート電極を電圧保持容量電極105、ソース電極をソース電源 (VS) 904 に接続しているため、両者の電圧を調節することで、第2の p 型 MOS トランジスタ (Qp2) 903 の動作領域を制御することが可能であり、図6の場合よりもアナログアンプ回路の制御性が高いという効果を有する。

【0069】図10は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した別の例である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ(Qn)1001と、ゲート電極がそのn型トランジスタ(Qn)1001のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続された第1のp型MOSトランジスタ(Qp1)1002と、この第1のp型MOSトランジスタ(Qp1)1002のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極及びソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極108に接続された第2のp型MOSトランジスタ(Qp2)1003と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0070】第2のp型MOSトランジスタ(Qp2)1003のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のp型MOSトランジスタ(Qp2)1003のゲート・ソース間電圧 V_{gs} は0Vとなる。このバイアス条件下でアナログアンプを適正に動作させるために、第2のp型MOSトランジスタ(Qp2)1003のしきい値電圧はチャンネル・ドーズによりシフト制御されている。第2のp型MOSトランジスタ(Qp2)1003は、第1のp型MOSトランジスタ(Qp1)1002をアナログアンプとして動作させる場合の、バイアス電流源として動作している。この変形例の液晶表示装置の駆動方法は、図6の液晶表示装置の駆動方法と同様である。

【0071】図10の変形例においても、図6の場合と同様の効果が期待できる。加えて、図10の変形例では、図8、図9で必要であったバイアス電源(VB)804、ソース電源(VS)904が不要であり、回路の簡素化、高開口率化という効果も有する。ただし、第2のp型MOSトランジスタ(Qp2)1003のしきい値制御を行うために、チャンネルドーズ工程が必要となる。

【0072】図11は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した別の例である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のn型MOS型トランジスタ(Qn

1)1101と、ゲート電極がその第1のn型トランジスタ(Qn1)1101のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続されたp型MOSトランジスタ(Qp)1102と、このp型MOSトランジスタ(Qp)1102のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がp型MOSトランジスタ(Qp)1102のゲート電極に接続され、ソース電極がドレイン電源(VD)1104に接続され、ソース電極が画素電極108に接続された第2のn型MOSトランジスタ(Qn2)1103と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0073】第2のn型MOSトランジスタ(Qn2)1103は、p型MOSトランジスタ(Qp)1201をアナログアンプとして動作させる場合の、バイアス電流源として動作している。この変形例においても、図6の場合と同様の効果が期待できる。

【0074】図12は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104をトランジスタで構成した別の例である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ(Qp)1201と、ゲート電極がそのp型トランジスタ(Qp)1201のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続されたn型MOSトランジスタ(Qn)1202と、このn型MOSトランジスタ(Qn)1202のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と電圧保持容量電極105の間に接続された抵抗(RL)1203と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0075】抵抗(RL)1203は、半導体薄膜あるいは不純物ドーピングされた半導体薄膜で形成されている。

【0076】以下、図12の画素回路構成を用いた液晶表示装置の駆動方法について説明する。図13は、図12の画素回路構成により液晶を駆動した場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、n型MOSトランジスタ(Qn)1202のゲート電圧 V_a 、画素電圧 V_{pix} のタイミングチャートを示したものである。

【0077】図に示すように、ゲート走査電圧 V_g が水平走査の期間、ローレベル V_{gL} となることによって、p型MOSトランジスタ(Qp)1201はオン状態と

なり、信号線に入力されているデータ信号Vdがp型MOSトランジスタ(Qp)1201を経由してn型MOSトランジスタ(Qn)1202のゲート電極に転送される。

【0078】一方、その水平走査期間において、画素電極108は、n型MOSトランジスタ(Qn)1202を経由してゲート走査電圧VgLが転送されることによりリセット状態となる。ここで、下記に述べるように、n型MOSトランジスタ(Qn)1202は、水平走査期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、水平走査期間において画素電圧VpixがVgLとなることで、n型MOSトランジスタ(Qn)1202のリセットが同時に行われる。

【0079】水平走査期間が終了し、ゲート走査電圧Vgがハイレベルになると、p型MOSトランジスタ(Qp)1201はオフ状態となり、n型MOSトランジスタ(Qn)1202のゲート電極に転送されたデータ信号は電圧保持容量106により保持される。この際、n型MOSトランジスタ(Qn)1202のゲート入力電圧Vaは、p型MOSトランジスタ(Qp)1201がオフ状態になる時刻において、p型MOSトランジスタ(Qp)1201のゲート・ソース間容量を経由してフィールドスルー電圧と呼ばれる電圧シフトを起こす。これは図13では、Vf1、Vf2、Vf3で示されている。

【0080】n型MOSトランジスタ(Qn)1202のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがローレベルとなり、p型MOSトランジスタ(Qp)1201が選択されるまで*

$$VgH = VgH0 - \Delta VgH \text{ (1 または 2 または 3)} \cdots (8)$$

となる。 ΔVgH は同一走査線においても画素毎に異なり、また同一画素においてはデータ信号電圧Vdの値により変化する。

【0085】第1の実施の形態においては、材料に抵抗の小さなメタル又はメタルシリサイドを用いて走査線の配線抵抗を低くしているため、 ΔVgH の絶対値が小さく、VgHの最小値が大きくなるので、正常なスイッチングの必要条件である、

$$Vt < VgH - VdH \cdots (4)$$

が成立している。このようにして、画素電圧Vpixの40 変動なく、液晶を駆動する事が可能となる。なお、上記VdHは、データ信号のハイレベルである。図12の変形例においても、図6場合と同様の効果が得られる。

【0086】なお、上記図6～図11の各変形例では、画素の選択スイッチとして、n型MOSトランジスタを採用しているが、p型MOSトランジスタを採用しても良い。その場合、ゲート走査信号として、選択時にローレベル、非選択時にハイレベルとなるパルス信号を入力し、アナログアンプ回路を構成する1つまたは2つのトランジスタは、各変形例中のp型はn型に、n型はp型 50

*保持される。一方、n型MOSトランジスタ(Qn)1202は、水平走査期間にリセットが完了しており、画素電極108をソース電極としたソースフォロワ型アナログアンプとして動作する。

【0081】この際、電圧保持容量電極105には、n型MOSトランジスタ(Qn)1202をアナログアンプとして動作させるために、少なくとも(Vdmin-Vtn)よりも低い電圧を供給しておく。ここで、Vdminはデータ信号Vdの最小値、Vtnはn型MOSトランジスタ(Qn)1202のしきい値電圧である。

【0082】n型MOSトランジスタ(Qn)1202は、次のフィールドでゲート走査電圧がVgLとなってリセットが行われるまでの間、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧を出力することができる。その出力電圧Vpixは、n型MOSトランジスタのトランス・コンダクタンスgm_nと抵抗(R_L)1203との値によって変わるが、およそ次の式で表される。

$$Vpix = Va - Vtn \cdots (7)$$

【0083】ここで、Vtnは通常正の値であるので、図13に示すように、VpixはVaよりもn型MOSトランジスタ(Qn)1202のしきい値電圧の絶対値だけ低い電圧となる。この保持期間中、走査線101からは、アナログアンプ回路の負電源線から正電源線を経て常に電流が流出し、ゲート走査電圧Vgのハイレベル出力VgHをシフトさせる。これは図7では、 $\Delta VgH1$ 、 $\Delta VgH2$ 、 $\Delta VgH3$ で示されている。

【0084】この結果、VgHは、 ΔVgH を正として、

$$\text{に変更する。}$$

【0087】図12は、このようにして図6におけるスイッチング用n型MOSトランジスタをp型MOSトランジスタに、アンプ用p型MOSトランジスタをn型MOSトランジスタに置き換えた場合の変形例である。図12の変形例では図6の変形例と同様の効果が得られており、他の図8～図11の変形例についても、スイッチング用トランジスタをp型に変更することが可能である。

【0088】なお、上記図6～図12の各変形例では、n型MOSトランジスタ(Qn、Qn1、Qn2)及びp型MOSトランジスタ(Qp、Qp1、Qp2)は、poly-SiTFTで形成すると述べたが、a-SiTFT、カドミウム・セレン薄膜トランジスタ等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。また、アナログアンプ回路104のゲインは1に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

【0089】以上全ての変形例において、走査線(10

1、403、404)は、少なくともメタルまたはメタルシリサイドを含む材料で形成された低抵抗の配線で形成されており、非選択時のゲート走査電圧の電圧シフト量を低減することが可能である。

【0090】走査線の抵抗は、正常なスイッチング動作が行われる程度に低い値である必要がある。即ち、スイッチングトランジスタがn型の場合は、ゲート走査電圧のローレベルが少なくともデータ信号のローレベル電圧と閾値の和以下となる抵抗値、スイッチングトランジスタがp型の場合は、ゲート走査電圧のハイレベルがデータ信号のハイレベル電圧と閾値の和以上となる抵抗値である必要がある。図3(a)の例で言えば、走査線のシート抵抗が少なくとも 3Ω 以下の場合であり、配線高さを $1\mu\text{m}$ 程度と考えると、これは、 $3\times 10^{-4}[\Omega\cdot\text{cm}]$ 以下の抵抗率に相当する。走査線を形成するメタルまたはメタルシリサイドは、(配線高さを $1\mu\text{m}$ とした場合)抵抗率が少なくともこの値以下のものであれば良い。ただしこれは一例であって、条件により、必要とされる抵抗率の最大値は異なる。例えば、図3(b)のように、画素数の増加によってゲートローレベル電圧のシフト量は増加するので、こうした場合には、メタル又はメタルシリサイドの抵抗値を、画素数にほぼ反比例した大きさとなるようにすると良い。

【0091】また、走査線を形成する材料は、高融点金属または高融点の金属珪化物であることがさらに望ましい。これらは、より具体的には、Al及びAl合金、Mo及びMo合金、W及びW合金、MoSi₂、WSi₂、TiSi₂、TaSi₂等である。Al合金は、例えば、Pd、Ti、Ta、Nb、Co、Cr、Mo、V、Ni、Cu、Fe、Mn等の遷移金属元素のうち、少なくとも1種類の遷移金属元素を含有したものである。これらの材料は、単体で使用してもよく、また二つ以上を組み合わせ多層にして使用しても良い。また、不純物ドーピングされた半導体薄膜のような高抵抗材料であっても、ここで挙げた材料と組み合わせ多層にするなどして使用を可能にすることもできる。

【0092】図14は、本発明による液晶表示装置の第2の実施の形態の構成を概略的に示す図である。図において、ゲートドライバ1403により順次駆動される複数の走査線1401と、データドライバ1404により順次データ信号を転送される複数の信号線102との各交点付近に、MOS型トランジスタ回路1402が配設され、このMOS型トランジスタ回路1402により、画素電極108が駆動されるアクティブマトリクス型液晶表示装置であって、前記ゲートドライバ1403から走査線101に入力されるゲート走査電圧の最小値V_{gL0}は負の値である。

【0093】図15は、図14に示した液晶表示装置の一画素回路構成の一例を示す図である。図15に示すように、第2の実施の形態の液晶表示装置は、ゲート電極

が、走査線1401に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Q_n)1501と、入力電極がトランジスタ(Q_n)1501のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続され、電源線の他方はアンプ電源電極V_{amp110}に接続されたアナログアンプ回路1502と、前記アナログアンプ回路1502の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0094】ここで、MOS型トランジスタ(Q_n)1501及びアナログアンプ回路1502は、p-SiTFETで構成されている。また、アナログアンプ回路1502のゲインは1倍に設定されている。

【0095】以下、この画素構成を用いた液晶表示装置の駆動方法を、図16を用いて説明する。図16は、図15に示した画素構成により液晶を駆動した場合の、ゲート走査電圧V_g、データ信号電圧V_d、アンプ入力電圧V_a、画素電圧V_{pix}のタイミングチャートを示したものである。ゲートドライバの負電源電圧をV_{gL0}、画素部におけるゲート走査電圧のローレベル電圧をV_{gL}、トランジスタ(Q_n)1501のしきい値をV_tとする。

【0096】図に示すように、ゲート走査電圧V_gが水平走査の期間にハイレベルV_{gH}となることによって、トランジスタ(Q_n)1501はオン状態となり、信号線102に入力されているデータ信号V_dがトランジスタ(Q_n)1501を経由してアナログアンプ回路1502の入力電極に転送される。水平走査期間が終了し、ゲートドライバから走査線1501に対してローレベル電圧V_{gL0}が出力されると、トランジスタ(Q_n)1501はオフ状態となり、アナログアンプ回路1502の入力電極に転送されたデータ信号は電圧保持容量106により保持される。

【0097】ここでV_{gL0}は、 $V_{gL0} < 0 \cdots (9)$

となる電圧である。この際、アンプ入力電圧V_aは、トランジスタ(Q_n)1501がオフ状態になる時刻において、トランジスタ(Q_n)1501のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図16では、V_{f1}、V_{f2}、V_{f3}で示されている。

【0098】アンプ入力電圧V_aは、次のフィールド期間において、再びゲート走査電圧V_gがハイレベルとなり、トランジスタ(Q_n)1501が選択されるまで保持される。アナログアンプ回路1502は、次のフィールドでアンプ入力電圧が変化するまでの間、その保持されたアンプ入力電圧V_aに応じたアナログ階調電圧を出

力することができる。この保持期間中、走査線1401には、アナログアンプ回路の正電源線から負電源線を経て常に電流が流入し、ゲート走査電圧 V_g のローレベル出力 V_{gL} を ΔV_{gL} だけ押し上げている。

【0099】この結果、 V_{gL} は、 ΔV_{gL} を正として、

$$V_{gL} = V_{gL0} + \Delta V_{gL} \cdots (10)$$

となる。 ΔV_{gL} は同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧 V_d の値により変化する。第2の実施の形態においては、 V_{gL0} が負の値であり、 V_{gL} の最大値が小さいことから、 $V_{gL} - V_{dL} < V_t \cdots (3)$

が成立している。

【0100】次に、第2の実施の形態の効果について説明する。図17は、第2の実施の形態の効果を示すゲートドライバ出力の最小値と走査線ローレベル電圧の相関図である。ゲート走査電圧の入力時ハイレベルを16V、データ信号電圧のハイレベルを11V、ローレベル1V、一走査線当りの画素数を640、配線のシート抵抗を 5Ω として、ゲートドライバ出力の最小値 V_{gL0} 20を変化させた場合の、640番目の画素における走査線ローレベル電圧の値 $V_{gL}(640)$ をシミュレーションにより求めた。計算に使用したスイッチングMOS型トランジスタのしきい値 V_{tn} は1Vである。

【0101】ゲート走査電圧のローレベルが、データ信号ローレベル V_{dmin} とスイッチングMOSトランジスタのしきい値 V_t の和（この場合は2V）を超えていれば、スイッチングトランジスタは正常なスイッチングを行えない。計算を行った画素回路構成においては、ゲートドライバの最小出力電圧 V_{gL0} が、通常用いられ 30る0Vの場合、 $V_{gL}(640)$ は3.2Vであり、スイッチングトランジスタは正常に動作しない。

【0102】第2の実施の形態を用いて、ゲートドライバの最小出力電圧 V_{gL0} を-1.5V以下に設定すれば、シート抵抗 5Ω の条件下で、 $V_{gL}(640) < 2V \cdots (11)$

となり、スイッチング用MOS型トランジスタの正常な動作を実現できる（マージンを考慮すれば V_{gL0} は-1.5Vよりも低い値が望ましい）。これは、図3

(a)の例においては、シート抵抗が 3Ω 以下で実現で 40きることであり、シート抵抗の高い材料を用いた場合でも、画素スイッチングを正常に動作させることが可能となっている。

【0103】このように、第2の実施の形態は、走査線の材料にメタルまたはメタルシリサイドを用いることなく、イオンドーピングを行ったpoly-Si膜などの高抵抗の配線材料を使用することが可能になるという効果を有する。ただし、アナログアンプ回路1502に使用するトランジスタの耐圧などの観点から、 V_{gL0} は出来るだけ0Vに近い方が好ましく、せいぜいマイナス 50

数V程度であることが望ましい。そのため、配線には低抵抗の材料を用いることが望ましく、第1の実施の形態と組み合わせて用いることが有効である。

【0104】なお、第2の実施の形態では、MOS型トランジスタ(Qn)1501及びアナログアンプ回路1502は、poly-SiTFTで形成すると述べたが、a-SiTFT、カドミウム・セレン薄膜トランジスタ等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。また、アナログアンプ回路1502のゲインは1に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

【0105】第2の実施の形態においては、走査線を形成する材料にメタルまたはメタルシリサイドを含まなくとも良く、ゲートドライバの最小出力電圧 V_{gL0} の値をマイナスに規定すれば、走査線の材料を規制せずに、第1の実施の形態の各変形例の構成(図1、図4～図6、図8～図11)を全て用いることが可能である。

【0106】図18は、本発明による液晶表示装置の第3の実施の形態の画素回路構成を示す図である。図に示すように、本実施の形態の液晶表示装置は、ゲート電極が、走査線1401に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Qp)1801と、入力電極がトランジスタ(Qp)1801のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続され、電源線の他方はアンプ電源電極Vamp110に接続されたアナログアンプ回路1802と、このアナログアンプ回路1802の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0107】ここで、MOS型トランジスタ(Qp)1801及びアナログアンプ回路1802は、p-SiTFTで構成されている。また、アナログアンプ回路1802のゲインは1倍に設定されている。

【0108】以下、この画素回路構成を用いた液晶表示装置の駆動方法を、図19を用いて説明する。図19は、図18の画素回路構成により液晶を駆動した場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、アンプ入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャートを示したものである。ゲートドライバの正電源電圧を V_{gH0} 、画素部におけるゲート走査電圧のハイレベル電圧を V_{gH} 、トランジスタ(Qp)1801のしきい値を V_t とする。

【0109】図に示すように、ゲート走査電圧 V_g が水平走査の期間、ローレベル V_{gL} となることによって、トランジスタ(Qp)1801はオン状態となり、信号線に入力されているデータ信号 V_d がトランジスタ(Q

p) 1801を経由してアナログアンプ回路1802の入力電極に転送される。水平走査期間が終了し、ゲートドライバから走査線1401に対してハイレベル電圧VgH0が出力されると、トランジスタ(Qp)1801はオフ状態となり、アナログアンプ回路1802の入力電極に転送されたデータ信号は電圧保持容量106により保持される。

【0110】この際、アンプ入力電圧Vaは、トランジスタ(Qp)1801がオフ状態になる時刻において、トランジスタ(Qp)1801のゲート・ソース間容量10を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図16では、Vf1、Vf2、Vf3で示されている。

$$VgH = VgH0 - \Delta VgH \text{ (1または2または3)} \cdots (12)$$

となる。ΔVgHは同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧Vdにより変化する。

【0113】第3の実施の形態においては、全ての画素において、少なくとも

$$VgH > VdH + Vt \cdots (13)$$

が成立するようなVgH0を供給することが可能であり、これによって正常なスイッチングを行うことが可能になる。ここで、VdHはデータ信号のハイレベルである。第3の実施の形態を用いれば、スイッチング用MOSトランジスタがp型の場合について、第2の実施の形態と同様の効果が得られる。

【0114】なお、第3の実施の形態では、MOS型トランジスタ(Qp)1801及びアナログアンプ回路1802は、poly-SiTFTで形成すると述べたが、a-SiTFT、カドミウム・セレン薄膜トランジスタ等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。また、アナログアンプ回路1802のゲインは1に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

【0115】また、第3の実施の形態においては、走査線を形成する材料に金属または金属シリサイドを含まなくとも良く、ゲートドライバの正電源電圧VgH0を十分に高い値に規定すれば、第1の実施の形態の構成(図12のように、図1～図11でスイッチング用トランジスタをp型に変更した構成)を用いることが可能である。

【0116】アナログアンプ回路1802に使用するトランジスタの耐圧などの観点から、VgH0は出来るだけ低い方が好ましい。そのため、配線には低抵抗の材料を用いることが望ましく、第1の実施の形態と組み合わせる用いることが有効である。

【0117】

【発明の効果】以上のように本発明によれば、アナログアンプ回路の出力端子を液晶素子に接続し、入力端子を*

*【0111】アンプ入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがローレベルとなり、トランジスタ(Qp)1801が選択されるまで保持される。アナログアンプ回路1802は、次のフィールドでアンプ入力電圧が変化するまでの間、その保持されたアンプ入力電圧Vaに応じたアナログ階調電圧を出力することができる。この保持期間中、走査線1401からは、アナログアンプ回路の正電源線から負電源線に対して常に電流が流出し、ゲート走査電圧Vgのハイレベル出力VgHを降下させる。これは図19では、ΔVgH1、ΔVgH2、ΔVgH3で示されている。

【0112】この結果VgHは、ΔVgHを正として、

*スイッチングトランジスタのソース・ドレイン間を介して信号線に接続するとともに、このアナログアンプ回路の電源ラインが接続されたゲート走査線を、少なくとも金属または金属シリサイドを含む材料により形成することで、ゲート走査線の非選択時電圧の変動を抑制して正常なスイッチング動作を達成し、電源線を省略した簡素な構成において、画質の劣化を防ぐと共に、比抵抗の小さい高分子液晶材料や、分極を有する強誘電・反強誘電液晶材料などを使用することができる。

【0118】また、スイッチングトランジスタがn型の場合は、アナログアンプ回路が接続されたゲート走査線ドライバ電源のハイレベル電圧を十分に高くすることで、p型の場合は、アナログアンプ回路が接続されたゲート走査線ドライバ電源のローレベル電圧をマイナスにシフトすることで、ゲート走査線の非選択時電圧のシフト量を低減し、高抵抗の配線材料においても正常なスイッチング動作を達成し、電源線を省略した簡素な構成において、画質の劣化を防ぐと共に、比抵抗の小さい高分子液晶材料や、分極を有する強誘電・反強誘電液晶材料などを使用することができる。

【図面の簡単な説明】

【図1】 本発明による液晶表示装置の第1の実施の形態を示す構成図である。

【図2】 第1の実施の形態の液晶表示装置の駆動方法を示すタイミングチャートである。

【図3】 第1の実施の形態の液晶表示装置の効果を示す特性図である。

【図4】 第1の実施の形態の液晶表示装置の変形例を示す構成図である。

【図5】 第1の実施の形態の液晶表示装置の他の変形例を示す構成図である。

【図6】 第1の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【図7】 図6の液晶表示装置の駆動方法を示すタイミングチャートである。

【図8】 第1の実施の形態の液晶表示装置のさらに他

の変形例を示す構成図である。

【図9】 第1の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【図10】 第1の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【図11】 第1の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【図12】 第1の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【図13】 図12の液晶表示装置の駆動方法を示すタイミングチャートである。

【図14】 本発明による液晶表示装置の第2の実施の形態を示す構成図である。

【図15】 第2の実施の形態の液晶表示装置の1画素分の回路構成を示す構成図である。

【図16】 図15の液晶表示装置の駆動方法を示すタイミングチャートである。

【図17】 第2の液晶表示装置の効果をj示す特性図である。

【図18】 本発明による液晶表示装置の第3の実施の形態の1画素分の回路構成を示す構成図である。

【図19】 第3の実施の形態の液晶表示装置の駆動方法を示すタイミングチャートである。

【図20】 本発明による液晶表示装置を原理的に説明するための電流源を用いた等価回路示す構成図である。

【図21】 従来の液晶表示装置の構成図である。

【図22】 従来の液晶表示装置の駆動方法を示すタイミングチャートである。

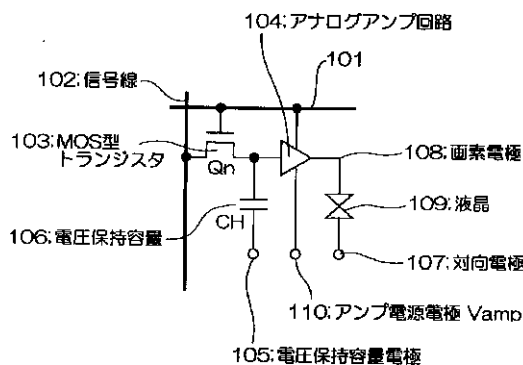
【図23】 従来のアナログアンプを付加した液晶表示*

*装置の構成図である。

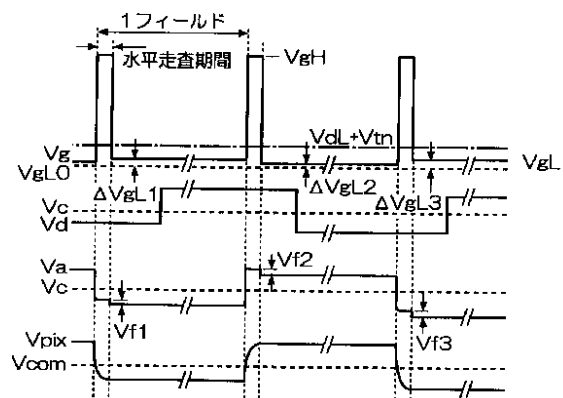
【符号の説明】

101、403、404 メタルまたはメタルシリサイドにより形成された走査線
102 信号線
103、401、501、2101、2301 MOS型トランジスタ
104、402、502、1502、1802、2302 アナログアンプ回路
105 電圧保持容量電極
106 電圧保持容量
107 対向電極
108 画素電極
109 液晶
110 アンプ電源電極 (Vamp)
601、801、901、1001、1101、1103、1202、1501 n型MOSトランジスタ
602、802、803、902、1002、1003、1102、1201、1801 p型MOSトランジスタ
603、1203 抵抗 (RL)
804 バイアス電源 (VB)
904 ソース電源 (VS)
1104 ドレイン電源 (VD)
1401 走査線
1402 MOS型トランジスタ回路
1403 ゲートドライバ
1404 データドライバ
2001 入力電極

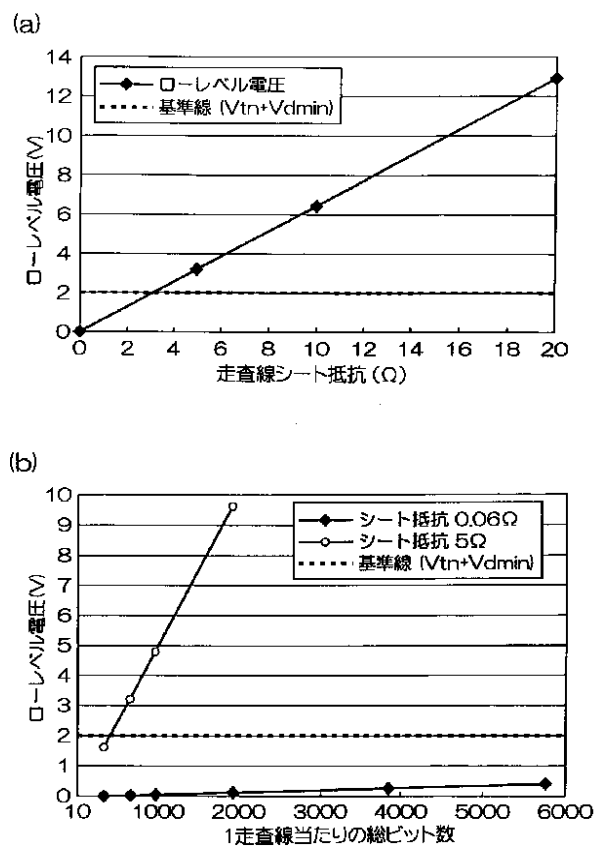
【図1】



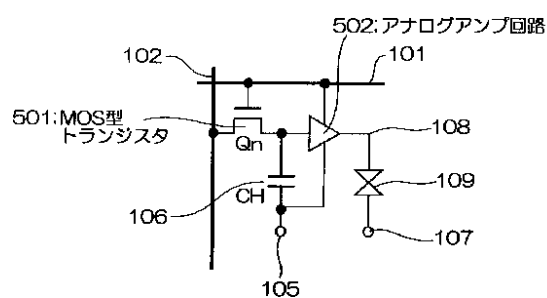
【図2】



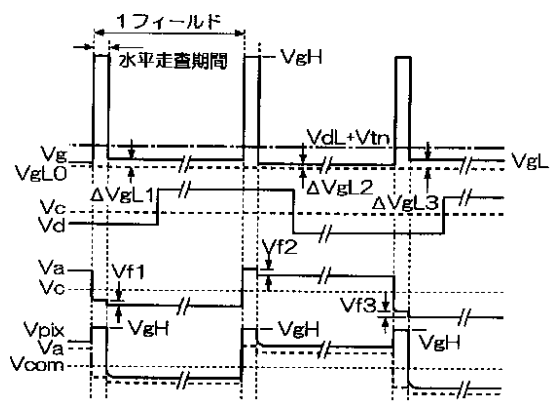
【図3】



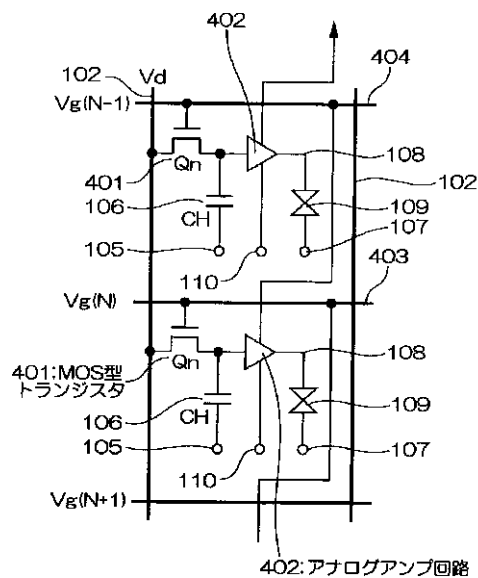
【図5】



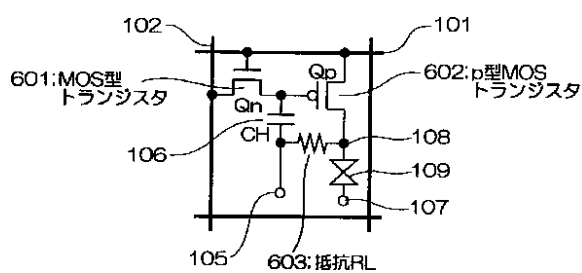
【図7】



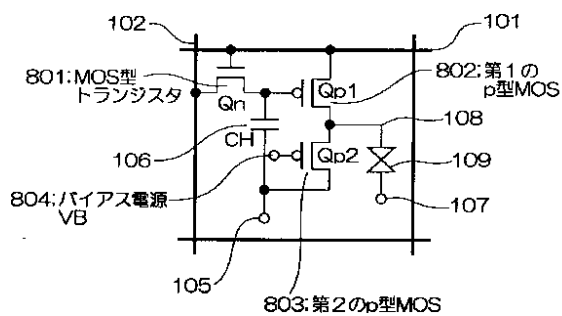
【図4】



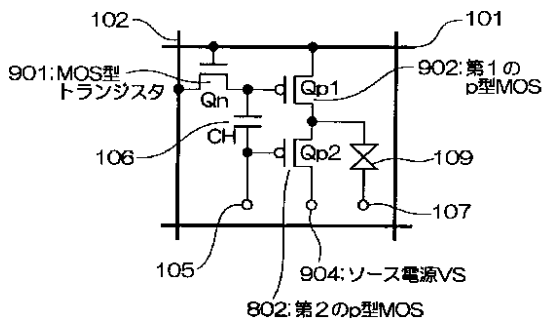
【図6】



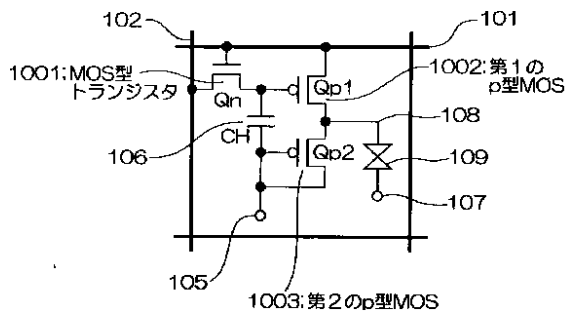
【図8】



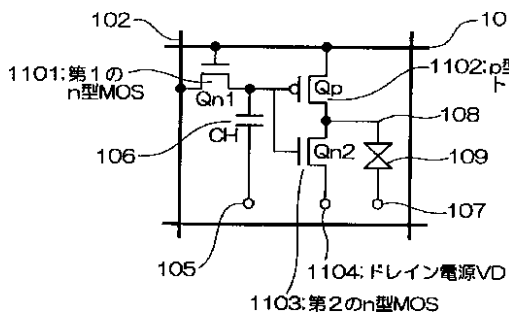
【図 9】



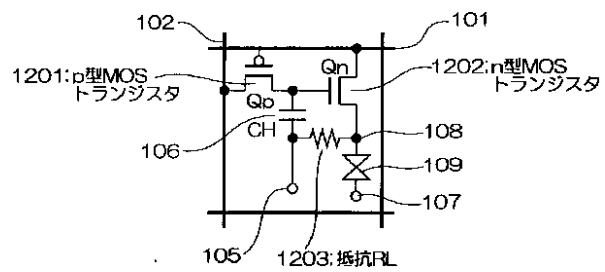
【図 10】



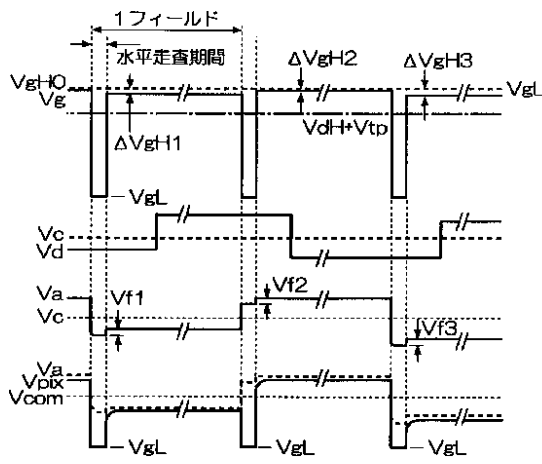
【図 1 1】



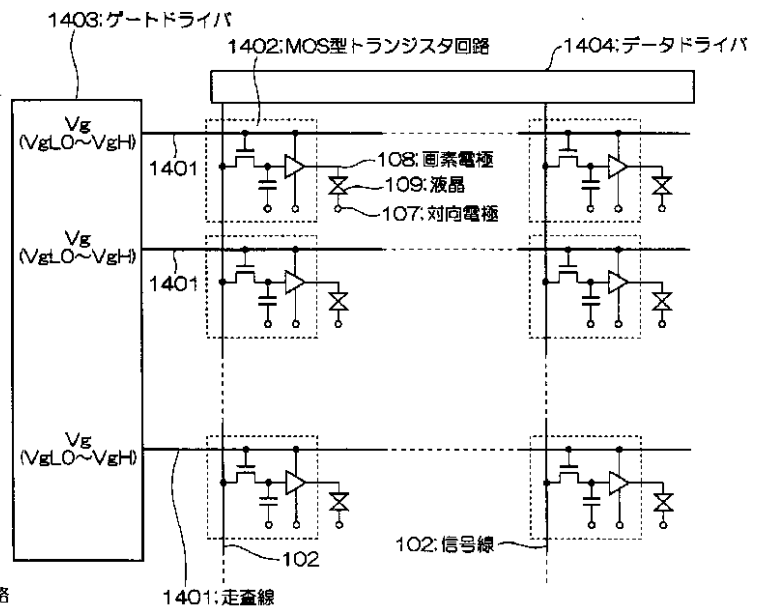
【図 12】



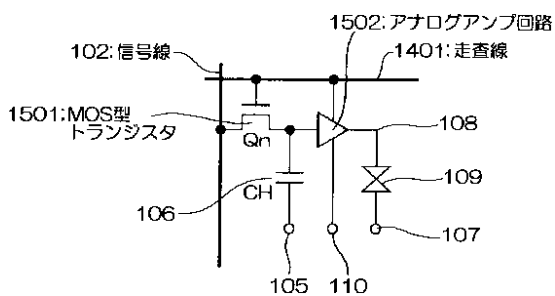
【图 13】



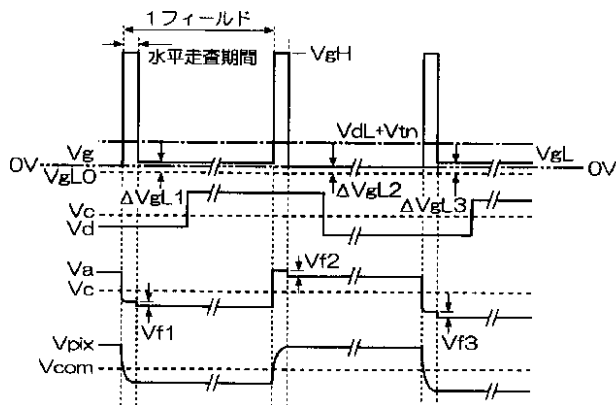
【図 14】



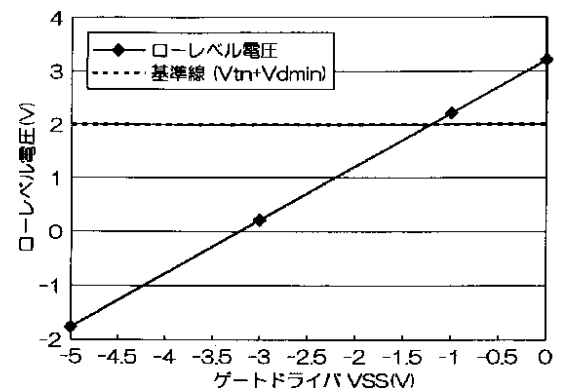
【図 15】



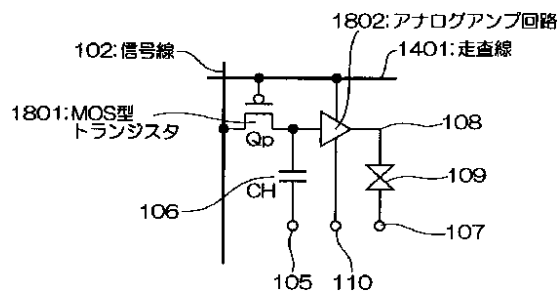
【図16】



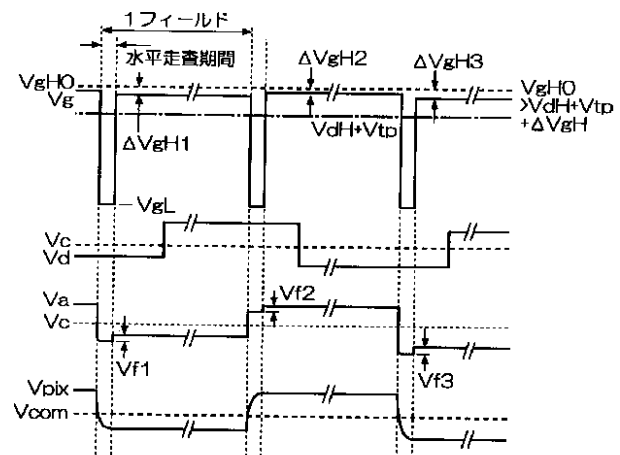
【図17】



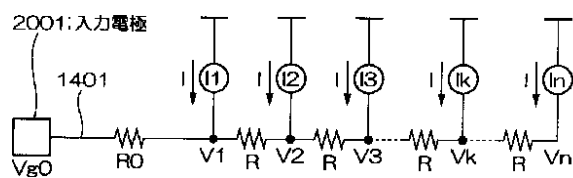
【図18】



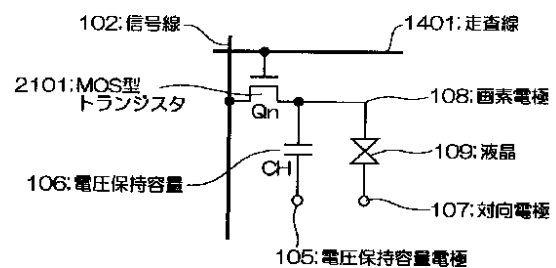
【図19】



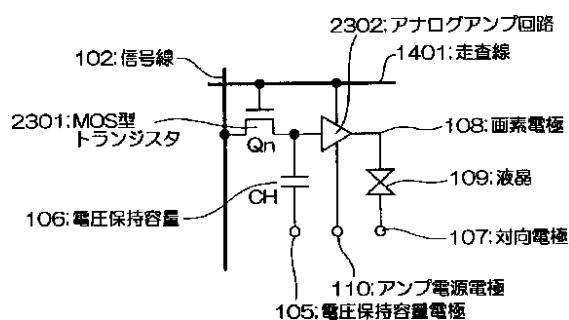
【図20】



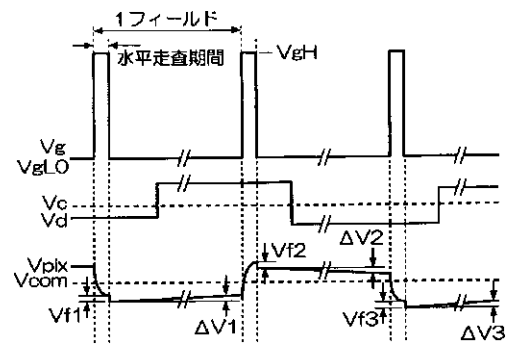
【図21】



【図23】



【図22】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C
			6 1 4

F ターム(参考) 2H092 JB61 KB01 NA11 PA06
 2H093 NC02 NC03 NC33 ND31
 5C006 AC22 AF42 AF51 BB16 BC03
 BF43 FA41
 5C080 AA10 BB05 DD09 DD22 EE29
 FF11 JJ03 JJ04 JJ05
 5F110 AA30 BB01 EE03 EE04 EE05
 EE06 GG02 GG04 GG12 GG13
 GG15 HM20 NN72 NN73

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002250938A	公开(公告)日	2002-09-06
申请号	JP2001376506	申请日	2001-12-10
申请(专利权)人(译)	NEC公司		
[标]发明人	木村和典 浅田秀樹		
发明人	木村 和典 浅田 秀樹		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1343 G09G3/20 G09G3/36 H01L29/786		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/1343 G09G3/20.622.C G09G3/20.670.E G09G3/36 H01L29/78.612.C H01L29/78.614		
F-TERM分类号	2H092/JB61 2H092/KB01 2H092/NA11 2H092/PA06 2H093/NC02 2H093/NC03 2H093/NC33 2H093/ND31 5C006/AC22 5C006/AF42 5C006/AF51 5C006/BB16 5C006/BC03 5C006/BF43 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5F110/AA30 5F110/BB01 5F110/EE03 5F110/EE04 5F110/EE05 5F110/EE06 5F110/GG02 5F110/GG04 5F110/GG12 5F110/GG13 5F110/GG15 5F110/HM20 5F110/NN72 5F110/NN73 2H192/AA24 2H192/CB22 2H192/CC01 2H192/DA01 2H192/DA91 2H192/GD61 2H193/ZA03 2H193/ZA04 2H193/ZA20 2H193/ZF02 2H193/ZF03		
优先权	1999208329 1999-07-23 JP 2000125055 2000-04-26 JP 2000172582 2000-06-08 JP		
其他公开文献	JP3661638B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通常在每个像素中具有模拟放大电路的有源矩阵型液晶显示装置中进行开关操作。提供了一种MOS晶体管（ Q_n ）103，其具有连接至由金属或金属硅化物形成的扫描线101的栅极，以及连接至信号线102的源极和漏极之一以及输入电极。模拟放大器电路104连接到晶体管（ Q_n ）103的源极和漏极中的另一个，其输出电极连接到像素电极108，并且正电源线和负电源线之一连接到扫描线101，电压保持电容器106形成在模拟放大电路104的输入电极和电压保持电容器电极105之间，以及用于在像素电极108和对电极107之间切换的液晶109。

