

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 194646

(P2001 - 194646A)

(43)公開日 平成13年7月19日(2001.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ド [*] (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133 550	2 H 0 9 2
1/1368		G 0 9 F 9/30 338	2 H 0 9 3
G 0 9 F 9/30	338	G 0 9 G 3/36	5 C 0 0 6
G 0 9 G 3/36		G 0 2 F 1/136 500	5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78 614	5 F 1 1 0
審査請求 未請求 請求項の数 6 O L (全 10数)			

(21)出願番号 特願2000 - 4888(P2000 - 4888)

(22)出願日 平成12年1月13日(2000.1.13)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 青野 義則

茨城県日立市大みか町七丁目1番1号 株式
会社日立製作所日立研究所内

(72)発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株式
会社日立製作所日立研究所内

(74)代理人 100087170

弁理士 富田 和子

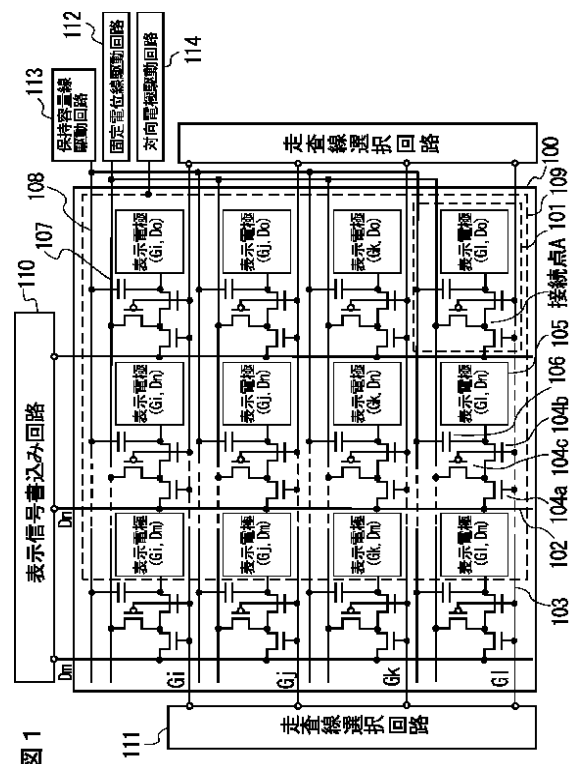
最終頁に続く

(54)【発明の名称】 アクティブマトリクス液晶表示装置

(57)【要約】

【課題】走査線が非選択状態のときに、画素回路の薄膜トランジスタのオフ電流を低減し、良好な表示品質を実現する。

【解決手段】画素回路において複数の薄膜トランジスタ104a、104bを直列に接続し、その接続点Aには別の薄膜トランジスタ104cを接続し、薄膜トランジスタ104cのもう一方の電極を固定電位線駆動回路112に接続して固定電位とすることで、薄膜トランジスタのドレイン電極とソース電極との間に加わる電圧を低減する。



【特許請求の範囲】

【請求項 1】表示電極をそれぞれ備える複数の画素部を面配置した液晶表示装置において、固定電位を印加するための固定電位駆動手段を有し、前記複数の画素部の各々は、前記表示電極に接続される、ソース電極とドレイン電極とを直列接続した第 1 の薄膜トランジスタ及び第 2 の薄膜トランジスタと、当該画素部が選択されていない場合に、前記第 1 及び第 2 の薄膜トランジスタの接続部と前記固定電位駆動手段とを接続するスイッチング手段とを有することを特徴とする液晶表示装置。

【請求項 2】予め定めた間隔を隔てて液晶を挟持する一対の絶縁性基板において、第 1 の絶縁性基板の片側には複数の走査線と、前記複数の走査線に交差して形成された複数の信号線とを備え、前記走査線と前記信号線の交差領域に形成された薄膜トランジスタ、前記薄膜トランジスタと接続された表示電極、及び前記表示電極に並列に接続された保持容量素子をそれぞれ備える複数の画素部をマトリクス状に配置した駆動側基板と、前記駆動側基板に対向する位置に設けられた第 2 の絶縁性基板であって、前記第 2 の絶縁性基板上に形成され、一定の電位に接続された導電性の電極部材を有する対向側基板とを有するアクティブマトリクス液晶表示装置において、固定電位を印加するための駆動部を有し、前記駆動側基板の各画素部は複数の薄膜トランジスタを有し、前記複数の薄膜トランジスタのうち、第 1 の薄膜トランジスタと第 2 の薄膜トランジスタとは直列に接続されており、その接続点に第 3 の薄膜トランジスタの一方の電極を接続し、前記第 3 の薄膜トランジスタのもう一方の電極を前記固定電位に接続することを特徴とするアクティブマトリクス液晶表示装置。

【請求項 3】請求項 2 に記載のアクティブマトリクス液晶表示装置において、前記第 3 の薄膜トランジスタの電極が接続される固定電位は、前記対向側基板上に形成された前記導電性の電極部材が接続された電位と同電位であることを特徴とするアクティブマトリクス液晶表示装置。

【請求項 4】請求項 2 に記載のアクティブマトリクス液晶表示装置において、前記第 3 の薄膜トランジスタの導電型は、前記第 1 及び第 2 の薄膜トランジスタの導電型とは異なり、かつ各々の薄膜トランジスタの制御電極に印加する制御信号の大きさが、前記第 1 及び第 2 の薄膜トランジスタと前記第 3 の薄膜トランジスタとで等しいことを特徴とするアクティブマトリクス液晶表示装置。

【請求項 5】請求項 2 に記載のアクティブマトリクス液晶表示装置において、前記第 3 の薄膜トランジスタは、自己整合型構造を有しており、制御電極直下部の半導体層に含まれる不純物の

濃度分布が、前記半導体層上部の制御電極端部に対向する位置から $1 \sim 2 \mu\text{m}$ の範囲で、前記制御電極直下部の不純物濃度より高いことを特徴とするアクティブマトリクス液晶表示装置。

【請求項 6】請求項 2 に記載のアクティブマトリクス液晶表示装置において、前記駆動部は、互いに異なる複数の固定電位を印加するものであって、前記第 3 の薄膜トランジスタが接続される固定電位の大きさは、隣り合う画素部で互いに異なることを特徴とするアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に駆動側基板上に形成した薄膜トランジスタを液晶駆動用素子として用いる場合の画素回路構成に関する。

【0002】

【従来の技術】図 3 に示すように、従来のアクティブマトリクス液晶表示装置で用いられる画素回路 301 は、松本正一著、液晶ディスプレイ技術（産業図書）にて説明されているように、薄膜形成プロセス技術により駆動側基板（図示せず）上に形成された信号線 302 と走査線 303 によって区分された部分に、液晶駆動用素子として薄膜トランジスタ 304（Thin Film Transistor、以後 TFT と略する）、導電性で、透明な表示電極 305 および表示電圧保持用容量素子 306 で構成される。TFT 304 の構成は制御電極であるゲート電極 304g、入力側のドレイン電極 304d、出力側のソース電極 304s からなり、各電極は走査線 303、信号線 302、表示電極 305 および保持容量素子 306 に接続されている。また保持容量素子 306 の他の電極は、走査線 303 と並行に配置され、一定の電位に接続された保持容量線 307 に接続されている。一方、駆動側基板の対向側基板上には共通電極（図示せず）が形成され一定の電位に接続されて駆動される。

【0003】画素回路 301 の動作を説明する。走査線 303 が選択されると、走査線 303 には $12 \sim 15(\text{V})$ の電圧が与えられる。これは信号線に加えられた画像信号 V_d を表示電極 305 に正しく書き込むことが出来るように、画像信号 V_d の最大振幅値（ $8 \sim 10\text{V}$ ）に TFT のしきい値電圧 V_{th} （スレッショールド電圧： $0 \sim 3\text{V}$ ）を加え、これに若干余裕を見た値である。TFT 304 の導電型が NMOS である場合は、走査線 303 に接続されたゲート電極 304g の振幅値（以後ゲート電圧とする）が十分高い電圧になると TFT 304 内部のゲート電極 304g 直下部の半導体層とゲート絶縁膜との界面付近にチャネルが形成されてドレイン電極とソース電極間が導通状態となり、信号線 302 に印加された画像信号 V_d は、表示電極 305 および保持容量素子 306 に印加される。このとき表示電極に印加された電圧により保持容量素子 306 を充電する。

【0004】画像信号の書込みが完了すると他の走査線が選択され、直前まで選択していた走査線に接続されていたTFTのゲート電圧が V_{th} 以下に下がると、チャンネルが無くなってドレイン電極304dとソース電極304s間是非導通状態となるため両電極間は非常に高い抵抗を示す。一般に液晶表示装置では、表示電極305の電圧（以後ソース電圧 V_s と呼ぶ）は、再び同じ走査線が選択されるまでの期間中、保たれていなければならない、1/60秒（16.6ミリ秒）以上必要とされる。

【0005】しかしながら信号線302には、当然のことながら他の画素回路の駆動のための画像信号が加えられるため、その大きさによってTFT304に影響を及ぼす。

【0006】図4(a)～(c)は、液晶駆動方法として知られるドット反転駆動を用いて、液晶表示装置の表示領域内に画像パターンを表示する場合の様子を示したものである。

【0007】図4(b)において走査線403aを選択し、表示領域の水平方向に対して一様に同じ画像信号を書込んで表示を完了する。次に先の走査線403aとは異なった走査線403bを選択してゲート電圧を十分高い電圧に設定して、図4(c)に示すように、信号線ごとに振幅値が異なる画像信号 V_d を各信号線402a～402kに順次加える。この結果、既に画像信号の書込みが終了している画素回路から同じ信号線を見ると、表示電極に印加されている信号の大きさと、信号線の画像信号の大きさが異なる場合は、TFTのソース電極とドレイン電極との間に電位差が生じる。図3の等価回路では、ソース電極304sの電圧 V_s とドレイン電極304dの電圧 V_d との差が電位差となる。

【0008】この電位差は半導体層内のドレイン電極304dまたはソース電極304sのうち、より高い電圧が加わっている電極（高電位側）のゲート電極側と、ゲート電極304gの端部との間に強い電界が生じ、半導体層内に欠陥を生じさせ薄膜自身の性能を劣化させる。そのため、両電極間にはオフ電流 I_{off} と呼ばれる微弱な電流が流れる。オフ電流 I_{off} により、保持容量306は順次電荷を放出し保持電圧が低下してしまい表示品質が損われる。

【0009】このオフ電流の低減を図るため、TFTの構造、製造プロセス、構成物質や駆動方法などに改良が重ねられている。代表的なものとしては複数のTFTを直列に接続することにより、TFTのドレイン電極とソース電極間の抵抗値を大きくし、ゲート電極端部との間にかかる電界を緩和するマルチゲート電極構造や、半導体層内に導入する不純物の濃度分布により電界が緩和されることを利用したLDD（Light Doped Drain）構造が知られている。その他、特開平7-333,653号公報の開示情報によれば、複数のTFTを直列に接続してマルチゲート構造のTFTを形成し、中間の接続点の間にもTFTを接続してこれを容量素子として用いている。これにより表示電極と信号線との電位差が小さくなるようにしている。

【0010】

【発明が解決しようとする課題】一般にTFTを容量素子として用いる場合は、TFTのドレイン電極とソース電極を短絡して容量素子の片側電極を形成し、もう一方のゲート電極との間に薄い絶縁膜を挟み、両電極間に電圧を供給して動作させるMIS構造（Metal Insulator Semiconductor）が知られている。しかし、このようにゲート電極端子に常に十数Vの電圧を供給する場合、両電極間の電界強度が大きいため絶縁膜の耐压確保が課題となることが予測される。

【0011】そこで本発明の目的は、オフ電流を低減することにより保持電圧の変動を少なくし、安定な表示品質を得ることが可能な液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために本発明は、表示電極をそれぞれ備えた複数の画素部をマトリクス状に配置した液晶表示装置において、固定電位を印加するための固定電位駆動手段を備え、前記複数の画素部の各々は、前記表示電極に接続される、ソース電極とドレイン電極とが直列接続された第1の薄膜トランジスタ及び第2の薄膜トランジスタと、当該画素部が選択されていない場合に、前記2つの薄膜トランジスタの接続部と前記固定電位発生部とを接続するスイッチング手段とを有することを特徴とする。

【0013】

【発明の実施の形態】本発明はその一実施態様において、一対の絶縁性の基板を有し、第1の絶縁性基板上に形成した複数の信号線と複数の走査線とに区分された各画素領域内に、それぞれ複数の薄膜トランジスタ、透明表示電極、容量素子を形成した駆動側基板と、第2の絶縁性基板であって、第1の絶縁性基板と対向する面に導電性部材を形成し、液晶駆動電圧の共通電位に接続された対向基板とを有する液晶表示装置において、各画素領域に配置された複数の薄膜トランジスタのうち第1の薄膜トランジスタと第2の薄膜トランジスタを直列に接続し、その接続点には上記スイッチング手段として機能する第3の薄膜トランジスタを接続し、第3の薄膜トランジスタのもう一方の電極は固定電位に接続することとする。

【0014】本発明の第3の薄膜トランジスタの固定電位は、例えば上記共通電位と同電位とする。

【0015】また、本発明記載の薄膜トランジスタは、第1の薄膜トランジスタ及び第2の薄膜トランジスタの導電型と、第3の薄膜トランジスタの導電型の種類が異なる構成とすることが望ましい。これらの第1および第2の薄膜トランジスタと、第3の薄膜トランジスタのゲート電極を互いに接続することとした。各薄膜トランジスタには導電型の種類によらず同じゲート電圧が印加される。

【0016】また、本発明の第3の薄膜トランジスタは

ボトムゲート型構造とし、ゲート電極の下部に形成した半導体層内の不純物の濃度は、半導体層内であってゲート電極の端部に対向する位置から $1 \sim 2 \mu\text{m}$ の範囲において、ゲート電極直下部の不純物濃度より高い構成とすることが望ましい。

【0017】また、本発明の他の実施態様としては、第3の薄膜トランジスタの電極に接続される固定電位線と固定電位を駆動する回路を複数組用意し、各画素回路ごとに異なる電位に接続する構成とした。具体的には、例えば、信号線を隔てて隣合う画素回路の第3の薄膜トランジスタに接続する固定電位の大きさが互いに異なるように固定電位線を配置する。

【0018】なお、本発明に使用している薄膜トランジスタの作製プロセスは特に定めないものとする。すなわち薄膜トランジスタを構成する半導体材料は、例えば単結晶シリコン、アモルファスシリコン、多結晶シリコンなどが望ましい。

【0019】また、電界移動度が大きく駆動能力が高い多結晶シリコンを用いることにより、高速動作、表示輝度の高輝度化が図れ、また薄膜トランジスタのサイズを小さくできるため画素部の開口率を損なうことなく精細度が高い表示装置を実現することができる。

【0020】以下、図面を参照して本発明を適用したアクティブマトリクス液晶表示装置を詳しく説明する。

【0021】図1は本発明によるアクティブマトリクス液晶表示装置の一実施形態における画素回路を含む要部構成の一例を示すブロック図である。

【0022】本実施形態のアクティブマトリクス液晶表示装置において、駆動側基板上に形成した表示部100には、画素回路101が、信号線102と走査線103により分割された領域に配置されている。画素回路101内部には、信号線102と走査線103の交差点付近に、第1の薄膜トランジスタとしてN型導電層のMOS (Metal Oxide Semiconductor) 型薄膜トランジスタ104a (以下TFTと略する)、第2のTFTとして同じくNMOS型TFT104b、第3のTFTとしてP型導電層のMOS型TFT104cと、透明性表示電極105、保持容量106が配置される。

【0023】TFT104aのソース電極とTFT104bのドレイン電極は接続点Aで接続され、信号線102と表示電極105との間をTFT104a、TFT104bによって結ぶ。また、TFT104cのドレイン電極を上記接続点Aに接続し、ソース電極を固定電位線107に接続する。

【0024】一方、信号線102は表示信号書込み回路110に接続され、走査線103は走査線選択回路111に接続されている。また、固定電位線107および保持容量線108は走査線102と並行して配置され、さらに相互に接続してすべての画素回路101を共通に接続されており、固定電位線駆動回路112および保持容量線駆動回路113により駆動される。

【0025】また液晶素子を挟んで駆動側基板上の表示

電極105に対向して設けた対向基板上の対向電極109は、対向電極駆動回路114により駆動される。

【0026】なお、図には示していないが、駆動側基板、対向基板の両側に偏光板および片側にバックライトを配置してアクティブマトリクス液晶表示装置が構成される。

【0027】また、本実施形態の特徴的構成は、駆動電圧生成回路、表示メモリ、タイミング信号生成回路等の各種周辺回路を含むさまざまな形態を備える周知の液晶表示装置に適用可能である。

【0028】次に、本発明のアクティブマトリクス液晶表示装置の動作原理について、図1の構成図および図2に示す画素回路での駆動波形、図4の表示パターンの概要を用いて説明する。

【0029】例えば、図4(a)のような表示をおこなう場合、表示信号書込み回路110は、図4(c)に示すようにパターンに応じた画像信号を各信号線402a~402kに出力する。すなわち液晶表示原理の一例として、Twisted Nematicモードにより表示を行う場合、“黒”表示における液晶駆動電圧は、“白”表示をにおける駆動電圧に比べて高くなる。

【0030】図1の表示信号書込み回路110により選択された信号線Dmは、表示信号書込み回路内のサンプリング回路 (図示せず) により映像信号線からサンプリングした9(V)の振幅値を持つ画像信号電圧Vm1が設定され、同時にまたTFTの電極の内、信号線と接続されたドレイン電極も同じ電圧に設定される (図2参照)。

【0031】走査線選択回路111により選択された走査線Giが12(V)に設定され (以後、選択状態と呼ぶ)、走査線Giに接続されているTFTのゲート電圧が12(V)になると、ゲート電極とドレイン電極の電位差はTFTのしきい値Vth以上であるため、TFT104aとTFT104bとはともにオン状態となって、ドレイン電極とソース電極間が導通する。このとき画像信号Vm1がTFT104aとTFT104bを介して表示電極105 (Gi,Dm)に書込まれ、対向電極109との間に挟まれた液晶素子に電位差が生じて表示が行われる。これと同時に保持容量106も電圧VH(V)に充電される。次に他の信号線Dnが選択されると、振幅値VH(V)の画像信号Vn1がサンプリングされ表示電極 (Gi,Dn)に書込まれる。

【0032】以上のように表示電極に画像信号を書き込んだ後は、走査線の電圧を0(V)に設定すると (以後、非選択状態と呼ぶ)、ドレイン電極とゲート電極間電圧がしきい値電圧Vth以下となって、ドレイン電極とソース電極間のチャネルが無くなりTFT104a、TFT104bをオフ状態となる。保持容量106は、次に走査線Giが選択されるまでその電圧値を保つ。

【0033】次に、走査線Giに替って走査線Gjを選択する。信号線Dmが選択され、信号線から振幅値VH(V)を持つ画像信号Vm2がサンプリングされ表示電極 (Gj,Dm)に

書き込まれる。このとき既に書き込みを終了して、走査線Giに接続されている表示電極(Gi,Dm)と、選択されている信号線Dmとの間には電位差Vdsが生じ、その値はTFT104aのドレイン電極電圧値とTFT104bのソース電極電圧値(Vm1-Vm2)となる。

【0034】例えば、対向基板上の電極の共通電圧値Vcomを5(V)、表示時のコントラスト比を最大にとれる液晶の駆動電圧VLCmaxが4(V)とすれば、同じパターンを表示する場合でも、共通電圧値に対して対称な電圧が印加されるため、Vm1は(Vcom + VLCmax)で9(V)、Vm2は(Vcom - VLCmax)で1(V)となる。よって電位差はVm1-Vm2で表され、8(V)となる。

【0035】次に、信号線Dnが選択されて画像信号線から振幅値VL(V)を有する電圧Vn2を表示電極に書き込んだ場合は、表示電極(Gi,Dn)と信号線Dnとの電位差は(Vn1 - Vn2)である。この場合、液晶駆動の最小電圧を印加したものとし、VLCminを1(V)とすると、Vn2は(Vcom - VLCmin)で4(V)となる。Vn1は9(V)とすると(Vn1-Vn2)は5(V)となる。以上から同じパターンを表示する場合は、最大8(V)、“白”表示させた画素との間では、最大5(V)の電圧が表示電極と信号線に加わる。

【0036】一方、P型導電層のMOS型TFT104cにおいては、TFT104aおよび104bがオン状態のときは、チャネルが形成しないためオフ状態として動作するのでドレイン - ソース間は非常に高い抵抗となる。つまりTFT104aおよびTFT104bの接続点Aからみると、固定電位線107との間は開放状態である。TFT104aおよびTFT104bがオフ状態の場合は、チャネルが形成されTFT104cはオン状態となって導通し、接続点Aの電位は固定電位の値に設定される。

【0037】ここで固定電位の値として、例えば上記共通電圧(図4の例では5V)を選択することにより、表示電極の電圧と接続点Aの電位差は最大で4(V)となる。これは従来の電位差に比べて1/2以下となる。なお、本発明において、この固定電位の値は共通電位だけに限定されるものではなく、画像信号線に印加され得る最大振幅値の中心電圧でも良いし、望ましくは液晶素子に直流電圧が残らない様に中心電圧より多少オフセットした値でもよい。

【0038】以上、本実施形態によれば、複数の薄膜トランジスタのうち第1および第2の薄膜トランジスタを直列に接続する。その接続点に第3の薄膜トランジスタの一方の電極を接続し、もう一方の電極を固定電位に接続する構成とする。また第1および第2の薄膜トランジスタの導電型をNMOS型とし、第3の薄膜トランジスタの導電型をPMOS型とする。各薄膜トランジスタの制御入力電極であるゲート電極を共通に接続する。

【0039】走査線が選択されると、ゲート電極と信号線との間に薄膜トランジスタのしきい値電圧Vth以上の電圧が加わるため第1、第2の薄膜トランジスタがオン

し、第3の薄膜トランジスタがオフとなる。このとき信号線Dmからの画像信号が第1、第2の薄膜トランジスタを介して表示電極に書込まれる。走査線が非選択状態となると第1、第2の薄膜トランジスタがオフし、替って第3の薄膜トランジスタがオンとなる。

【0040】このとき表示電極と信号線Dmとの間の薄膜トランジスタには電位差が生じるため、オフ電流が流れようとする。しかし第1、第2の薄膜トランジスタの接続点Aの電位が第3の薄膜トランジスタに接続された固定電位と等しくなるため、表示電極の電圧との電位差は小さくなる。そのため第2の薄膜トランジスタを流れるオフ電流は減少し、表示電圧の変動が抑えられる。

【0041】図5(a)~(h)は、本発明を適用した液晶表示装置の画素回路を構成する複数の薄膜トランジスタの配置例を模式的に示したものである。

【0042】図5(a)は、半導体層501にリンイオンを導入したn型の導電領域503の長辺の中央部付近に、ボロニイオンを導入して形成したp型の導電領域504がT字状に配置されている。各領域の端部には配線材、または他の導電領域とのコンタクトを図るためのコンタクトホール505が形成されており、このコンタクトホール505を介して配線材、透明電極が接続されている。本図では図示はしていないが画像信号線、透明性表示電極および固定電位線に接続されている。

【0043】また、各導電領域503、504は走査配線502の一部と交差しておりゲート電極として形成されている。したがって、n型の導電領域503はダブルゲート構造のn型薄膜トランジスタとして動作し、p型の導電領域504はp型の薄膜トランジスタとして動作する。

【0044】その他、図5(b)~(h)のようにダブルゲート構造のn型薄膜トランジスタとp型薄膜トランジスタの配置を変えてもオフ電流の低下の効果は変わらない。

【0045】本配置例によれば、オフ電流の低下を図ると共に、従来と同様にさまざまな形状の画素回路を実現することができる。

【0046】次に、本発明による画素回路の他の実施形態について説明する。

【0047】図6は、オフセット領域を設けたp型導電型の薄膜トランジスタを用いた画素回路の断面図である。図5(g)で示した薄膜トランジスタのA-A線に沿った断面を示している。

【0048】本実施形態の画素回路においては、絶縁性の基板上に半導体層601、絶縁膜層602が積層されている。さらに、ゲート電極603a、603bが積層され幅Wにパターンニングされている。次に不純物を導入してn型導電領域604、p型導電領域605を形成する。なお、本図の607aはn型導電型TFTのドレイン電極、607bはp型導電型TFTのドレイン電極、608は層間絶縁膜を指す。

【0049】本実施形態の構成によれば、図に示すようにp型導電領域605で挟まれた領域606bの幅Wpが、n型

導電領域604で挟まれた領域606aの幅 W_n にくらべて ($W_p - W_n$) の幅だけ広いため、シート抵抗値が大きくなる。よって、ゲート電極603bとその直下のp型導電領域605との間の電界強度が緩和されるため、オフ電流を更に小さくすることができる。

【0050】次に、本発明によるアクティブマトリクス液晶表示装置の他の実施形態について図7を参照して説明する。図7は、図1で示したアクティブマトリクス液晶表示装置において、固定電位線を2本配置し、各々の電位線を異なる電位によって駆動する回路を付加した構成を示したものである。

【0051】本実施形態において、駆動側基板700上にはマトリクス状に複数の画素回路701が配置され、各画素回路701は複数の薄膜トランジスタ704a、704b、704cと表示電極705、および保持容量706で構成される。また画素回路701を取囲むように信号線702および走査線703が形成されている。

【0052】画素回路701内の第3の薄膜トランジスタ704cの電極のうち、固定電位に接続する電極の電圧は、画素回路の両側の信号線702によって区切られた列によって交互に異なるように設定される。すなわち、信号線 D_m と D_n に挟まれた画素回路列を含む1列おきの画素回路列群（例えば奇数列群）では、固定電位線駆動回路712Aにより固定電位線707aを、対向電極の共通電圧 V_{com} に最大液晶駆動電圧 V_{LCmax} の1/2を加えた値の電圧で駆動し、信号線 D_n と D_o に挟まれた画素回路列を含む1列おきの画素回路群（例えば偶数列群）では、固定電位線駆動回路712Bにより固定電位線707bを、対向電極の共通電圧 V_{com} から最大液晶駆動電圧 V_{LCmax} の1/2を引いた値の電圧で駆動する。

【0053】本実施形態においては、信号線 D_m に図4(c)で示したような正の方向に振幅値 V_H を持つ画像信号 V_d を印加して表示電極705に書込んだ後に走査線 G_i を非選択状態にする。次に走査線 G_j を選択し、負の方向に振幅値 $-V_H$ を持つ画像信号 V_d を印加したとき、表示電極705と信号線 D_m 間の電位差は最大8(V)となる。固定電位線707aは先に述べたように7(V)に設定され、画像信号電圧の最大値が9(V)に設定されているため、薄膜トランジスタ704bの電極間の電位差は2(V)となる。

【0054】したがって図1の実施形態と同様に、薄膜トランジスタの入力側電極と出力側の電極との電位差を低減せしめ、オフ電流を抑えることができる。

【0055】なお、上記の例とは反対に負の振幅値 $-V_H$ を持つ画像信号を印加した後で、他の画素回路に正の振幅値 V_H を持つ画像信号が信号線に印加されているときは、画素回路内の薄膜トランジスタは表示電極705に対して電荷を供給するように動作するので、オフ電流が流れることはなく安定な状態を保つ。

【0056】また、本発明において2つの固定電位線に印加すべき電圧値は、本実施形態のように($V_{com} + V_{LCmax} \times 50$

$\times 1/2$)及び($V_{com} - V_{LCmax} \times 1/2$)の値に限定されるものではなく、TFTのドレイン電極とソース電極の電位差が0に近づくか、あるいは、トータルでリーク電流の低減を図ることができるものであれば、他の固定電位値を用いても良い。画素回路では2つのTFTを用いているが、TFTのオフ特性がゲート電圧に対してフラットではない。このため、各TFTに分担させるべき電圧配分としてバランスがとれて最もシンプルなのは、最大電位差の半分づつを分担させる方法である。また、表示電極側に接続されているTFTの電極間電圧をより小さくするように電圧を分担する構成としても良く、より好ましくは、表示電極側と信号線側の電圧分担比を1:1~1:3とする。

【0057】

【発明の効果】本発明によれば、アクティブマトリクス液晶表示装置において、画素回路の薄膜トランジスタがオフ状態の時に、ドレイン電極とソース電極との間に加わる電圧を小さくできるため、薄膜トランジスタのオフ電流を低下することが可能となり表示電極の電圧の変動を抑えることができる。

【0058】また、本発明によれば、薄膜トランジスタの直列接続点に接続した第3の薄膜トランジスタのもう一方の電極に加える固定電圧を対向側基板の対向電極に加える電位と同じとしてもよい。ため、駆動回路を共用することができ、回路規模を増加することなく、オフ電流を低減することができる。

【0059】更に、本発明によれば、画素回路内の複数の薄膜トランジスタを自由に配置することができるため、設計者の要求に合わせて、さまざまな画素回路を実現することができる。

【0060】更に、本発明によれば、第3の薄膜トランジスタをオフセット型構造とすることによりオフ電流を更に抑えることができ、良好な表示品質を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施形態における要部構成例を示すブロック図である。

【図2】図1に示した実施形態における駆動波形を示すタイミングチャートである。

【図3】従来の液晶表示装置の画素回路を示すブロック図である。

【図4】図4(a): 液晶表示装置の表示状態の一例を示す説明図である。

図4(b): 液晶表示装置の走査線及びデータ線の概略配置を示す説明図である。

図4(c): 液晶表示装置の駆動電圧の印加方法を説明するための説明図である。

【図5】図5(a): 本発明における薄膜トランジスタの配置例を示した説明図である。

図5(b): 本発明における薄膜トランジスタの配置例を示した説明図である。

11

図 5 (c) : 本発明における薄膜トランジスタの配置例を示した説明図である。

図 5 (d) : 本発明における薄膜トランジスタの配置例を示した説明図である。

図 5 (e) : 本発明における薄膜トランジスタの配置例を示した説明図である。

図 5 (f) : 本発明における薄膜トランジスタの配置例を示した説明図である。

図 5 (g) : 本発明における薄膜トランジスタの配置例を示した説明図である。

図 5 (h) : 本発明における薄膜トランジスタの配置例を示した説明図である。

【図 6】本発明の画素回路に含まれる第 3 の薄膜トランジスタ周辺の断面構成を示す説明図である。

【図 7】本発明による液晶表示装置の他の実施形態における要部構成例を示すブロック図である。

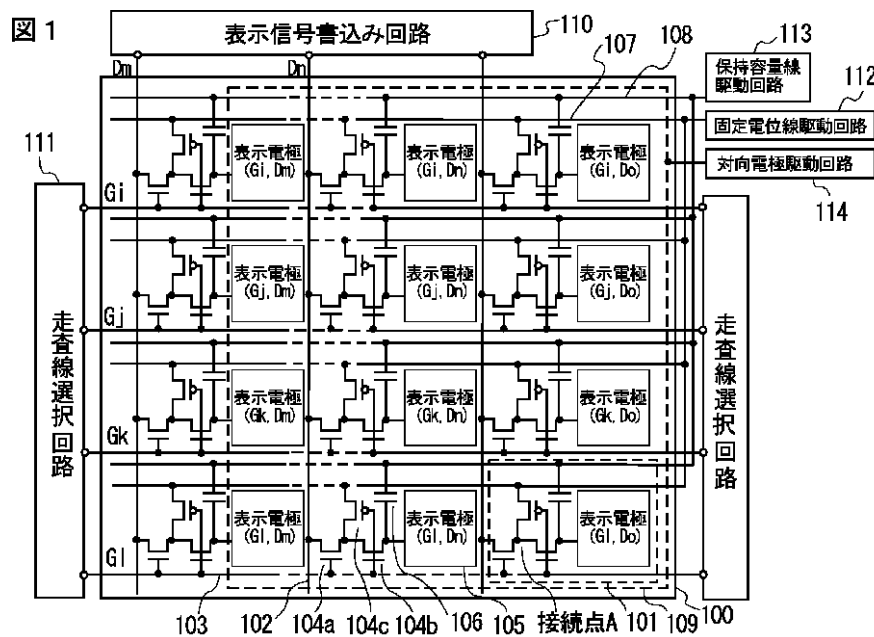
【符号の説明】

100...表示部、101...画素回路、102...信号線、103...走査線、104a、104b、104c...薄膜トランジスタ (TFT)、105*

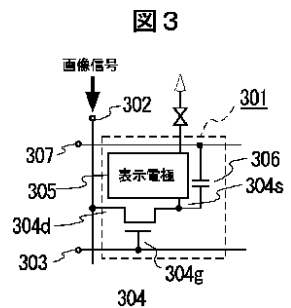
12

*...表示電極、106...保持容量、107...固定電位線、108...保持容量線、109...対向電極、110...表示信号書き込み回路、111...走査線選択回路、301...画素回路、302...信号線、303...走査線、304...薄膜トランジスタ、304g...ゲート電極、304d...ドレイン電極、304s...ソース電極、305...透明表示電極、306...保持容量素子、307...保持容量線、402a~402k...信号線、403a、403b...走査線、501...半導体層、502...走査線、503...n型導電領域、504...p型導電領域、505...コンタクトホール、601...半導体層、602...絶縁膜層、603a、603b...ゲート電極、604...n型導電層、605...p型導電層、606a、606b...チャネル領域、607a...n型導電型TFTのドレイン電極、607b...p型導電型TFTのドレイン電極、608...層間絶縁膜、700...表示部、701...画素回路、702...信号線、703...走査線、704a、704b、704c...薄膜トランジスタ (TFT)、705...表示電極、706...保持容量、707a...固定電位線A、707b...固定電位線B、708...保持容量線、709...対向電極、710...表示信号書き込み回路、711...走査線選択回路。

【図 1】

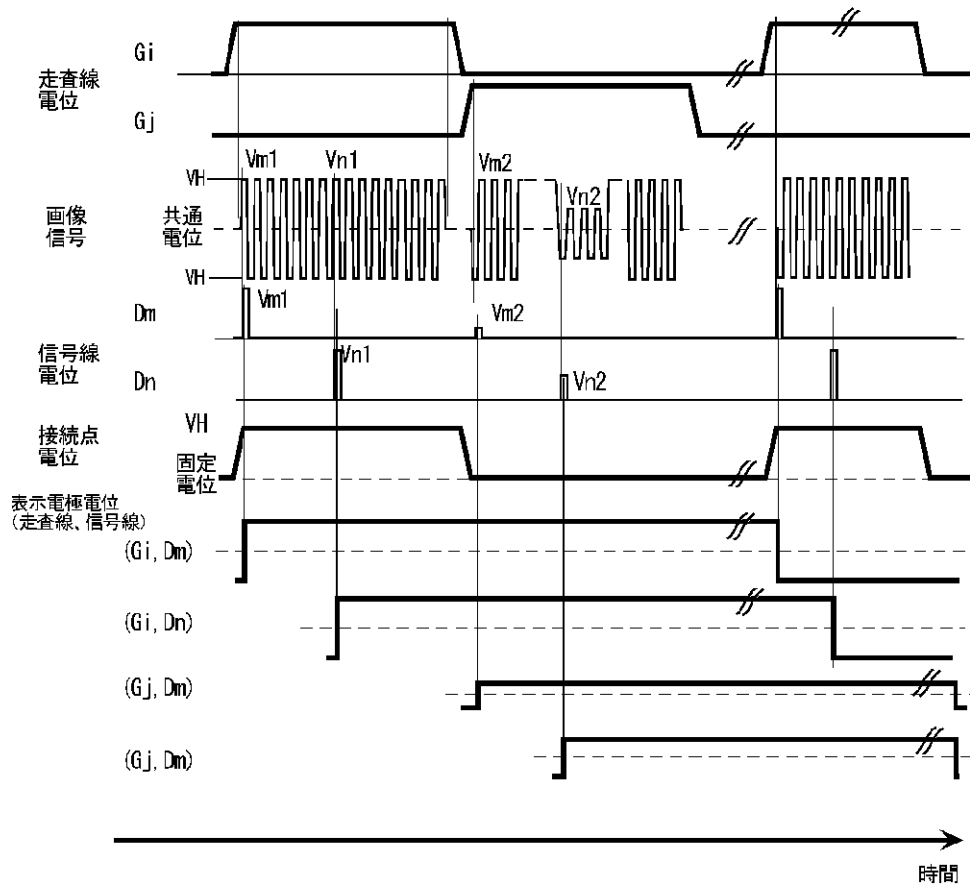


【図 3】



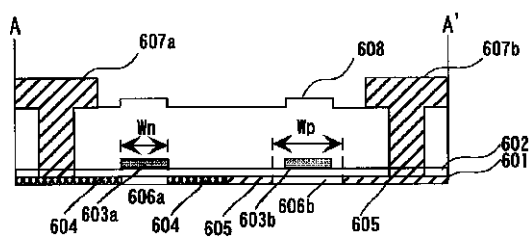
【図2】

図2



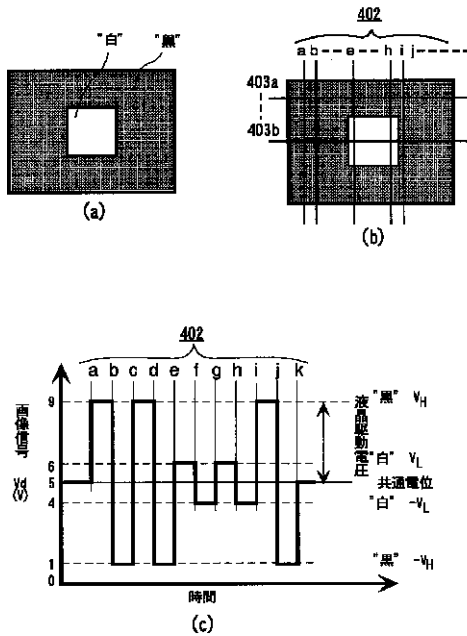
【図6】

図6



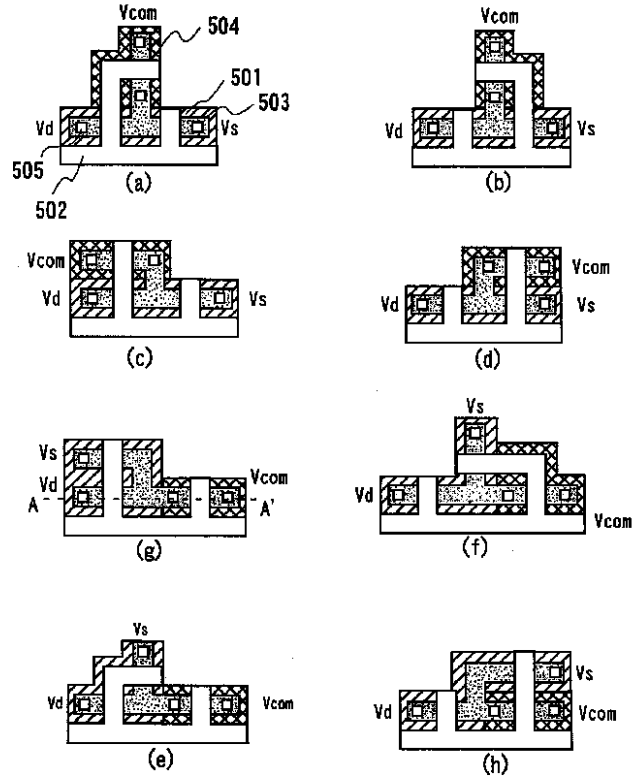
【図4】

図4



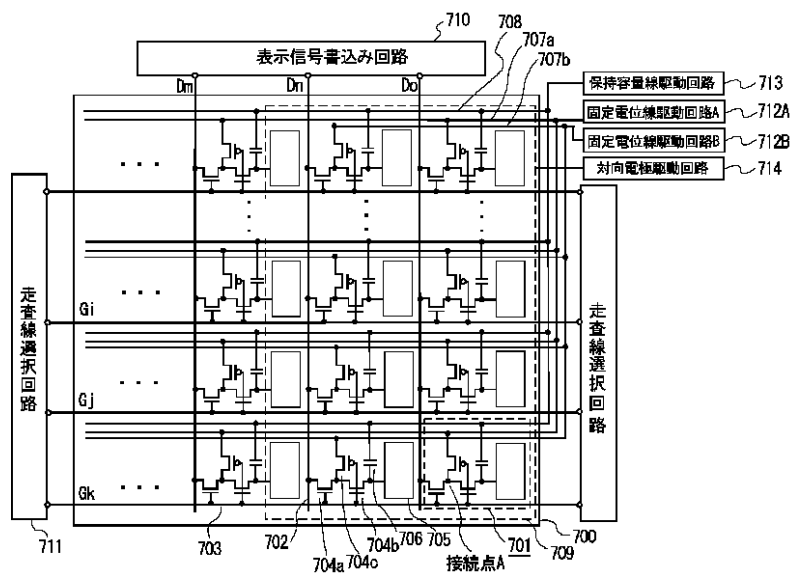
【図5】

図5



【図7】

図7



フロントページの続き

(72)発明者	三上 佳朗	F ターム(参考)	2H092	JA26	JA28	JA34	JA37	JA46
	茨城県日立市大みか町七丁目 1 番 1 号 株			JB44	KA03	KA04	KA05	NA22
	式会社日立製作所日立研究所内		2H093	NA16	NB08	NB12	NC18	NC21
(72)発明者	景山 寛			NC40	ND60	NH12		
	茨城県日立市大みか町七丁目 1 番 1 号 株		5C006	BB16	BC03	BC06	BC12	BC20
	式会社日立製作所日立研究所内			EB05	FA36			
			5C094	AA22	BA03	BA43	CA19	EA04
				EA07	EB05	GA10		
			5F110	AA06	BB02	BB04	CC02	EE28
				GG02	GG12	GG13	GG15	HJ01
				HM14	NN73			

专利名称(译)	有源矩阵液晶显示装置		
公开(公告)号	JP2001194646A	公开(公告)日	2001-07-19
申请号	JP2000004888	申请日	2000-01-13
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	青野義則 佐藤秀夫 三上佳朗 景山寛		
发明人	青野 義則 佐藤 秀夫 三上 佳朗 景山 寛		
IPC分类号	G09G3/36 G02F1/133 G02F1/136 G02F1/1368 G09F9/30 H01L29/786		
FI分类号	G02F1/133.550 G09F9/30.338 G09G3/36 G02F1/136.500 H01L29/78.614 G02F1/1368 G09G3/20.624. B		
F-TERM分类号	2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA46 2H092/JB44 2H092/KA03 2H092/KA04 2H092/KA05 2H092/NA22 2H093/NA16 2H093/NB08 2H093/NB12 2H093/NC18 2H093/NC21 2H093/NC40 2H093/ND60 2H093/NH12 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/EB05 5C006/FA36 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/EB05 5C094/GA10 5F110/AA06 5F110/BB02 5F110/BB04 5F110/CC02 5F110/EE28 5F110/GG02 5F110/GG12 5F110/GG13 5F110/GG15 5F110/HJ01 5F110/HM14 5F110/NN73 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB22 2H192/DA12 2H192/FA44 2H192/GD61 2H193/ZA04 2H193/ZA20 2H193/ZF24 2H193/ZF59 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD07 5C080/DD19 5C080/DD22 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
外部链接	Espacenet		

摘要(译)

要解决的问题：当扫描线处于未选择状态时，通过减小像素电路的薄膜晶体管的截止电流来实现优异的显示质量。解决方案：在像素电路中，通过将多个薄膜晶体管104,104b串联连接，将另一个薄膜晶体管104c连接到前一个晶体管之间的连接点A，减小了施加在薄膜晶体管的漏电极和源电极上的电压，将薄膜晶体管104c的另一个电极连接到固定电位线驱动电路112以固定电位。

