

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5486784号
(P5486784)

(45) 発行日 平成26年5月7日(2014.5.7)

(24) 登録日 平成26年2月28日(2014.2.28)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 16 (全 17 頁)

(21) 出願番号	特願2008-233052 (P2008-233052)	(73) 特許権者	502356528
(22) 出願日	平成20年9月11日(2008.9.11)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2010-66542 (P2010-66542A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成22年3月25日(2010.3.25)	(74) 代理人	100075959
審査請求日	平成23年8月10日(2011.8.10)		弁理士 小林 保
		(73) 特許権者	506087819
			パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	100075959
			弁理士 小林 保
		(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	山田 泰之
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持された液晶とを有し、マトリックス状に配置された複数の画素の集合からなる表示領域部を備えたアクティブ・マトリックス型の液晶表示装置であって、

前記第1基板の前記液晶側の面に、前記表示領域部の外周に配置された複数の信号配線と、絶縁膜を介して前記信号配線を被って形成され、前記信号配線で発生する電界が前記表示領域部に分布することを遮蔽する導電膜とを有し、

前記第1基板は、前記表示領域部内に、前記複数の画素に走査信号を供給する複数のゲート信号線と、前記複数の画素に基準信号を供給する複数の基準信号線とを備え、

前記複数の信号配線は、前記表示領域部の第1辺側に配置された第1信号配線と、前記表示領域部の前記第1辺側と対向する第2辺側に配置された第2信号配線とから構成され、

前記複数のゲート信号線は、前記第1信号配線を通して信号が供給される第1ゲート信号線と、前記第2信号配線を通して信号が供給される第2ゲート信号線とから構成され、

前記導電膜は、少なくとも前記第1信号配線を被って配置される第1導電膜と、少なくとも前記第2信号配線を被って配置される第2導電膜とから構成され、

前記複数の基準信号線は、前記第1導電膜側において前記第1導電膜と電氣的に接続された第1基準信号線と、前記第2導電膜側において前記第2導電膜と電氣的に接続された第2基準信号線とから構成され、

10

20

前記第 1 導電膜および前記第 2 導電膜は、それぞれ電氣的に分離されて、信号が供給されることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 導電膜は、前記表示領域部の前記第 1 辺側に配置され、前記第 2 導電膜は、前記表示領域部の前記第 2 辺側に配置されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 導電膜は、一部が前記表示領域部の前記第 1 辺側に配置されているとともに、他の一部が前記表示領域部の前記第 2 辺側に前記第 2 導電膜と電氣的に分離されて並設されて形成され、

10

前記第 1 辺側に配置された前記第 1 導電膜と前記第 2 辺側に配置された前記第 1 導電膜とが電氣的に接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記複数の画素の各画素は、前記第 1 基板側に、前記ゲート信号線からの信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、コモン信号線を通して信号が供給される対向電極とを備え、

前記基準信号線は、前記コモン信号線であり、

前記液晶は、前記画素電極と前記対向電極との間の電位差によって発生する電界によって駆動されることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 5】

前記導電膜は、前記画素電極あるいは前記対向電極と同層に形成され、前記画素電極あるいは前記対向電極と同材料から形成されていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記複数の画素の各画素は、前記第 1 基板側に、前記ゲート信号線からの走査信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、前記画素電極との間に容量を形成する容量信号線とを備え、

前記基準信号線は、前記容量信号線であることを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 7】

前記導電膜は、前記画素電極と同層に形成され、前記画素電極と同材料から形成されていることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 導電膜に電氣的に接続された第 1 基準信号線および前記第 2 導電膜に電氣的に接続された第 2 基準信号線は、前記複数の基準信号線の長手方向に交差する方向に交互に配置されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

第 1 基板と、第 2 基板と、前記第 1 基板と前記第 2 基板との間に挟持された液晶とを有し、マトリックス状に配置された複数の画素の集合からなる表示領域部を備えたアクティブ・マトリックス型の液晶表示装置であって、

40

前記第 1 基板の前記液晶側の面に、前記表示領域部の第 1 辺側に配置された第 1 走査信号駆動回路と、前記表示領域部の前記第 1 辺側と対向する第 2 辺側に配置された第 2 走査信号駆動回路と、絶縁膜を介して前記第 1 走査信号駆動回路と前記第 2 走査信号駆動回路とを被って形成され、前記第 1 走査信号駆動回路と前記第 2 走査信号駆動回路とで発生する電界が前記表示領域部に分布することを遮蔽する導電膜とを有し、

前記第 1 基板は、前記表示領域部内に、前記複数の画素に走査信号を供給する複数のゲート信号線と、前記複数の画素に基準信号を供給する複数の基準信号線とを備え、

前記複数のゲート信号線は、前記第 1 走査信号駆動回路側の端部から信号が供給される

50

第 1 ゲート信号線と、前記第 2 走査信号駆動回路側の端部から信号が供給される第 2 ゲート信号線とから構成され、

前記導電膜は、少なくとも前記第 1 走査信号駆動回路を被って配置される第 1 導電膜と、少なくとも第 2 走査信号駆動回路を被って配置される第 2 導電膜とから構成され、

前記複数の基準信号線は、前記第 1 導電膜側において前記第 1 導電膜と電氣的に接続された第 1 基準信号線と、前記第 2 導電膜側において前記第 2 導電膜と電氣的に接続された第 2 基準信号線とから構成され、

前記第 1 導電膜および前記第 2 導電膜は、それぞれ電氣的に分離されて、信号が供給されることを特徴とする液晶表示装置。

【請求項 10】

10

前記第 1 導電膜は、前記表示領域部の前記第 1 辺側に配置され、前記第 2 導電膜は、前記表示領域部の前記第 2 辺側に配置されていることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記第 1 導電膜は、一部が前記表示領域部の前記第 1 辺側に配置されているとともに、他の一部が前記表示領域部の前記第 2 辺側に前記第 2 導電膜と電氣的に分離されて並設されて形成され、

前記第 1 辺側に配置された前記第 1 導電膜と前記第 2 辺側に配置された前記第 1 導電膜とが電氣的に接続されていることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 12】

20

前記複数の画素の各画素は、前記第 1 基板側に、前記ゲート信号線からの信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、コモン信号線を通して信号が供給される対向電極とを備え、

前記基準信号線は、前記コモン信号線であり、

前記液晶は、前記画素電極と前記対向電極との間の電位差によって発生する電界によって駆動されることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 13】

前記導電膜は、前記画素電極あるいは前記対向電極と同層に形成され、前記画素電極あるいは前記対向電極と同材料から形成されていることを特徴とする請求項 12 に記載の液晶表示装置。

30

【請求項 14】

前記複数の画素の各画素は、前記第 1 基板側に、前記ゲート信号線からの走査信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、前記画素電極との間に容量を形成する容量信号線とを備え、

前記基準信号線は、前記容量信号線であることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 15】

前記導電膜は、前記画素電極と同層に形成され、前記画素電極と同材料から形成されていることを特徴とする請求項 14 に記載の液晶表示装置。

40

【請求項 16】

前記第 1 導電膜に電氣的に接続された第 1 基準信号線および前記第 2 導電膜に電氣的に接続された第 2 基準信号線は、前記複数の基準信号線の長手方向に交差する方向に交互に配置されていることを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に、表示領域部の周囲に形成される信号配線等を絶縁膜を介して被う導電膜（シールド膜）を備える液晶表示装置に関する。

50

【背景技術】

【0002】

アクティブ・マトリックス型の液晶表示装置（パネル）は、液晶を挟持して対向配置される一対の基板を外囲器とし、マトリックス状に配置された複数の画素の集合からなる表示領域部が形成されている。液晶層は前記表示領域部を囲んで形成される環状のシール材によって一対の基板の間に封入されて構成されている。

【0003】

また、シール材に囲まれた領域内であって表示領域部の外周には、シール材の外方の領域から引き回される複数の信号配線（引き回し配線）が形成され、これら信号配線は、表示領域部のたとえばゲート信号線、ドレイン信号線、基準信号線等と電気的に接続されるようになっている。

10

【0004】

この場合、たとえばゲート信号線と電気的に接続される引き回し配線からは、比較的大きな漏れ電界が発生し、この漏れ電界が引き回し配線に隣接する表示領域部の液晶に悪影響を及ぼすことが知られている。このため、絶縁膜を介して前記引き回し配線を被って導電膜を形成し、該導電膜を前記電界のシールド膜として機能させる技術がたとえば下記特許文献1に開示されている。また、該特許文献1には、いわゆるIPS（In Plane Switching）型の液晶表示装置において、前記導電膜を対向電極と同電位にするように構成して、フローティングを回避している。

【0005】

20

図6（a）、（b）は、IPS型の液晶表示装置であって、表示領域部AR内の各ゲート信号線GLにおいて、一方の側の端部から信号が供給されるものと、他方の側の端部から信号が供給されるものとが存在する従来の液晶表示装置を示す構成図である。ここで、図6（a）は平面図、図6（b）は図6（a）のb-b線における断面図を示し、それぞれ、本発明の実施例である図1（a）、（b）に対応した図となっている。このため、以下の説明においては、従来の技術の不都合な説明に必要な構成の説明だけに止める。他の部分の詳細な構成については、図1（a）、（b）における説明を参照されたい。

【0006】

図6（a）、（b）において、液晶LCを挟持して配置される基板SUB1、基板SUB2があり、該液晶LCはシール材SLによって封入されている。基板SUB1のシール材SLに囲まれた液晶LC側の面には、該シール材SLとの間に若干の隙間を有して表示領域部ARが形成されている。表示領域部ARにはマトリックス状に配置された複数の画素（図示せず）が形成され、これら各画素の駆動に必要なゲート信号線GL、ドレイン信号線DL、コモン信号線CLを備えている。

30

【0007】

なお、ここで、コモン信号線CLは、各画素に形成される対向電極CTと一体に形成され、表示領域部ARのほぼ全域において該対向電極とともに面状導電膜で形成されたものとなっている。コモン信号線CLには、ドレイン信号線DLに供給される映像信号に対して基準となる信号（基準信号）が供給され、少なくとも1フレーム表示において各画素の対向電極CTには同一の電位が印加されるように駆動される。

40

【0008】

ゲート信号線GLは、図中y方向に並設され、たとえば一つおきに、表示領域部ARの図中左側に配置される引き回し配線WL（図中符号WL（1）で示す）に電気的に接続され、他の残りのゲート信号線GLは表示領域部ARの図中右側に配置される引き回し配線WL（図中符号WL（2）で示す）に電気的に接続されている。

【0009】

引き回し配線WL（1）の形成領域には、絶縁膜INを介して該引き回し配線WL（1）を被って導電膜CEL（図中符号CEL（1）で示す）が形成され、引き回し配線WL（2）の形成領域には、絶縁膜INを介して該引き回し配線WL（2）を被って導電膜CEL（図中符号CEL（2）で示す）が形成されている。導電膜CEL（1）、CEL（

50

2) は、たとえば表示領域部 A R の上側に配置された配線 W L C を介して、互いに電氣的に接続されているとともに、コモン信号線 C L にも電氣的に接続され、対向電極 C T と同電位にするように構成して、フローティングを回避している。これら導電膜 C E L (1)、C E L (2) は、いずれも、引き回し配線 W L (1)、引き回し配線 W L (2) から発生する漏れ電界 L E F が表示領域部 A R 上の液晶 L C に至って分布してしまうのを回避する電界のシールド膜として機能する。

【 0 0 1 0 】

なお、前記導電膜 C E L (1)、導電膜 C E L (2) は、それぞれ別個に、シール材 S L の外方の領域の基板 S U B 1 面に形成された端子 T M (1)、T M (2) から基準信号が供給されるようになっている。

10

【特許文献 1】特開 2 0 0 5 - 2 7 5 0 5 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

一方、上述した構成において、コモン信号線 C L を、隣接する一対のゲート信号線 G L の間に該ゲート信号線 G L に沿って形成するとともに、これら各コモン信号線 C L において、一方の側の端部から信号が供給されるものと、他方の側の端部から信号が供給されるものとを存在させて構成しようとした（いわゆる 2 系統とした）場合に、新たな課題を見いだすに至った。

【 0 0 1 2 】

20

すなわち、図 6 (b) に対応する図 7 に示すように、たとえば導電膜 C E L (1) の形成にともなって、引き回し配線 W L (1) と該導電膜 C E L (1) との間に比較的大きな寄生容量 C が発生することになる。

【 0 0 1 3 】

この場合、前記各コモン信号線 C L に 2 系統の基準信号を供給する場合において、たとえば、導電膜 C E L (1) と導電膜 C E L (2) とを接続したまま、一方のコモン信号線 C L に前記導電膜 C E L (たとえば導電膜 C E L (1)) を通して一方の基準信号を供給し、他方のコモン信号線 C L に前記導電膜 C E L (たとえば導電膜 C E L (2)) を通すことなく他方の基準信号を供給する接続形態を採用しようとする、一方のコモン信号線 C L における寄生容量と他方のコモン信号線 C L における寄生容量に大きな差が生じてくる。

30

【 0 0 1 4 】

このことから、前記寄生容量とコモン信号線 C L の抵抗値との積で定まる時定数に相違が生じ、この時定数の相違が該コモン信号線 C L に供給される基準信号の波形歪みの相違を生じさせ、表示領域部 A R における輝度むらを発生させる不都合が生じる。

【 0 0 1 5 】

本発明の目的は、表示領域部の周囲に形成される信号配線等を絶縁膜を介して被って形成される複数の導電膜において、それぞれの導電膜とこれら導電膜によって被われる信号配線等との間の寄生容量の差を低減できる構成とした液晶表示装置を提供することにある。

40

【課題を解決するための手段】

【 0 0 1 6 】

本発明の液晶表示装置は、並設される各コモン信号線の一部を一方の導電膜に接続させ、他の残りのコモン信号線を他方の導電膜に接続させ、これら導電膜を、それぞれ電氣的に分離させて、独立に信号を供給する構成としたものである。これにより、一方の導電膜に起因する寄生容量と他方の導電膜に起因する寄生容量の差を低減させるように構成することができる。

【 0 0 1 7 】

本発明の構成は、たとえば、以下のようなものとすることができる。

【 0 0 1 8 】

50

(1) 本発明の液晶表示装置は、第 1 基板と、第 2 基板と、前記第 1 基板と前記第 2 基板との間に挟持された液晶とを有し、マトリックス状に配置された複数の画素の集合からなる表示領域部を備えたアクティブ・マトリックス型の液晶表示装置であって、

前記第 1 基板の前記液晶側の面に、前記表示領域部の外周に配置された複数の信号配線と、絶縁膜を介して前記信号配線を被って形成され、前記信号配線で発生する電界が前記表示領域部に分布することを遮蔽する導電膜とを有し、

前記第 1 基板は、前記表示領域部内に、前記複数の画素に走査信号を供給する複数のゲート信号線と、前記複数の画素に基準信号を供給する複数の基準信号線とを備え、

前記複数の信号配線は、前記表示領域部の第 1 辺側に配置された第 1 信号配線と、前記表示領域部の前記第 1 辺側と対向する第 2 辺側に配置された第 2 信号配線とから構成され

10

、前記複数のゲート信号線は、前記第 1 信号配線を通して信号が供給される第 1 ゲート信号線と、前記第 2 信号配線を通して信号が供給される第 2 ゲート信号線とから構成され、

前記導電膜は、少なくとも前記第 1 信号配線を被って配置される第 1 導電膜と、少なくとも前記第 2 信号配線を被って配置される第 2 導電膜とから構成され、

前記複数の基準信号線は、前記第 1 導電膜側において前記第 1 導電膜と電氣的に接続された第 1 基準信号線と、前記第 2 導電膜側において前記第 2 導電膜と電氣的に接続された第 2 基準信号線とから構成され、

前記第 1 導電膜および前記第 2 導電膜は、それぞれ電氣的に分離されて、信号が供給されることを特徴とする。

20

【 0 0 1 9 】

(2) 本発明の液晶表示装置は、(1)において、前記第 1 導電膜は、前記表示領域部の前記第 1 辺側に配置され、前記第 2 導電膜は、前記表示領域部の前記第 2 辺側に配置されていることを特徴とする。

【 0 0 2 0 】

(3) 本発明の液晶表示装置は、(1)において、前記第 1 導電膜は、一部が前記表示領域部の前記第 1 辺側に配置されているとともに、他の一部が前記表示領域部の前記第 2 辺側に前記第 2 導電膜と電氣的に分離されて並設されて形成され、

前記第 1 辺側に配置された前記第 1 導電膜と前記第 2 辺側に配置された前記第 1 導電膜とが電氣的に接続されていることを特徴とする。

30

【 0 0 2 1 】

(4) 本発明の液晶表示装置は、(1)において、前記複数の画素の各画素は、前記第 1 基板側に、前記ゲート信号線からの信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、コモン信号線を通して信号が供給される対向電極とを備え、

前記基準信号線は、前記コモン信号線であり、

前記液晶は、前記画素電極と前記対向電極との間の電位差によって発生する電界によって駆動されることを特徴とする。

【 0 0 2 2 】

(5) 本発明の液晶表示装置は、(4)において、前記導電膜は、前記画素電極あるいは前記対向電極と同層に形成され、前記画素電極あるいは前記対向電極と同材料から形成されていることを特徴とする。

40

【 0 0 2 3 】

(6) 本発明の液晶表示装置は、(1)において、前記複数の画素の各画素は、前記第 1 基板側に、前記ゲート信号線からの走査信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、前記画素電極との間に容量を形成する容量信号線とを備え、

前記基準信号線は、前記容量信号線であることを特徴とする。

【 0 0 2 4 】

(7) 本発明の液晶表示装置は、(6)において、前記導電膜は、前記画素電極と同層に

50

形成され、前記画素電極と同材料から形成されていることを特徴とする。

【0025】

(8) 本発明の液晶表示装置は、(1)において、前記第1導電膜に電氣的に接続された第1基準信号線および前記第2導電膜に電氣的に接続された第2基準信号線は、前記複数の基準信号線の長手方向に交差する方向に交互に配置されていることを特徴とする。

【0026】

(9) 本発明の液晶表示装置は、第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持された液晶とを有し、マトリックス状に配置された複数の画素の集合からなる表示領域部を備えたアクティブ・マトリックス型の液晶表示装置であって、

前記第1基板の前記液晶側の面に、前記表示領域部の第1辺側に配置された第1走査信号駆動回路と、前記表示領域部の前記第1辺側と対向する第2辺側に配置された第2走査信号駆動回路と、絶縁膜を介して前記第1走査信号駆動回路と前記第2走査信号駆動回路とを被って形成され、前記第1走査信号駆動回路と前記第2走査信号駆動回路とで発生する電界が前記表示領域部に分布することを遮蔽する導電膜とを有し、

10

前記第1基板は、前記表示領域部内に、前記複数の画素に走査信号を供給する複数のゲート信号線と、前記複数の画素に基準信号を供給する複数の基準信号線とを備え、

前記複数のゲート信号線は、前記第1走査信号駆動回路側の端部から信号が供給される第1ゲート信号線と、前記第2走査信号駆動回路側の端部から信号が供給される第2ゲート信号線とから構成され、

前記導電膜は、少なくとも前記第1走査信号駆動回路を被って配置される第1導電膜と、少なくとも第2走査信号駆動回路を被って配置される第2導電膜とから構成され、

20

前記複数の基準信号線は、前記第1導電膜側において前記第1導電膜と電氣的に接続された第1基準信号線と、前記第2導電膜側において前記第2導電膜と電氣的に接続された第2基準信号線とから構成され、

前記第1導電膜および前記第2導電膜は、それぞれ電氣的に分離されて、信号が供給されることを特徴とする。

【0027】

(10) 本発明の液晶表示装置は、(9)において、前記第1導電膜は、前記表示領域部の前記第1辺側に配置され、前記第2導電膜は、前記表示領域部の前記第2辺側に配置されていることを特徴とする。

30

【0028】

(11) 本発明の液晶表示装置は、(9)において、前記第1導電膜は、一部が前記表示領域部の前記第1辺側に配置されているとともに、他の一部が前記表示領域部の前記第2辺側に前記第2導電膜と電氣的に分離されて並設されて形成され、

前記第1辺側に配置された前記第1導電膜と前記第2辺側に配置された前記第1導電膜とが電氣的に接続されていることを特徴とする。

【0029】

(12) 本発明の液晶表示装置は、(9)において、前記複数の画素の各画素は、前記第1基板側に、前記ゲート信号線からの信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、コモン信号線を通して信号が供給される対向電極とを備え、

40

前記基準信号線は、前記コモン信号線であり、

前記液晶は、前記画素電極と前記対向電極との間の電位差によって発生する電界によって駆動されることを特徴とする。

【0030】

(13) 本発明の液晶表示装置は、(12)において、前記導電膜は、前記画素電極あるいは前記対向電極と同層に形成され、前記画素電極あるいは前記対向電極と同材料から形成されていることを特徴とする。

【0031】

(14) 本発明の液晶表示装置は、(9)において、前記複数の画素の各画素は、前記第

50

1 基板側に、前記ゲート信号線からの走査信号の供給によってオンする薄膜トランジスタと、オンされた前記薄膜トランジスタを通してドレイン信号線からの映像信号が供給される画素電極と、前記画素電極との間に容量を形成する容量信号線とを備え、

前記基準信号線は、前記容量信号線であることを特徴とする。

【0032】

(15) 本発明の液晶表示装置は、(14)において、前記導電膜は、前記画素電極と同層に形成され、前記画素電極と同材料から形成されていることを特徴とする。

【0033】

(16) 本発明の液晶表示装置は、(9)において、前記第1導電膜に電氣的に接続された第1基準信号線および前記第2導電膜に電氣的に接続された第2基準信号線は、前記複数の基準信号線の長手方向に交差する方向に交互に配置されていることを特徴とする。

10

【0034】

なお、上述した構成はあくまで一例であり、本発明は、技術思想を逸脱しない範囲内で適宜変更が可能である。また、上記した構成以外の本発明の構成の例は、本願明細書全体の記載または図面から明らかにされる。

【発明の効果】

【0035】

本発明の液晶表示装置によれば、表示領域部の周囲に形成される信号配線等を絶縁膜を介して被って形成される複数の導電膜において、それぞれの導電膜とこれら導電膜によって被われる信号配線等との間の寄生容量の差を低減できるようになる。

20

【0036】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【発明を実施するための最良の形態】

【0037】

本発明の実施例を図面を参照しながら説明する。なお、各図および各実施例において、同一または類似の構成要素には同じ符号を付し、説明を省略する。

【0038】

実施例1

(全体の構成)

図1は、本発明の液晶表示装置の実施例1の構成を示す平面図である。図1(a)は平面図を、図1(b)は図1(a)のb-b線における断面図を示している。図1に示す液晶表示装置(パネル)PNLはたとえばIPS型の液晶表示装置を例に挙げて示している。

30

【0039】

図1(a)において、液晶LCを挟持して対向配置される基板SUB1、SUB2があり、これら基板SUB1、SUB2は液晶表示装置(パネル)PNLの外囲器を構成するようになっている。

【0040】

基板SUB2は、基板SUB1よりも小さな面積を有し、基板SUB1のたとえば図中下側の領域を露出させるようにして配置されている。基板SUB1の基板SUB2からの露出された前記領域には画素を駆動する回路からなる半導体チップCHがその電極が形成された面をフェースダウンさせて実装されるようになっている。

40

【0041】

基板SUB1に対する基板SUB2の固着は、基板SUB2の周辺に配置されるシール材SLによってなされ、このシール材SLは基板SUB1、SUB2の間の液晶LCの封入を兼ねるようになっている。

【0042】

シール材SLによって囲まれた領域は、その僅かな周辺を除く中央部において表示領域部AR(図中点線枠A内)を構成している。表示領域部ARには、図中x方向に延在しy方向に並設される複数のゲート信号線GL、および図中y方向に延在しx方向に並設され

50

る複数のドレイン信号線 D L が形成されている。そして、隣接する一対のゲート信号線 G L と隣接する一対のドレイン信号線 D L とで囲まれた領域（図中点線枠 B 内）は画素 P I X が形成される領域を構成し、これにより、表示領域部 A R にはマトリックス状に配置された複数の画素 P I X が形成されるようになっている。この画素 P I X の構成については、後に、図 2 を用いて説明をする。また、隣接する一対のゲート信号線 G L の間には、該ゲート信号線 G L に沿ってコモン信号線 C L が形成されている。このコモン信号線 C L は、後述の画素電極 P X に供給される映像信号に対して基準となる電位を有する信号（基準信号）が供給されるようになっている。なお、図 1（a）において、コモン信号線 C L は、たとえばゲート信号線 G L 等と比較すると線幅が大きく描かれている。これは、後に説明するように、該コモン信号線 C L が対向電極（図 2 に符号 C T で示す）を兼備した構成となっているからである。

10

【0043】

図中 y 方向に並設される前記ゲート信号線 G L は、それぞれ、その一方の端部から信号（走査信号）が供給されるゲート信号線 G L と、他方の端部から信号（走査信号）が供給されるゲート信号線 G L とが存在し、それらは、たとえば、一つおきに交互に配置されるようになっている。すなわち、表示領域部 A R の図中左側に沿って複数の引き回し配線 W L（図中符号 W L（1）で示す）が配置され、これら引き回し配線 W L（1）は、その一端が前記半導体チップ C H の出力電極（図示せず）に電気的に接続されているとともに、他端は前記ゲート信号線 G L のうち対応するゲート信号線 G L に電気的に接続されている。また、表示領域部 A R の図中右側に沿って複数の引き回し配線 W L（図中符号 W L（2）で示す）が配置され、これら引き回し配線 W L（2）は、その一端が前記半導体チップ C H の出力電極（図示せず）に電気的に接続されているとともに、他端は前記ゲート信号線 G L のうち対応するゲート信号線 G L に電気的に接続されている。

20

【0044】

前記引き回し配線 W L（1）は、図 1（b）に示すように、その上層に絶縁膜 I N が形成され、この絶縁膜 I N の表面に形成された導電膜 C E L（図中符号 C E L（1）で示す）によって被われるようになっている。これにより、引き回し配線 W L（1）から発生する電界 L E F が表示領域部 A R 上の液晶 L C に至って分布（漏れ電界）してしまうのを回避するようになっている。また、図示していないが、前記引き回し配線 W L（2）においても、その近傍は図 1（b）に示すと同様の構成となっており、導電膜 C E L（図 1（a）中符号 C E L（2）で示す）によって、引き回し配線 W L（2）から発生する電界 L E F が表示領域部 A R 上の液晶 L C に至って分布してしまうのを回避するようになっている。

30

【0045】

図中 y 方向に並設される前記コモン信号線 C L は、それぞれ、その一方の端部から信号が供給されるコモン信号線と、他方の端部から信号が供給されるコモン信号線とが存在し、それらは、たとえば、一つおきに交互に配置されるようになっている。このように 2 系統のコモン信号線 C L を形成することにより、たとえば、互いに逆相関係となる基準信号を供給することができるようになる。

40

【0046】

図 1（a）に示すように、図中左端から信号が供給されるコモン信号線 C L は、それぞれ、表示領域部 A R の図中左側に配置される導電膜 C E L（1）に電気的に接続され、該導電膜 C E L（1）はシール材 S L の外側における基板 S U B 1 上に形成された端子 T M（図中符号 T M（1）で示す）と電気的に接続されている。これらにより、前記各コモン信号線 C L には導電膜 C E L（1）を通して端子 T M（1）から第 1 基準信号が供給されるようになっている。また、図中右端から信号が供給されるコモン信号線 C L は、それぞれ、表示領域部 A R の図中右側に配置される導電膜 C E L（2）に電気的に接続され、該導電膜 C E L（2）はシール材 S L の外側における基板 S U B 1 上に形成された端子 T M

50

(図中符号 T M (2) で示す) と電氣的に接続されている。これらにより、前記各コモン信号線 C L には導電膜 C E L (2) を通して端子 T M (2) から第 2 基準信号が供給されるようになっている。尚、導電膜 C E L (1) および導電膜 C E L (2) は、互いに電氣的に分離されている。

【 0 0 4 7 】

また、前記ドレイン信号線 D L は、図中下側の端部がシール材 S L を超えて延在され、前記半導体チップ C H の出力電極 (図示せず) に電氣的に接続されている。

【 0 0 4 8 】

なお、前記基板 S U B 2 の液晶側の面には、たとえば表示領域部 A R に形成されたブラックマトリックス (遮光膜) B M がシール材 S L の形成領域にまで形成され、該ブラックマトリックス B M を被うようにして平坦化膜 O C が形成されている。また、基板 S U B 1、S U B 2 の少なくとも表示領域部 A R における液晶 L C と当接する面には、それぞれ配向膜 O R I 1、O R I 2 が形成されている。

【 0 0 4 9 】

(画素の構成)

図 2 (a)、(b) は、前記画素 P I X の例を示す構成図である。図 2 (a) は平面図、図 2 (b) は図 2 (a) の b - b 線における断面図である。

【 0 0 5 0 】

まず、基板 S U B 1 の液晶側の面 (表面) に、図中 x 方向に延在され y 方向に並設されるゲート信号線 G L が形成されている。このゲート信号線 G L は、たとえば、表示領域部 A R の外方の領域において前記引き回し配線 W L (1)、W L (2) と一体に形成されるようになっている。

【 0 0 5 1 】

基板 S U B 1 の表面には、ゲート信号線 G L を被って絶縁膜 G I が形成され、この絶縁膜 G I は後述の薄膜トランジスタ T F T の形成領域においてゲート絶縁膜として機能するようになっている。

【 0 0 5 2 】

絶縁膜 G I の表面であってゲート信号線 G L の一部に重畳する薄膜トランジスタ T F T の形成領域に、たとえばアモルファス S i からなる半導体層 A S が島状に形成されている。前記薄膜トランジスタ T F T は、前記半導体層 A S の表面に、互いに対向配置されたドレイン電極 D T、ソース電極 S T が形成されることにより、ゲート信号線 G L の一部をゲート電極とする逆スタガ構造の M I S (Metal Insulator Semiconductor) 型トランジスタが構成されるようになる。

【 0 0 5 3 】

前記基板 S U B 1 の表面には図中 y 方向に延在し x 方向に並設されるドレイン信号線 D L が形成され、このドレイン信号線 D L の一部を前記半導体層 A S の表面に延在させることにより、該延在部を薄膜トランジスタ T F T の前記ドレイン電極 D T とするようになっている。また、ドレイン信号線 D L の形成の際に、薄膜トランジスタ T F T の前記ソース電極 S T が形成され、このソース電極 S T は半導体層 A S の形成領域を超えて画素領域に延在するパッド部 P D を具備するように構成されている。このパッド部 P D は後述の画素電極 P X と電氣的に接続される部分として構成される。

【 0 0 5 4 】

前記基板 S U B 1 の表面にはドレイン信号線 D L 等を被って保護膜 P A S が形成されている。この保護膜 P A S は薄膜トランジスタ T F T の液晶との直接の接触を回避するための絶縁膜からなり、たとえば、無機絶縁膜および有機絶縁膜の積層構造から構成される。有機絶縁膜を用いるのはたとえば保護膜 P A S の表面を平坦化する効果を奏するためである。

【 0 0 5 5 】

保護膜 P A S の表面であって隣接する一対のゲート信号線 G L の間には、該ゲート信号線 G L の走行方向に沿って形成されるコモン信号線 C L が形成されている。このコモン信

10

20

30

40

50

号線ＣＬは図中ｘ方向に並設される各画素領域のほぼ全域を被って形成され、各画素領域における対向電極ＣＴを兼備した構成となっている。このコモン信号線ＣＬ（対向電極ＣＴ）は、たとえばＩＴＯ（Indium Tin Oxide）からなる透光性導電膜から構成されている。

【００５６】

基板ＳＵＢ１の表面には、コモン信号線ＣＬ（対向電極ＣＴ）を被って層間絶縁膜ＬＩが形成され、この層間絶縁膜ＬＩの上面には各画素領域ごとに画素電極ＰＸが形成されている。画素電極ＰＸは、たとえば図中ｙ方向に延在されｘ方向に並設された複数（図ではたとえば３個）の線状の電極からなり、これら各電極は、前記薄膜トランジスタＴＦＴ側の端部において互いに接続された接続部ＪＮを備えている。画素電極ＰＸは、たとえばＩＴＯ（Indium Tin Oxide）からなる透光性導電膜から構成されている。画素電極ＰＸの接続部ＪＮの一部は、層間絶縁膜ＬＩおよび保護膜ＰＡＳに形成されたスルーホールＴＨを通して前記ソース電極ＳＴのパッド部ＰＤに電氣的に接続されるようになっている。また、この場合において、コモン信号線ＣＬ（対向電極ＣＴ）において、予め、前記スルーホールＴＨとほぼ同軸で該スルーホールＴＨよりも充分に径の大きな開口ＯＰが形成され、前記画素電極ＰＸが対向電極ＣＴと電氣的にショートしてしまうのを回避させている。

10

【００５７】

また、基板ＳＵＢ１の表面には、画素電極ＰＸを被って配向膜ＯＲＩ１が形成されている。この配向膜ＯＲＩ１は液晶ＬＣと当接する膜からなり、液晶ＬＣの分子の初期配向方向を決定するように機能する。

20

【００５８】

そして、液晶ＬＣは、画素電極ＰＸと対向電極ＣＴとの間の電位差によって発生する電界によって駆動される。

【００５９】

ここで、図１（ａ）、（ｂ）に示した導電膜ＣＥＬ（１）、ＣＥＬ（２）は、たとえば画素電極ＰＸの形成の際に形成され、これにより、該画素電極ＰＸと同じ材料（たとえばＩＴＯ）で形成されている。前記導電膜ＣＥＬ（１）、ＣＥＬ（２）を液晶ＬＣにできるだけ近い層で形成し、しかも製造工程数が増えないようにするためである。しかし、画素電極ＰＸに限ることはなく、対向電極ＣＴの形成の際に、該対向電極ＣＴと同じ材料で形成するようにしてもよい。なお、図１（ｂ）に示した絶縁膜ＩＮは、図２（ｂ）に示す絶縁膜ＧＩ、保護膜ＰＡＳ、層間絶縁膜ＬＩの積層体として構成されている。

30

【００６０】

上述した構成では、コモン信号線ＣＬは対向電極ＣＴを兼備した構成としたものである。しかし、これらは互いに別個のものとして形成するように構成してもよい。この場合、たとえば、対向電極ＣＴは各画素領域に該画素領域の大部分を被って形成される面状の透明電極とし、コモン信号線ＣＬはこれら対向電極ＣＴを共通に接続する線状の金属層で形成するようにしてもよい。

【００６１】

比較例

図３（ａ）は、実施例１の場合と同様に、コモン信号線ＣＬにおいて、一方の側の端部から信号が供給されるものと、他方の側の端部から信号が供給されるものとを存在させて構成したものであるが、導電膜ＣＥＬ（たとえば導電膜ＣＥＬ（１））との結線を異ならしめた場合に不都合が生じる構成を比較例として挙げたものである。図３（ａ）は図１（ａ）に対応して描いた図となっている。

40

【００６２】

図３（ａ）において、図１（ａ）の場合と比較して異なる構成は、導電膜ＣＥＬ（１）は表示領域部ＡＲのたとえば上側に引き回した配線ＷＬＣによって導電膜ＣＥＬ（２）と電氣的に接続されている点である。そして、前記導電膜ＣＥＬ（２）と電氣的に接続されたコモン信号線ＣＬ以外の他のコモン信号線は、導電膜ＣＥＬ（１）を介さずに端子ＴＭ（１）と電氣的に接続されている点でも図１（ａ）と異なる。このように構成しても、基

50

準信号が供給される導電膜CEL(1)、導電膜CEL(2)において、それぞれ、引き回し配線WL(1)、引き回し配線WL(2)からの電界(漏れ電界)に対して安定したシールド機能をもたせることができる。

【0063】

しかし、導電膜CEL(2)に接続される各コモン信号線CLには、該導電膜CEL(2)と引き回し配線WL(2)との寄生容量ばかりでなく、導電膜CEL(1)と引き回し配線WL(1)との寄生容量も付加されることになる。このため、図3(b)に示すように、端子TM(1)に電氣的に直接に接続されたコモン信号線CLには点線に示す信号波形の基準信号 α が印加されるのに対し、導電膜CEL(2)に電氣的に接続された他のコモン信号線には実線に示す信号波形の基準信号 β が印加され、この基準信号 β の信号波形は基準信号 α の信号波形よりも波形歪みが大きくなってしまいうようになる。波形歪みの程度は信号線が有する容量と抵抗の積に比例する関係にあるからである。なお、図3(b)は、その横軸に時間(T)を、縦軸に基準信号の電圧(V)をとっている。このような場合、図3(c)に示すように、液晶表示装置PNLの表示領域部ARには、各コモン信号線CLが形成されている各ラインにおいて、たとえば奇数のラインと偶数のラインとで波形歪みの相違に起因する輝度差が生じる表示がなされることになる。

10

【0064】

これに対して実施例1に示した構成は、並設される各コモン信号線CLの一部を一方の導電膜(たとえば導電膜CEL(1))に接続させ、他の残りのコモン信号線CLを他方の導電膜(たとえば導電膜CEL(2))に接続させ、これら導電膜CEL(1)、CEL(2)を、それぞれ電氣的に分離させて、独立に信号を供給する構成としたものである。これにより、一方の導電膜に起因する寄生容量と、他方の導電膜に起因する寄生容量とを独立に調整でき、これら各寄生容量の差を低減させるように構成できる。

20

【0065】

実施例2

図4は、本発明の液晶表示装置の実施例2を示す構成図である。図4は、図1(a)と対応させて描いている。

【0066】

図4において、図1(a)の場合と比較して異なる構成は、まず、たとえば表示領域部ARの図中左側において、導電膜CEL(1)と、この導電膜CEL(1)と電氣的に分離された導電膜CEL(3)が並設されて配置され、この導電膜CEL(3)は、表示領域ARの図中右側に配置されている導電膜CEL(2)と、たとえば表示領域部ARの図中上側に配置される配線WLCによって電氣的に接続されていることにある。

30

【0067】

前記導電膜CEL(3)は、導電膜CEL(2)と電氣的に接続されているコモン信号線CLの寄生容量を増加させ、また、導電膜CEL(1)に電氣的に接続されているコモン信号線CLの寄生容量を減少させるように機能させるようにしたものである。

【0068】

したがって、導電膜CEL(3)は、導電膜CEL(2)とは分離された箇所に配置されるが、電氣的には該導電膜CEL(2)と同一の機能を有する。この実施例では、図4に示すように、導電膜CEL(3)は直接にはコモン信号線CLと接続されておらず、導電膜CEL(3)に近接して配置されるコモン信号線CLであって導電膜CEL(2)に電氣的に接続されていないコモン信号線CLは、導電膜CEL(2)を迂回させて導電膜CEL(1)に電氣的に接続させるようにしている。

40

【0069】

例えば、導電膜CEL(1)および導電膜CEL(2)の下に形成されている配線や回路が左右対称ではない場合などに、実施例1のように構成しただけでは左右の寄生容量のバランスが取れない場合でも、このように構成することにより、それぞれ発生する寄生容量の調整を容易に行うことができるようになる。

【0070】

50

実施例 3

図 5 は、本発明の液晶表示装置の実施例 3 を示す構成図である。図 5 は、図 1 (a) と対応させて描いている。

【 0 0 7 1 】

図 5 において、図 1 (a) の場合と比較して異なる構成は、表示領域部 A R の図中左側および右側に、それぞれ、走査信号駆動回路 V (図中符号 V (1) で示す)、走査信号駆動回路 V (図中符号 V (2) で示す) が形成されていることにある。表示領域部 A R 内の各ゲート信号線 G L は、走査信号駆動回路 V (1) 側の端部において該走査信号駆動回路 V (1) に電氣的に接続されるものと、走査信号駆動回路 V (2) 側の端部において該走査信号駆動回路 V (2) に電氣的に接続されるものがあり、それらはたとえば交互に配列されている。

10

【 0 0 7 2 】

そして、走査信号駆動回路 V (1)、V (2) は、それぞれ、半導体チップ C H からの信号で駆動し、各ゲート信号線 G L に走査信号を供給するようになっている。走査信号駆動回路 V (1)、V (2) は、基板 S U B 1 上に表示領域部 A R の形成の際に並行して形成される回路で、複数の薄膜トランジスタを備えて構成される。このような走査信号駆動回路 V (1)、V (2) を備えることで、半導体チップ C H を小さなものに構成することができるようになる。

【 0 0 7 3 】

そして、走査信号駆動回路 V (1) 上には、絶縁膜を介して、該走査信号駆動回路 V (1) を被って導電膜 C E L (1) が形成され、走査信号駆動回路 V (2) 上には、絶縁膜を介して、該走査信号駆動回路 V (2) を被って導電膜 C E L (2) が形成されている。

20

【 0 0 7 4 】

導電膜 C E L (1)、C E L (2) は、それぞれ、走査信号駆動回路 V (1)、V (2) からの電界が表示領域部 A R 上の液晶 L C 内に分布してしまうのを遮蔽するように機能し、それぞれ、走査信号駆動回路 V (1)、V (2) との間の寄生容量の差を低減させるために、それらの結線方法は図 1 (a) に説明したものと同様となっている。

【 0 0 7 5 】

実施例 4

上述した実施例では、横電界方式の液晶表示装置について説明したものである。しかし、縦電界方式の液晶表示装置についても適用することができる。この場合、縦電界方式の液晶表示装置は、画素電極が形成される基板 S U B 1 と液晶を介して対向する他の基板 S U B 2 側に対向電極を備えることから、基板 S U B 1 側に前述したコモン信号線 C L は形成されることがない構成となる。しかし、各画素において、画素電極との間に容量を構成するため、基板 S U B 1 に、たとえば、図 1 (a) に示したコモン信号線 C L に代えて容量信号線を形成し、この容量信号線を、前記コモン信号線 C L と同様に 2 系統で構成する場合がある。したがって、この場合においても、本発明を適用することができる。この容量信号線の場合でも、供給される信号は基準信号に相当する。

30

【 0 0 7 6 】

実施例 5

上述した実施例では、導電膜 C E L は、ゲート信号線 G L の引き回し配線 W L、あるいはゲート信号線 G L に走査信号を供給する走査信号駆動回路 V を被うように構成したものである。しかし、ドレイン信号線 D L の引き回し配線を被うように形成しても、あるいは該ドレイン信号線 D L に接続される R G B 切り替え回路 (映像信号時分割回路) 等を形成した場合には、該 R G B 切り替え回路等を被うように形成してもよい。また、表示領域部 A R の周辺に静電保護回路が形成されている場合には、この静電保護回路を被うようにして形成するようにしてもよい。

40

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】 本発明の液晶表示装置の実施例 1 の構成を示す構成図である。

50

【図 2】本発明の液晶表示装置の画素の構成の例を示す図である。

【図 3】本発明の効果を説明するための比較例となる構成を示す図である。

【図 4】本発明の液晶表示装置の実施例 2 の構成を示す構成図である。

【図 5】本発明の液晶表示装置の実施例 3 の構成を示す構成図である。

【図 6】従来の液晶表示装置の例の構成を示す構成図である。

【図 7】導電膜と引き回し配線との間に寄生容量が生じることを説明する図である。

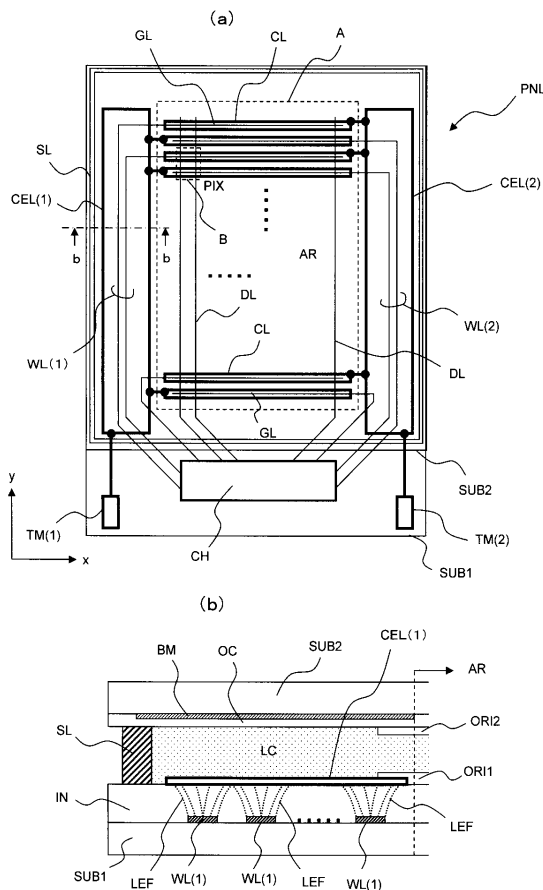
【符号の説明】

【 0 0 7 8 】

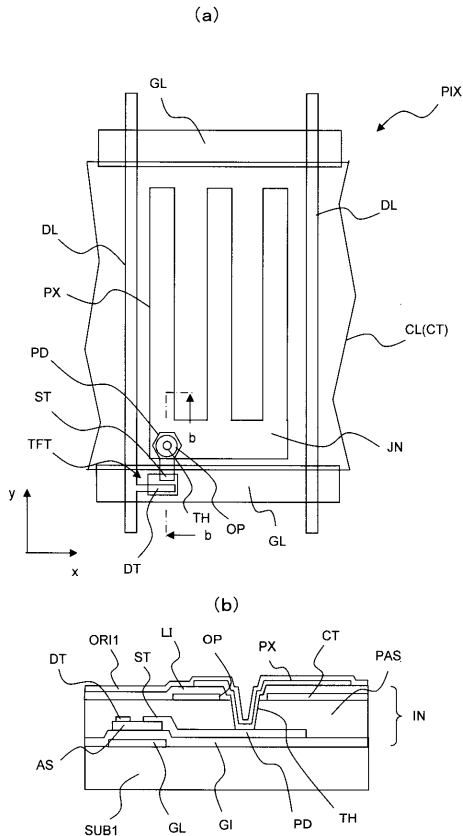
P N L …… 液晶表示装置（パネル）、S U B 1、S U B 2 …… 基板、S L …… シール材、
L C …… 液晶、A R …… 表示領域部、P I X …… 画素、C H …… 半導体チップ、G L ……
ゲート信号線、D L …… ドレイン信号線、C L …… コモン信号線、W L (1)、W L (2)
(1) …… 引き出し配線、C E L (1)、C E L (2)、C E L (3) …… 導電膜、T M (1)
(1)、T M (2) …… 端子、L E F …… 電界、B M …… ブラックマトリックス、O C …… 平
坦化膜、O R I 1、O R I 2 …… 配向膜、T F T …… 薄膜トランジスタ、A S …… 半導体
層、D T …… ドレイン電極、S T …… ソース電極、P D …… パッド部、P X …… 画素電極
、C T …… 対向電極、G I …… 絶縁膜（ゲート絶縁膜）、P A S …… 保護膜、L I …… 層
間絶縁膜、I N …… 絶縁膜、V (1)、V (2) …… 走査信号駆動回路、C …… 寄生容量
、T H …… スルーホール、O P …… 開口。

10

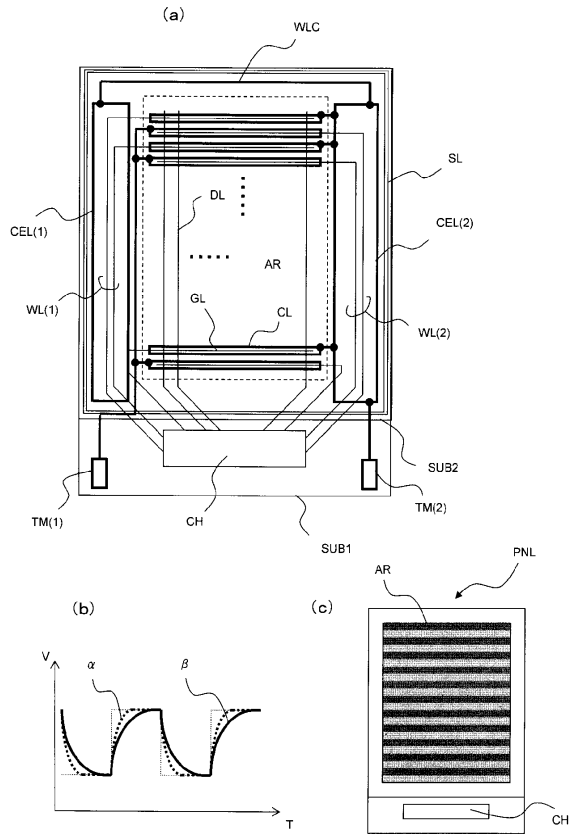
【図 1】



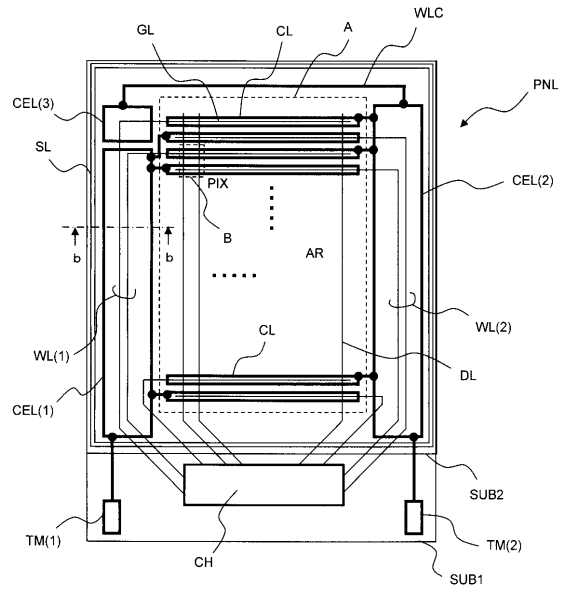
【図 2】



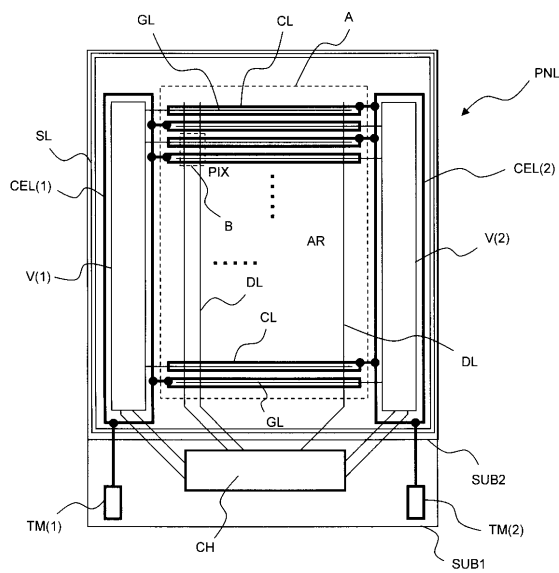
【図 3】



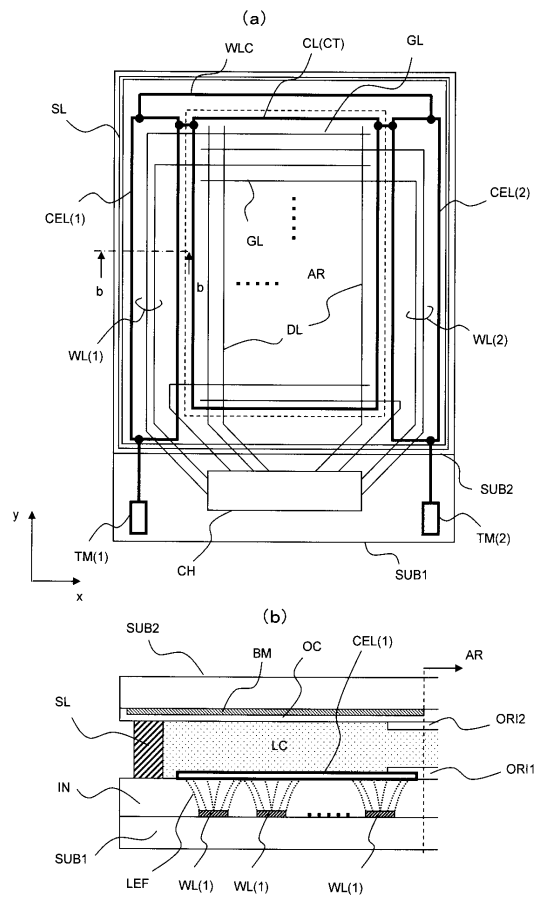
【図 4】



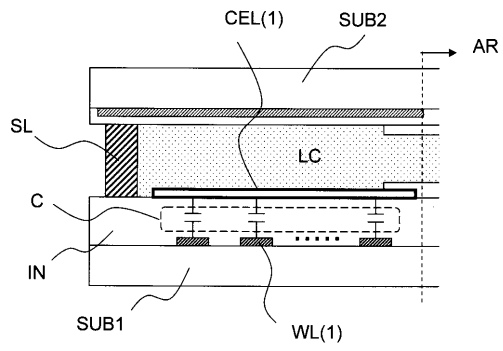
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 杉山 里織

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 鈴木 俊光

(56)参考文献 特開 2 0 0 5 - 2 6 6 3 9 4 (J P , A)

特開 2 0 0 6 - 0 4 7 7 5 6 (J P , A)

特開 2 0 0 3 - 1 7 2 9 4 4 (J P , A)

特開 2 0 0 0 - 3 3 0 1 3 5 (J P , A)

特開 2 0 0 8 - 0 2 6 8 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5486784B2	公开(公告)日	2014-05-07
申请号	JP2008233052	申请日	2008-09-11
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器 松下液晶显示器有限公司		
[标]发明人	山田泰之 杉山里織		
发明人	山田 泰之 杉山 里織		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/1345 G02F2001/13456 G02F2001/13606 G02F2001/136218		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1345		
F-TERM分类号	2H092/GA14 2H092/GA32 2H092/GA35 2H092/GA45 2H092/GA64 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB14 2H092/NA01 2H092/NA17 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC35 2H192/CB05 2H192/CC04 2H192/DA72 2H192/EA22 2H192/EA32 2H192/EA67 2H192/FA39 2H192/FA44 2H192/FA46 2H192/FB27 2H192/GA04 2H192/GA42 2H192/JA02 2H192/JA32		
代理人(译)	小林 保		
审查员(译)	铃木俊光		
其他公开文献	JP2010066542A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了减小每个导电膜和信号布线之间的寄生电容的差异，在用于通过绝缘膜覆盖显示区域周围的信号布线等的多个导电膜中。解决方案：有源矩阵型液晶显示装置在第一基板和第二基板之间夹持液晶。第一基板包括多条栅极信号线GLs和多条参考信号线CLs。通过信号布线上的绝缘膜提供导电膜CEL，信号布线WL的多条线包括显示区域的第一侧上的第一信号布线和位于与第一侧相对的第二侧上的第二信号布线，以及多条栅极信号线包括第一栅极信号线和第二栅极信号线。导电膜包括覆盖第一信号布线的第二导电膜和覆盖第二信号布线的第二导电膜，参考信号线包括与第一导电膜电连接的第一参考信号线和连接的第二参考信号线利用第二导电膜，第一导电膜和第二导电膜电隔离。

Ž

