

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5456980号
(P5456980)

(45) 発行日 平成26年4月2日 (2014.4.2)

(24) 登録日 平成26年1月17日 (2014.1.17)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006.01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006.01)

GO 2 F 1/1368

HO 1 L 29/786 (2006.01)

HO 1 L 29/78 6 1 2 C

HO 1 L 29/78 6 1 6 S

請求項の数 9 (全 15 頁)

(21) 出願番号 特願2008-34952 (P2008-34952)
 (22) 出願日 平成20年2月15日 (2008.2.15)
 (65) 公開番号 特開2009-192932 (P2009-192932A)
 (43) 公開日 平成21年8月27日 (2009.8.27)
 審査請求日 平成22年12月8日 (2010.12.8)
 審判番号 不服2013-7968 (P2013-7968/J1)
 審判請求日 平成25年4月30日 (2013.4.30)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100103894
 弁理士 冢入 健
 (74) 代理人 100129953
 弁理士 岩瀬 康弘
 (74) 代理人 100144428
 弁理士 須藤 雄一郎
 (72) 発明者 永野 慎吾
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 升谷 雄一
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置、及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート配線、ソース配線、及び薄膜トランジスタを有する第1の基板と、前記第1の基板と対向配置された第2の基板との間に液晶が挟持された液晶表示装置であって、

前記第1の基板上において、少なくとも一部が前記薄膜トランジスタのドレイン電極に直接重なるよう、前記ドレイン電極の上又は下に直接形成された画素電極と、

前記画素電極を覆う層間絶縁膜と、

前記層間絶縁膜上に形成され、前記画素電極との間でフリンジ電界を発生させる複数のスリットを有する対向電極と、を備え、

隣接する前記ゲート配線間で前記ソース配線が屈曲することで、前記ソース配線がゲート配線に対して所定角度の2方向を有し、

前記複数のスリットが前記2方向と平行な2方向を含んでおり、

前記対向電極は、前記ソース配線を跨ぐように形成されることで、前記ソース配線を挟んで隣接する画素の前記対向電極と接続され、

前記対向電極は、前記ゲート配線の上を跨ぐように形成されることで、前記ゲート配線を挟んで隣接する画素の前記対向電極と接続され、

前記対向電極が、前記ソース配線が前記ゲート配線と交差する交差部分を除いて形成され、

前記対向電極が、前記ゲート配線と前記薄膜トランジスタが重複する領域を除いて形成され、

10

20

前記交差部分を除く前記ソース配線の大部分において、前記対向電極が前記ソース配線を覆っており、

前記対向電極の前記ソース配線を跨ぐ部分、前記ゲート配線を跨ぐ部分、及び画素内の部分が、透明導電膜によって一体に形成されている液晶表示装置。

【請求項 2】

前記ゲート配線が、前記薄膜トランジスタのゲート電極と同層に形成され、

前記ゲート配線上にゲート絶縁膜が形成され、

前記ソース配線が前記薄膜トランジスタのソース/ドレイン電極と同層に形成され、前記ゲート絶縁膜を介して前記ゲート配線と交差している請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ソース配線と重なり合う領域の前記対向電極は、前記ソース配線の幅より片側 2 μ m 以上大きい請求項 1、又は 2 に記載の液晶表示装置。

【請求項 4】

前記ソース配線と前記対向電極との間に形成され、前記ソース配線を覆う有機膜をさらに備える請求項 1 乃至 3 のいずれか一項に液晶表示装置。

【請求項 5】

前記複数のスリットの前記 2 方向が、前記ゲート配線と平行な方向を基準として、対称になっている請求項 1 乃至 4 のいずれか一項に液晶表示装置。

【請求項 6】

ゲート配線、ソース配線、及び薄膜トランジスタを有する第 1 の基板と、前記第 1 の基板と対向配置された第 2 の基板との間に液晶が挟持された液晶表示装置の製造方法であって、

第 1 の基板上において、少なくとも一部が前記薄膜トランジスタのドレイン電極に直接重なる画素電極を前記ドレイン電極の上又は下に直接形成する工程と、

前記画素電極を覆う層間絶縁膜を形成する工程と、

前記層間絶縁膜上に、前記画素電極との間でフリンジ電界を発生させる複数のスリットを有する対向電極を形成する工程と、を備え、

隣接する前記ゲート配線間で前記ソース配線が屈曲することで、前記ソース配線がゲート配線に対して所定角度の 2 方向を有し、

前記複数のスリットが前記 2 方向と平行な 2 方向を含んでおり、

前記対向電極は、前記ソース配線を跨ぐように形成されることで、前記ソース配線を挟んで隣接する画素の前記対向電極と接続され、

前記対向電極は、前記ゲート配線の上を跨ぐように形成されることで、前記ゲート配線を挟んで隣接する画素の前記対向電極と接続され、

前記対向電極が、前記ソース配線が前記ゲート配線と交差する交差部分を除いて形成され、

前記対向電極が、前記ゲート配線と前記薄膜トランジスタが重複する領域を除いて形成され、

前記ソース配線の前記交差部分を除く大部分において、前記対向電極が前記ソース配線を覆っており、

前記対向電極の前記ソース配線を跨ぐ部分、前記ゲート配線を跨ぐ部分、及び画素内の部分が、透明導電膜によって一体に形成されている液晶表示装置の製造方法。

【請求項 7】

前記対向電極の形成工程では、前記ソース配線と重なり合う領域の前記対向電極を、前記ソース配線の幅より片側 2 μ m 以上大きく形成する請求項 6 に記載の液晶表示装置の製造方法。

【請求項 8】

前記層間絶縁膜の形成前に、前記ソース配線を覆う有機膜を形成する工程、又は、前記層間絶縁膜の形成後に、前記層間絶縁膜を介して前記ソース配線を覆う有機膜を形成する工程をさらに備える請求項 6、又は 7 に液晶表示装置の製造方法。

【請求項 9】

前記複数のスリットの前記 2 方向が、前記ゲート配線と平行な方向を基準として、対称になっている請求項 6 乃至 8 のいずれか一項に液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、及びその製造方法に関し、特に詳しくはフリンジフィールドスイッチングモードの液晶表示装置、及びその製造方法に関する。

【背景技術】

【0002】

インプレーンスイッチング (In-Plane Switching: IPS) モードの液晶表示装置は、対向する基板間に挟持された液晶に横電界を印加して表示を行う表示方式である。IPS モードは、TN (Twisted Nematic) モードと比較して視野角特性に優れており、高画質化への要求を満足することが可能な表示方式であると考えられている。

【0003】

IPS モードの液晶表示装置では、画素電極と対向電極とを金属膜により形成し、同一の基板に対向配置する構成が一般的である。このような構造の液晶表示装置は、通常の TN モードと比べて画素開口率を大きくすることが困難であり、そのため光利用効率が低いという欠点がある。

【0004】

IPS モードの液晶表示装置における開口率及び透過率を改善するために、フリンジフィールドスイッチング (Fringe Field Switching: FFS) モードが提案されている (例えば、特許文献 1、2)。FFS モードの液晶表示装置は、対向する基板間に挟持された液晶にフリンジ電界を印加して表示を行う表示方式である。FFS モードの液晶表示装置では、画素電極と対向電極とを透明導電膜により形成しているため、IPS モードより開口率及び透過率が向上することになる。また、FFS モードの液晶表示装置では、これら透明導電膜間によって保持容量が形成されるため、保持容量形成部による透過率ロスがない。

【特許文献 1】特開 2001-235763 号公報

【特許文献 2】特開 2002-182230 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来の FFS モードの液晶表示装置では、上層に設けられたスリットを有する画素電極と、絶縁膜を介して下層に設けられた対向電極との間に発生するフリンジ電界で液晶を駆動する構成となっている。このとき、画素電極は、ソース配線との寄生容量を小さくするため、各画素内においてソース配線と重複しないよう離間して設けられている。すなわち、ソース配線から一定の距離離れて画素電極が形成されている。ソース配線と画素電極との間の寄生容量を小さくすることで、表示品位の劣化を防止できる。

【0006】

しかしながら、この構成では、ソース配線に電圧が印加された状態においては、その電圧によって電界が発生し、ソース配線近傍の比較的広い範囲における液晶の配向状態を変えてしまう。従来の FFS モードの液晶表示装置では、対向電極は、ソース配線よりも下層に形成されているので、ソース配線からの電界を遮蔽することができない。その結果、ソース配線近傍に光漏れが発生していた。このソース配線近傍の漏れ光を遮光するために、従来の FFS モードの液晶表示装置では、ソース配線、及びソース配線近傍を覆うブラックマトリクスを対向基板側に形成している。このブラックマトリクスは、ソース配線、及びソース配線近傍の比較的広い範囲と重複するように形成されている。そのため、ソース配線近傍では、表示に寄与しない無効領域 (非透過領域) が大きくなり、開口率が低下してしまうといった問題がある。

【 0 0 0 7 】

また、従来の F F S モードの液晶表示装置では、画素電極は、薄膜トランジスタのドレイン電極と絶縁膜を介した別層に形成された構成となっている。この構成では、画素電極とドレイン電極とを電氣的に接続するためのコンタクトホールが必要となる。すなわち、コンタクトホール形成に要する大きさと、コンタクトホール周辺に確保される位置余裕とが必要となる。これらの領域は光を透過しない非透過領域であることから、開口率をさらに低下させる要因の一つとなっている。

【 0 0 0 8 】

本発明は、上記のような問題点を解決するためになされたものであり、開口率を向上することができる F F S モードの液晶表示装置、及びその製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 0 9 】

本発明にかかる液晶表示装置は、薄膜トランジスタを有する第 1 の基板と、前記第 1 の基板と対向配置された第 2 の基板との間に液晶が挟持された液晶表示装置であって、前記第 1 の基板上において、少なくとも一部が前記薄膜トランジスタのドレイン電極に直接重なるよう、前記ドレイン電極の上又は下に直接形成された画素電極と、前記画素電極を覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記画素電極との間でフリンジ電界を発生させるスリットを有する対向電極と、を備えるものである。

20

【 0 0 1 0 】

また、本発明にかかる液晶表示装置の製造方法は、薄膜トランジスタを有する第 1 の基板と、前記第 1 の基板と対向配置された第 2 の基板との間に液晶が挟持された液晶表示装置の製造方法であって、第 1 の基板上において、少なくとも一部が前記薄膜トランジスタのドレイン電極に直接重なる画素電極を前記ドレイン電極の上又は下に形成する工程と、前記画素電極を覆う層間絶縁膜を形成する工程と、前記層間絶縁膜上に、前記画素電極との間でフリンジ電界を発生させるスリットを有する対向電極を形成する工程と、を備えるものである。

【発明の効果】

【 0 0 1 1 】

本発明によれば、開口率を向上することができる F F S モードの液晶表示装置、及びその製造方法を提供することができる。

30

【発明を実施するための最良の形態】

【 0 0 1 2 】

実施の形態 1 .

始めに、図 1 を用いて、本実施の形態に係る液晶表示装置について説明する。図 1 は、液晶表示装置に用いられる薄膜トランジスタ (Thin Film Transistor : T F T) アレイ基板の構成を示す正面図である。本実施の形態に係る液晶表示装置は、T F T アレイ基板に画素電極と対向電極とが形成された F F S モードの液晶表示装置である。この液晶表示装置の全体構成については、以下に述べる第 1 ~ 第 3 の実施形態で共通である。

【 0 0 1 3 】

40

本実施の形態に係る液晶表示装置は、基板 1 0 を有している。基板 1 0 は、例えば、T F T アレイ基板等のアレイ基板である。基板 1 0 には、表示領域 4 1 と表示領域 4 1 を囲むように設けられた額縁領域 4 2 とが設けられている。この表示領域 4 1 には、複数のゲート配線 (走査信号線) 4 3 と複数のソース配線 (表示信号線) 4 4 とが形成されている。複数のゲート配線 4 3 は平行に設けられている。同様に、複数のソース配線 4 4 は平行に設けられている。ゲート配線 4 3 とソース配線 4 4 とは、互いに交差するように形成されている。隣接するゲート配線 4 3 とソース配線 4 4 とで囲まれた領域が画素 4 7 となる。従って、基板 1 0 では、画素 4 7 がマトリクス状に配列される。

【 0 0 1 4 】

基板 1 0 の額縁領域 4 2 には、走査信号駆動回路 4 5 と表示信号駆動回路 4 6 とが設け

50

られている。ゲート配線 4 3 は、表示領域 4 1 から額縁領域 4 2 まで延設され、基板 1 0 の端部で、走査信号駆動回路 4 5 に接続される。ソース配線 4 4 も同様に、表示領域 4 1 から額縁領域 4 2 まで延設され、基板 1 0 の端部で、表示信号駆動回路 4 6 と接続される。走査信号駆動回路 4 5 の近傍には、外部配線 4 8 が接続されている。また、表示信号駆動回路 4 6 の近傍には、外部配線 4 9 が接続されている。外部配線 4 8、4 9 は、例えば、F P C (Flexible Printed Circuit) 等の配線基板である。

【0015】

外部配線 4 8、4 9 を介して走査信号駆動回路 4 5、及び表示信号駆動回路 4 6 に外部からの各種信号が供給される。走査信号駆動回路 4 5 は外部からの制御信号に基づいて、ゲート信号（走査信号）をゲート配線 4 3 に供給する。このゲート信号によって、ゲート配線 4 3 が順次選択されていく。表示信号駆動回路 4 6 は外部からの制御信号や、表示データに基づいて表示信号をソース配線 4 4 に供給する。これにより、表示データに応じた表示電圧を各画素 4 7 に供給することができる。

【0016】

画素 4 7 内には、少なくとも 1 つの T F T 5 0 が形成されている。T F T 5 0 はソース配線 4 4 とゲート配線 4 3 の交差点近傍に配置される。例えば、この T F T 5 0 が画素電極に表示電圧を供給する。即ち、ゲート配線 4 3 からのゲート信号によって、スイッチング素子である T F T 5 0 がオンする。これにより、ソース配線 4 4 から、T F T 5 0 のドレイン電極に接続された画素電極に表示電圧が印加される。さらに、画素電極は、スリットを有する共通電極（対向電極）と絶縁膜を介して対向配置されている。画素電極と対向電極との間には、表示電圧に応じたフリンジ電界が生じる。なお、基板 1 0 の表面には、配向膜（図示せず）が形成されている。画素 4 7 の詳細な構成については、後述する。

【0017】

更に、基板 1 0 には、対向基板が対向して配置されている。対向基板は、例えば、カラーフィルタ基板であり、視認側に配置される。対向基板には、カラーフィルタ、ブラックマトリクス（B M）、及び配向膜等が形成されている。基板 1 0 と対向基板との間には液晶層が挟持される。即ち、基板 1 0 と対向基板との間には液晶が導入されている。更に、基板 1 0 と対向基板との外側の面には、偏光板、及び位相差板等が設けられる。また、液晶表示パネルの反視認側には、バックライトユニット等が配設される。

【0018】

画素電極と対向電極との間のフリンジ電界によって、液晶が駆動される。即ち、基板間の液晶の配向方向が変化する。これにより、液晶層を通過する光の偏光状態が変化する。即ち、偏光板を通過して直線偏光となった光は液晶層によって、偏光状態が変化する。具体的には、バックライトユニットからの光は、アレイ基板側の偏光板によって直線偏光になる。この直線偏光が液晶層を通過することによって、偏光状態が変化する。

【0019】

偏光状態によって、対向基板側の偏光板を通過する光量は変化する。即ち、バックライトユニットから液晶表示パネルを透過する透過光のうち、視認側の偏光板を通過する光の光量が変化する。液晶の配向方向は、印加される表示電圧によって変化する。従って、表示電圧を制御することによって、視認側の偏光板を通過する光量を変化させることができる。即ち、画素ごとに表示電圧を変えることによって、所望の画像を表示することができる。

【0020】

続いて、本実施の形態に係る液晶表示装置の画素構成について、図 2 及び図 3 を用いて説明する。図 2 は、実施の形態 1 に係る T F T アレイ基板の画素構成を示した平面図である。図 3 は、実施の形態 1 に係る T F T アレイ基板の画素構成を示した断面図である。図 2 は T F T アレイ基板の画素 4 7 の 1 つを示している。図 3（a）は図 2 の I I I A - I I I A 断面図であり、図 3（b）は図 2 の I I I B - I I I B 断面図である。ここでは、チャンネルエッチ型の T F T 5 0 が形成されている場合について例示的に説明をする。

【0021】

図 2 及び図 3 において、ガラス等の透明な絶縁性の基板 10 上に、その一部がゲート電極 1 を構成するゲート配線 43 が形成されている。ゲート配線 43 は、基板 10 上に於いて一方向に直線的に延在するように配設されている。ゲート電極 1 及びゲート配線 43 は、例えば Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag やこれらを主成分とする合金膜、またはこれらの積層膜によって形成されている。

【0022】

ゲート電極 1 及びゲート配線 43 を覆うように、第 1 の絶縁膜であるゲート絶縁膜 11 が設けられている。ゲート絶縁膜 11 は、窒化シリコン、酸化シリコン等の絶縁膜により形成されている。そして、TFT50 の形成領域では、ゲート絶縁膜 11 を介してゲート電極 1 の対面に半導体層 2 が設けられている。ここでは、半導体層 2 はゲート配線 43 と重なるようゲート絶縁膜 11 の上に形成され、この半導体層 2 と重複する領域のゲート配線 43 がゲート電極 1 となる。半導体層 2 は、例えば、非晶質シリコン、多結晶ポリシリコン等により形成されている。

10

【0023】

また、半導体層 2 上の両端に、導電性不純物がドーピングされたオーミックコンタクト膜 3 がそれぞれ形成されている。オーミックコンタクト膜 3 に対応する半導体層 2 の領域は、ソース・ドレイン領域となる。具体的には、図 3 (a) 中の左側のオーミックコンタクト膜 3 に対応する半導体層 2 の領域がソース領域となる。そして、図 3 (a) 中の右側のオーミックコンタクト膜 3 に対応する半導体層 2 の領域がドレイン領域となる。このように、半導体層 2 の両端にはソース・ドレイン領域が形成されている。そして、半導体層 2 のソース・ドレイン領域に挟まれた領域がチャンネル領域となる。半導体層 2 のチャンネル領域上には、オーミックコンタクト膜 3 は形成されていない。オーミックコンタクト膜 3 は、例えば、リン (P) 等の不純物が高濃度にドーピングされた、n 型非晶質シリコンや n 型多結晶シリコンなどにより形成されている。

20

【0024】

オーミックコンタクト膜 3 の上に、ソース電極 4 及びドレイン電極 5 が形成されている。具体的には、ソース領域側のオーミックコンタクト膜 3 上に、ソース電極 4 が形成されている。そして、ドレイン領域側のオーミックコンタクト膜 3 の上に、ドレイン電極 5 が形成されている。このように、チャンネルエッチ型の TFT50 が構成されている。そして、ソース電極 4 及びドレイン電極 5 は、半導体層 2 のチャンネル領域の外側へ延在するように形成されている。すなわち、ソース電極 4 及びドレイン電極 5 は、オーミックコンタクト膜 3 と同様、半導体層 2 のチャンネル領域上には形成されない。

30

【0025】

ソース電極 4 は、半導体層 2 のチャンネル領域の外側へ延在し、ソース配線 44 と繋がっている。ソース配線 44 は、ゲート絶縁膜 11 上に形成され、基板 10 上に於いてゲート配線 43 と交差する方向に直線的に延在するように配設されている。したがって、ソース配線 44 は、ゲート配線 43 との交差部において分岐してからゲート配線 43 に沿って延在し、ソース電極 4 となる。

【0026】

ドレイン電極 5 は、半導体層 2 のチャンネル領域の外側へ延在し、画素電極 6 と電氣的に接続している。すなわち、ドレイン電極 5 は、TFT50 の外側へと延在する延在部を有している。そして、この延在部において、ドレイン電極 5 と画素電極 6 とが電氣的に接続する。ソース電極 4、ドレイン電極 5、及びソース配線 44 は、例えば Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag やこれらを主成分とする合金膜、またはこれらの積層膜によって形成されている。

40

【0027】

ここで、本実施の形態では、画素電極 6 は、その一部がドレイン電極 5 の延在部に直接重なるように形成されて、ドレイン電極 5 と電氣的に接続している。そして、画素電極 6 は、ドレイン電極 5 の延在部上から画素 47 内へと延在して形成されている。具体的には、図 2 及び図 3 に示すように、画素電極 6 はソース配線 44 及びゲート配線 43 と重複し

50

ないよう離間して設けられ、ソース配線 4 4 とゲート配線 4 3 とに囲まれた領域のうち T F T 5 0 を除く略全面に形成されている。画素電極 6 は、I T O 等の透明導電膜によって形成されている。

【 0 0 2 8 】

すなわち、本実施の形態の画素電極 6 は、絶縁膜を介さずに、ソース電極 4、ドレイン電極 5、及びソース配線 4 4 の上層に直接形成されている。よって、本実施の形態では、従来の F F S モードの液晶表示装置と異なり、ドレイン電極 5 と画素電極 6 との間には絶縁膜が挟持されていない。このような構成により、画素電極 6 をドレイン電極 5 と電氣的に接続するためのコンタクトホールが不要となる。すなわち、ドレイン電極 5 の延在部には、コンタクトホール形成に要する大きさと、コンタクトホール周辺に確保される位置余裕とが不要となり、画素電極 6 の一部がその上に直接接触して形成可能な大きさのみを有していればよい。従って、ドレイン電極 5 の延在部を従来の F F S モードの液晶表示装置よりも小さくすることができ、開口率が向上する。

10

【 0 0 2 9 】

ソース電極 4、ドレイン電極 5、ソース配線 4 4、及び画素電極 6 を覆うように、第 2 の絶縁膜である層間絶縁膜 1 2 が設けられている。層間絶縁膜 1 2 は、窒化シリコン、酸化シリコン等の絶縁膜により形成されている。

【 0 0 3 0 】

そして、本実施の形態では、層間絶縁膜 1 2 の上に対向電極 8 が形成されている。対向電極 8 は、層間絶縁膜 1 2 を介して画素電極 6 の対面に配設され、画素電極 6 との間にフリンジ電界を発生させるためのスリットが設けられている。このスリットは、図 2 に示すように、ソース配線 4 4 と略並行に複数設けられている。スリットは、例えばゲート配線 4 3 と交差する方向に直線状に設けられている。対向電極 8 は、I T O 等の透明導電膜によって形成されている。

20

【 0 0 3 1 】

また、対向電極 8 は、ソース配線 4 4 を覆うように形成されている。具体的には、図 2 及び図 3 (b) に示すように、層間絶縁膜 1 2 を介してソース配線 4 4 の対面には、ソース配線 4 4 より幅の広い対向電極 8 が配設されている。対向電極 8 は、画素部のソース配線 4 4 の大部分を覆っている。すなわち、ソース配線 4 4 のうち、ゲート配線 4 3 と交差する部分を除く領域の大部分が、対向電極 8 と重なり合う。このような構成により、ソース配線 4 4 から発生する電界が対向電極 8 によって遮られるため、液晶まで及ばず、液晶の配向状態の変化を低減することができる。従って、ソース配線 4 4 が発生する電界による光漏れが大幅に抑制されるため、対向基板側には、ソース配線 4 4 を覆うように広い範囲でブラックマトリクスを形成する必要がない。よって、ソース配線 4 4 近傍の非透過領域を小さくすることができ、開口率が向上する。

30

【 0 0 3 2 】

このとき、ソース配線 4 4 を覆う部分の対向電極 8 の幅は、ソース配線 4 4 より片側 2 μ m 以上幅広に形成されていることが好ましい。これにより、ソース配線 4 4 の電界を有効に遮蔽できる。このように、対向電極 8 は、ソース配線 4 4 を覆うことで、ソース配線 4 4 を挟んで隣接する画素の対向電極 8 と接続する。

40

【 0 0 3 3 】

さらに、対向電極 8 は、ゲート配線 4 3 の少なくとも一部を覆うように形成されている。すなわち、対向電極 8 は、ゲート配線 4 3 を挟んで隣接する画素の対向電極 8 と接続するように、ゲート配線 4 3 の少なくとも一部において重なり合うように形成されている。ここでは、対向電極 8 は、ソース配線 4 4 又は T F T 5 0 と重複しない領域のゲート配線 4 3 を跨ぐように形成されている。以上のような構成により、対向電極 8 は、隣接する全ての画素 4 7 の対向電極 8 と、一体的に繋がって形成され、電氣的に接続する。すなわち、表示領域 4 1 内の全ての画素 4 7 の対向電極 8 が電氣的に接続するため、対向電極 8 の抵抗を低減することが可能となる。対向電極 8 に比較的抵抗率の高い透明導電膜を用いる場合、従来の F F S モードの液晶表示装置では、比較的抵抗率の低い非透過の共通配線を

50

配置して、各画素４７の対向電極８に信号を供給していたが、本実施の形態ではこの共通配線を形成する必要がない。従って、開口率が向上する。

【００３４】

続いて、本実施の形態における液晶表示装置の製造方法について説明する。まず初めに、ガラス等の透明な絶縁性の基板１０上全面に、Ｃｒ、Ａｌ、Ｔａ、Ｔｉ、Ｍｏ、Ｗ、Ｎｉ、Ｃｕ、Ａｕ、Ａｇやこれらを主成分とする合金膜、またはこれらの積層膜を成膜する。例えば、スパッタ法や蒸着法などを用いて基板１０全面に成膜する。その後、レジストを塗布して、塗布したレジストをフォトリソグラフィから露光し、レジストを感光させる。次に、感光させたレジストを現像して、レジストをパターニングする。以後、これら一連の工程を写真製版と呼ぶ。その後、このレジストパターンをマスクとしてエッチングし、フォトリソグラフィパターンを除去する。以後、このような工程を微細加工技術と呼ぶ。これにより、ゲート電極１及びゲート配線４３がパターニングされる。

10

【００３５】

次に、ゲート電極１及びゲート配線４３を覆うように、ゲート絶縁膜１１となる第１の絶縁膜、半導体層２となる材料、及びオーミックコンタクト膜３となる材料をこの順に成膜する。例えば、プラズマＣＶＤ、常圧ＣＶＤ、減圧ＣＶＤなどを用いて、これらを基板１０全面に成膜する。ゲート絶縁膜１１として、窒化シリコン、酸化シリコン等を用いることができる。なお、ゲート絶縁膜１１は、ピンホール等の膜欠陥発生による短絡を防止するため、複数回に分けて成膜することが好ましい。

【００３６】

20

半導体層２となる材料には、非晶質シリコン、多結晶ポリシリコンなどを用いることができる。また、オーミックコンタクト膜３となる材料には、リン（Ｐ）等の不純物を高濃度に添加したｎ型非晶質シリコンやｎ型多結晶シリコンなどを用いることができる。その後、写真製版及び微細加工技術により、半導体層２となる膜、及びオーミックコンタクト膜３となる膜を、ゲート電極１上に島状にパターニングする。

【００３７】

次に、本実施の形態では、これらを覆うように、Ｃｒ、Ａｌ、Ｔａ、Ｔｉ、Ｍｏ、Ｗ、Ｎｉ、Ｃｕ、Ａｕ、Ａｇやこれらを主成分とする合金膜、またはこれらの積層膜を成膜する。例えば、スパッタ法や蒸着法などを用いて成膜する。その後、写真製版及び微細加工技術によりパターニングして、ソース電極４、ドレイン電極５、及びソース配線４４を形成する。

30

【００３８】

続いて、ソース電極４、ドレイン電極５、及びソース配線４４を覆うように、ＩＴＯ等の透明導電膜をスパッタ法等により基板１０全面に成膜する。そして、写真製版及び微細加工技術により、この透明導電膜をパターニングする。これにより、一部がドレイン電極５上に直接接触する画素電極６が形成される。

【００３９】

次に、ソース電極４及びドレイン電極５をマスクとして、オーミックコンタクト膜３となる膜をエッチングする。すなわち、島状にパターニングされたオーミックコンタクト膜３のうち、ソース電極４又はドレイン電極５に覆われずに露出した部分をエッチングにより除去する。これにより、ソース電極４とドレイン電極５との間にチャネル領域が設けられた半導体層２及びオーミックコンタクト膜３が形成される。なお、上記説明では、ソース電極４及びドレイン電極５をマスクとしてエッチングを行ったが、ソース電極４及びドレイン電極５をパターニングする際に用いたレジストパターンをマスクとして、オーミックコンタクト膜３のエッチングを行ってもよい。その場合は、ソース電極４及びドレイン電極５上のレジストパターンを除去する前に、オーミックコンタクト膜３のエッチングを行う。すなわち、画素電極６の形成とオーミックコンタクト膜３のエッチングとの順番が逆になる。

40

【００４０】

続いて、ソース電極４、ドレイン電極５、ソース配線４４、及び画素電極６を覆うよう

50

に、層間絶縁膜 1 2 となる第 2 の絶縁膜を成膜する。例えば、層間絶縁膜 1 2 として窒化シリコン、酸化シリコン等の無機絶縁膜を、CVD 法などを用いて基板 1 0 全面に成膜する。これにより、半導体層 2 のチャネル領域が層間絶縁膜 1 2 に覆われる。なお、額縁領域 4 2 では、走査信号駆動回路 4 5 又は表示信号駆動回路 4 6 と接続するための端子（不図示）がゲート配線 4 3 又はソース配線 4 4 と同じ層によって形成される。そのため、層間絶縁膜 1 2 を成膜した後に、写真製版及び微細加工技術により、これら端子に到達するコンタクトホールを層間絶縁膜 1 2 及びゲート絶縁膜 1 1 に形成する。

【0041】

次に、層間絶縁膜 1 2 の上に、ITO 等の透明導電膜をスパッタ法等により基板 1 0 全面に成膜する。そして、写真製版及び微細加工技術により、この透明導電膜をパターニングする。これにより、層間絶縁膜 1 2 を介して画素電極 6 の対面に、スリットを有する対向電極 8 が形成される。また、対向電極 8 は、ソース配線 4 4 の大部分とゲート配線 4 3 の少なくとも一部とを覆い、隣接する画素の対向電極 8 と繋がって形成される。なお、額縁領域 4 2 では、コンタクトホールを介してゲート端子と接続するゲート端子パッドが、対向電極 8 と同じ透明導電膜によって形成される。同様に、コンタクトホールを介してソース端子と接続するソース端子パッドが対向電極 8 と同じ透明導電膜によって形成される。以上の工程を経て、本実施の形態の TFT アレイ基板が完成する。

【0042】

このように作製した TFT アレイ基板の上に、その後のセル工程において配向膜を形成する。また、別途作製された対向基板の上に配向膜を同様に形成する。そして、この配向膜に対して、液晶との接触面に一方向にミクロな傷をつける配向処理（ラビング処理）を施す。次に、シール材を塗布して、TFT アレイ基板と対向基板とを貼り合わせる。TFT アレイ基板と対向基板とを貼り合わせた後、真空注入法等を用い、液晶注入口から液晶を注入する。そして、液晶注入口を封止する。このようにして形成した液晶セルの両面に偏光板を貼り付けて、駆動回路を接続した後、バックライトユニットを取り付ける。このようにして、本実施の形態の液晶表示装置が完成する。

【0043】

以上のように、本実施の形態では、画素電極 6 と、その上層に層間絶縁膜 1 2 を介して対向配置されたスリットを有する対向電極 8 と、の間でフリンジ電界発生させて液晶を駆動する。そして、画素電極 6 を、絶縁膜を介さずに、ドレイン電極 5 上に直接形成している。このような構成により、画素電極 6 をとドレイン電極 5 とを電氣的に接続するためのコンタクトホールを形成する必要がなくなり、開口率を向上することができる。

【0044】

また、ソース配線 4 4 を覆うようにして対向電極 8 を配設している。すなわち、ソース配線 4 4 から発生する電界を、ソース配線 4 4 の液晶側に配置した対向電極 8 により遮蔽する。これにより、ソース配線 4 4 から発生する電界が液晶まで及ばず、ソース配線 4 4 近傍の光漏れを大幅に抑制することができる。従って、対向基板側には、ソース配線 4 4 近傍の広い範囲にブラックマトリクスを形成する必要がなくなるので、開口率をさらに向上することができる。

【0045】

さらに、対向電極 8 を隣接する画素間で繋がるように形成している。すなわち、対向電極 8 は、ソース配線 4 4 及びゲート配線 4 3 を跨いで隣接する画素の対向電極 8 と繋がって形成されている。よって、表示領域 4 1 内の全画素 4 7 の対向電極 8 が一体的に形成され、電氣的に接続する。これにより、対向電極 8 の抵抗を低減することができ、非透過の共通配線を形成する必要がなくなり、開口率をさらに向上することができる。

【0046】

実施の形態 2 .

本実施の形態に係る液晶表示装置の画素構成について、図 4 及び図 5 を用いて説明する。図 4 は、実施の形態 2 に係る TFT アレイ基板の画素構成を示した平面図である。図 5 は、実施の形態 2 に係る TFT アレイ基板の画素構成を示した断面図である。図 4 は TFT

10

20

30

40

50

Tアレイ基板の画素４７の１つを示している。図５（a）は図４のVA-VA断面図であり、図５（b）は図４のVB-VB断面図である。

【００４７】

本実施の形態では、実施の形態１にさらに有機膜９が設けられた構成となっていて、それ以外の構成については実施の形態１と同様であるため、説明を省略する。図４及び図５において、本実施の形態では、有機膜９がソース配線４４と層間絶縁膜１２との間に配設されている。有機膜９は、ソース配線４４を覆うように形成され、隣接する画素電極６間においてソース配線４４に沿って延在している。なお、光を透過する領域には、有機膜９は形成されていない。すなわち、有機膜９は、ソース配線４４の線幅よりも幅広く形成されるが、画素電極６とは重ならないようにその幅が調整されている。

10

【００４８】

有機膜９は、例えば、フォトレジスト材料によって形成されている。ここで、有機膜９は、透明性の高い有機樹脂材料でもよいが、非透過の領域に設けられているため、透明性の低いものでもよい。ここでは、有機膜９は、通常のアレイ基板製造に用いられる、安価で透明性の低いフォトレジスト材料によって形成されている。これにより、有機膜９形成のプロセス付加に対するコスト上昇を抑制できる。

【００４９】

このような構成のTFTアレイ基板は、実施の形態１で層間絶縁膜１２を形成する前に、有機膜９を形成する工程を追加して行えばよい。具体的には、半導体層２、オーミックコンタクト膜３、ソース電極４、ドレイン電極５、ソース配線４４、及び画素電極６を形成した後、これらを覆うように、有機膜９となる材料を塗布する。ここでは、例えばフォトレジストを用いる。そして、写真製版により、このフォトレジストをパターンニングする。これにより、ソース配線４４を覆う有機膜９を形成する。その後、これらの上に層間絶縁膜１２を形成する。それ以外の工程については、実施の形態１と同様であるため、説明を省略する。

20

【００５０】

なお、有機膜９の写真製版では、裏面露光プロセスを用いてもよい。具体的には、有機膜９となる材料を塗布した後、裏面側（ガラス面側）から露光する。すなわち、ソース配線４４、ゲート配線４３、ソース電極４、ドレイン電極５、及び半導体層２のパターンがマスクとなる。この場合、有機膜９は、ソース配線４４、ゲート配線４３、ソース電極４、ドレイン電極５、及び半導体層２を覆うように形成される。これにより、有機膜９をパターンニングするために新たなマスクを用いることがなく、マスク枚数が増加することを防止できる。従って、有機膜９形成のプロセス付加に対するコスト上昇を抑制できる。

30

【００５１】

以上のように、本実施の形態では、ソース配線４４を覆うように有機膜９を形成している。すなわち、ソース配線４４と対向電極８との間に設けられる絶縁膜は、有機膜９及び層間絶縁膜１２となり、膜厚が厚くなる。これにより、ソース配線４４と対向電極８との間の容量を低減することができる。従って、液晶表示装置の消費電力を低減することができる。また、ソース配線４４と対向電極８との間におけるショートが発生率を低減できる。従って、液晶表示装置の歩留まりを向上することができる。さらに、本実施の形態によっても実施の形態１と同様の効果を奏し、開口率を向上することができる。

40

【００５２】

なお、本実施の形態では、有機膜９がソース配線４４と層間絶縁膜１２との間に配設される場合について例示的に説明をしたが、これに限るものではない。図６は、本実施の形態の別の実施例に係るTFTアレイ基板の画素構成を示した断面図である。図６では、図４のVB-VB断面に相当する断面を示している。有機膜９は、図６に示すように、層間絶縁膜１２と対向電極８との間に配設されている。すなわち、有機膜９は、層間絶縁膜１２の上において、ソース配線４４を覆うように形成されていてもよい。具体的には、有機膜９は、ソース配線４４の線幅よりも幅広く形成され、層間絶縁膜１２を介してソース配線４４を覆うように配設されている。このような構成のTFTアレイ基板は、実施の形態１で

50

層間絶縁膜 12 を形成した後に、有機膜を形成する工程を追加して行えばよい。その後、有機膜 9 の上から、対向電極 8 を形成する。これにより、ソース配線 44 と対向電極 8 との間に設けられる絶縁膜は、層間絶縁膜 12 及び有機膜 9 となり、膜厚が厚くなる。従って、有機膜 9 がソース配線 44 と層間絶縁膜 12 との間に形成される場合と同様の効果を奏することができる。

【0053】

実施の形態 3 .

本実施の形態に係る液晶表示装置の画素構成について、図 6 を用いて説明する。図 6 は、実施の形態 3 に係る TFT アレイ基板の画素構成を示した平面図である。図 6 は TFT アレイ基板の画素 47 の 1 つを示している。本実施の形態では、ソース配線 44、画素電極 6、及び対向電極 8 の形状が実施の形態 1 と異なるのみであり、それ以外の構成については実施の形態 1 と同様であるため説明を省略する。

10

【0054】

実施の形態 1 では、対向電極 8 にスリットを 1 方向に設けていたが、本実施の形態は、対向電極 8 に設けるスリットの方

【0055】

図 6 において、対向電極 8 には、2 方向にスリットが設けられている。スリットは、ゲート配線 43 と垂直な方向に対して所定の傾斜角度で設けられている。そして、ゲート配線 43 を基準として対称となる 2 方向を含む傾斜角度でスリットが設けられている。ここでは、スリットは、例えばくの字状に形成されている。このスリットは、図 6 に示すように、画素電極 6 と重複する領域において、ソース配線 44 と略並行に複数設けられている。

20

【0056】

また、本実施の形態では、ソース配線 44 は、このスリットに沿った形状に形成されている。すなわち、隣接するゲート配線 43 間において、ソース配線 44 は屈曲して形成される。同様に、画素電極 6 は、このスリットに沿った形状に形成されている。具体的には、画素電極 6 が、層間絶縁膜 12 を介して、対向電極 8 のくの字状のスリットの対面に配置されるよう、屈曲した形状に形成されている。このように、対向電極 8 のスリットに沿って、ソース配線 44 及び画素電極 6 を屈曲させて配置することで、透過率の減少を抑制することができる。なお、本実施の形態の製造方法は、実施の形態 1 と同様であるため、説明を省略する。

30

【0057】

以上のように、本実施の形態では、対向電極 8 に設けるスリットの方

【0058】

上記実施の形態 1 ~ 3 では、画素電極 6 の一部をドレイン電極 5 上に接触して配設する場合について例示的に説明をしたが、ドレイン電極 5 の下に接触して配設してもよい。すなわち、ドレイン電極 5 の延在部が画素電極 6 の上に直接接触して設けられる。この場合は、ソース電極 4、ドレイン電極 5、及びソース配線 44 の形成工程と、画素電極 6 の形成工程とが、逆になる。すなわち、画素電極 6 を形成後に、ソース電極 4、ドレイン電極 5、及びソース配線 44 を形成する。

40

【0059】

また、ソース電極 4、ドレイン電極 5、及びソース配線 44 の形成と、画素電極 6 の形

50

成とを、別々の写真製版を用いて行ったが、これらを1回の写真製版で行ってもよい。具体的には、半導体層2となる膜、及びオーミックコンタクト膜3となる膜を、ゲート電極1上に島状にパターンニングした後、画素電極6となる透明導電膜と、ソース電極4、ドレイン電極5、及びソース配線44となる電極膜とを順次成膜する。そして、ハーフトーンやグレートーン等の多段階露光技術を用いて、写真製版を行い、膜厚差を有するレジストパターンを形成する。このとき、ソース電極4、ドレイン電極5、及びソース配線44の形成領域上にレジストパターンの厚膜部、画素電極6の形成領域上に薄膜部を形成する。このレジストパターンをマスクとして、電極膜及び透明導電膜をエッチングする。

【0060】

その後、膜厚差を有するレジストパターンをアッシングして、薄膜部のレジストパターンを除去する。そして、薄膜部の除去されたレジストパターンをマスクとして、画素電極6の形成領域上の電極膜をエッチングして除去する。これにより、ソース電極4、ドレイン電極5、ソース配線44、及び画素電極6を同じ写真製版で形成できる。従って、写真製版工程を削減できる。なお、この場合、ソース電極4、ドレイン電極5、及びソース配線44は、画素電極6と同じ透明導電膜が下層に積層された積層膜となる。

【0061】

さらに、実施の形態1～3では、チャネルエッチ型のTFT50が形成された液晶表示装置について説明したが、トップゲート型など他のTFT50が設けられていてもよい。また、上記実施の形態では、透過型の液晶表示装置について説明したが、本発明はこれに限られるものではない。例えば、半透過型の液晶表示装置であってもよい。この場合は、ドレイン電極5の延在部を拡大して形成すればよい。すなわち、ドレイン電極5が画素電極6と重なる領域を増加させて、この部分を反射板として機能させることができる。また、実施の形態1～3では、対向電極8のスリットの方がソース配線44と平行な場合について例示的に説明したが、これに限るものではない。対向電極8のスリットの方向は、ソース配線44と平行な方向だけでなく、任意の方向、または任意の異なる方向の組み合わせとしてもよい。なお、上記実施の形態1～3は、適宜組み合わせて実施することができる。

【0062】

以上の説明は、本発明の実施の形態を説明するものであり、本発明が以上の実施の形態に限定されるものではない。また、当業者であれば、以上の実施の形態の各要素を、本発明の範囲において、容易に変更、追加、変換することが可能である。

【図面の簡単な説明】

【0063】

【図1】液晶表示装置に用いられるTFTアレ基板の構成を示す正面図である。

【図2】実施の形態1に係るTFTアレ基板の画素構成を示した平面図である。

【図3】実施の形態1に係るTFTアレ基板の画素構成を示した断面図である。

【図4】実施の形態2に係るTFTアレ基板の画素構成を示した平面図である。

【図5】実施の形態2に係るTFTアレ基板の画素構成を示した断面図である。

【図6】実施の形態2の別の実施例に係るTFTアレ基板の画素構成を示した断面図である。

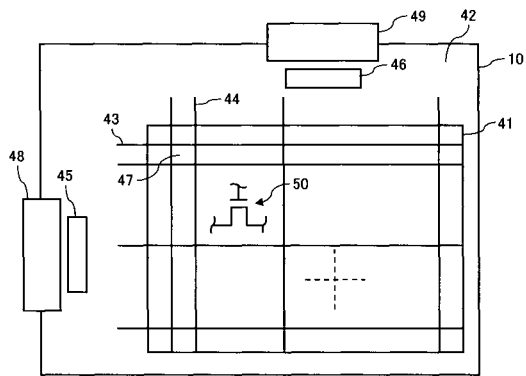
【図7】実施の形態3に係るTFTアレ基板の画素構成を示した平面図である。

【符号の説明】

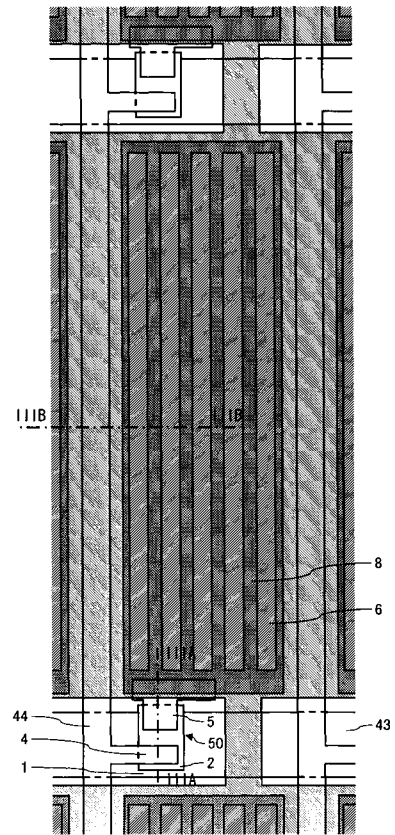
【0064】

- 1 ゲート電極、2 半導体層、3 オーミックコンタクト膜、
- 4 ソース電極、5 ドレイン電極、6 画素電極、8 対向電極、
- 9 有機膜、10 基板、11 ゲート絶縁膜、12 層間絶縁膜、
- 41 表示領域、42 額縁領域、43 ゲート配線、44 ソース配線、
- 45 走査信号駆動回路、46 表示信号駆動回路、47 画素、
- 48、49 外部配線、50 TFT

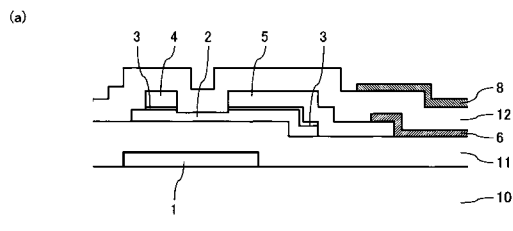
【図 1】



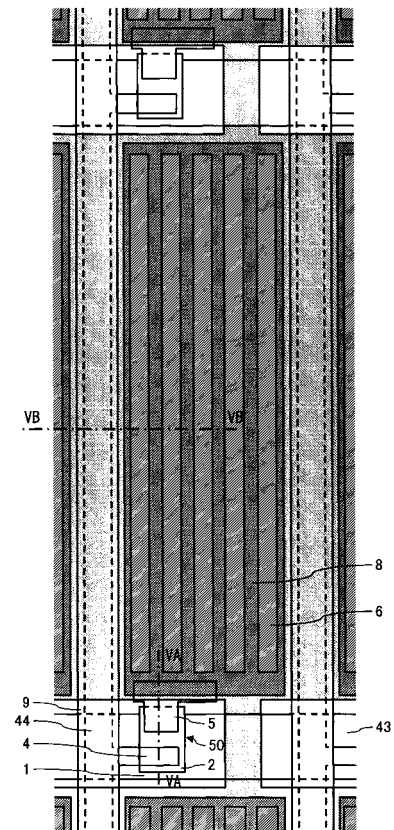
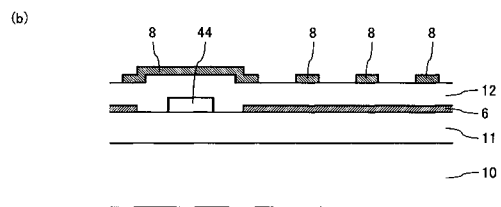
【図 2】



【図 3】

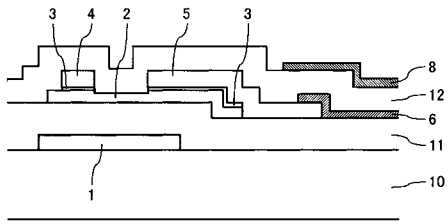


【図 4】



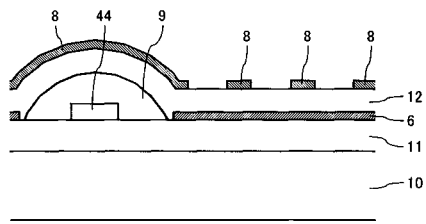
【図 5】

(a)

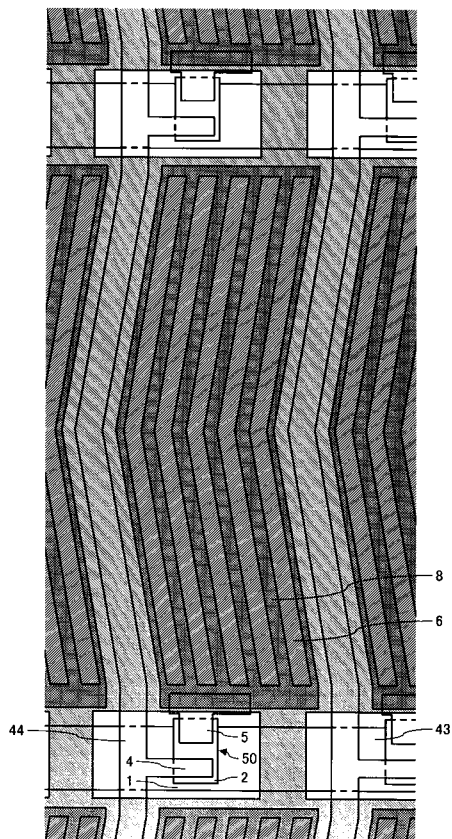


【図 6】

(b)



【図 7】



フロントページの続き

- (72)発明者 荒木 利夫
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内
- (72)発明者 宮川 修
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

合議体

審判長 吉野 公夫
審判官 佐々木 訓
審判官 黒瀬 雅一

- (56)参考文献 特開 2 0 0 1 - 1 7 4 8 1 8 (J P , A)
特開 2 0 0 7 - 2 3 3 3 1 7 (J P , A)
特開 2 0 0 7 - 3 3 4 3 1 7 (J P , A)
特開平 1 0 - 3 1 9 4 3 6 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G02F1/1343-1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP5456980B2	公开(公告)日	2014-04-02
申请号	JP2008034952	申请日	2008-02-15
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	永野慎吾 升谷雄一 荒木利夫 宫川修		
发明人	永野 慎吾 升谷 雄一 荒木 利夫 宫川 修		
IPC分类号	G02F1/1343 G02F1/1368 H01L29/786		
CPC分类号	G02F1/134363 G02F1/136286		
FI分类号	G02F1/1343 G02F1/1368 H01L29/78.612.C H01L29/78.616.S		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA17 2H092/GA24 2H092/GA32 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB14 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB57 2H092/KA04 2H092/KA05 2H092/KA07 2H092/KA18 2H092/KA24 2H092/KB04 2H092/KB24 2H092/KB25 2H092/NA01 2H092/NA07 2H192/AA24 2H192/BB12 2H192/BB53 2H192/BB73 2H192/CB05 2H192/CB61 2H192/CC04 2H192/DA74 2H192/EA22 2H192/EA43 2H192/GA03 2H192/JA32 5F110/AA30 5F110/BB02 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE43 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF29 5F110/FF30 5F110/FF32 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG44 5F110/GG45 5F110/GG47 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK14 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK32 5F110/HK33 5F110/HK34 5F110/HK35 5F110/HK37 5F110/HM18 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36 5F110/NN73 5F110/QQ12		
代理人(译)	须藤雄一郎		
其他公开文献	JP2009192932A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种FFS模式的液晶显示装置，其可以改善数值孔径，并提供一种制造该装置的方法。解决方案：液晶显示装置具有夹在具有TFT 50的TFT阵列基板和与TFT阵列基板相对设置的相对基板之间的液晶。液晶显示装置在TFT阵列基板上具有直接形成在TFT 50的漏电极5上方或下方的像素电极6，以至少部分地与漏电极5直接重叠，覆盖像素电极的层间电介质12如图6所示，对电极8形成在层间电介质12上并具有用于在像素电极6和对电极8之间产生边缘电场的狭缝。

