

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5408914号  
(P5408914)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int. Cl. F 1  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/1343 (2006.01)** GO2F 1/1343  
**HO1L 21/336 (2006.01)** HO1L 29/78 612A  
**HO1L 29/786 (2006.01)**

請求項の数 2 (全 11 頁)

(21) 出願番号 特願2008-174895 (P2008-174895)  
 (22) 出願日 平成20年7月3日(2008.7.3)  
 (65) 公開番号 特開2010-14975 (P2010-14975A)  
 (43) 公開日 平成22年1月21日(2010.1.21)  
 審査請求日 平成23年3月10日(2011.3.10)

(73) 特許権者 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 110001737  
 特許業務法人スズエ国際特許事務所  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100075672  
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示パネル

(57) 【特許請求の範囲】

【請求項1】

第1基板と、  
 第2基板と、  
 前記第1基板及び第2基板間に保持された液晶層と、を備え、  
 前記第1基板は、  
 各画素の行方向に延在した走査線と、  
 各画素の列方向に延在した信号線と、  
 画素毎に配置された薄膜トランジスタと、  
 前記走査線、信号線及び薄膜トランジスタ上に形成され、前記薄膜トランジスタのドレイン電極に重なったコンタクトホールを有した第1絶縁層と、  
 前記第1絶縁層上に形成された共通電極と、  
 前記コンタクトホール内部のみに位置し、前記ドレイン電極上に形成され、前記ドレイン電極に電氣的に接続された接続部と、  
 前記第1絶縁層、共通電極及び接続部上に形成され、前記接続部に重なった他のコンタクトホールを有した第2絶縁層と、  
 前記第2絶縁層上に形成され、前記共通電極と対向し、前記他のコンタクトホールを介して前記接続部に電氣的に接続された画素電極と、を備えている液晶表示パネル。

【請求項2】

前記接続部は、前記共通電極と同一の材料で形成されている請求項1に記載の液晶表示 20

パネル。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示パネルに関し、特に、横電界駆動モードの液晶表示パネルに関する。

【背景技術】

【0002】

近年、CRTディスプレイに代わる平面表示パネルが盛んに開発されており、中でも液晶表示パネルは、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(fringe field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。(例えば、特許文献1参照。)

10

また、近年、多結晶シリコン(ポリシリコンともいう)や非結晶シリコン(アモルファスシリコンともいう)はCVD(Chemical Vapor Deposition)法などにより透明基板上に製膜が可能であることから、液晶表示パネルへの応用が盛んに行われている。

【0003】

これらは、表示部である画素スイッチング素子への使用を始め、多結晶シリコン膜については更に上記画素スイッチング素子を動作させるための駆動回路(主にCMOSやPMOSトランジスタから構成される)への使用も研究されている。

20

【0004】

ここで、多結晶シリコンをTFT(薄膜トランジスタ)の半導体層に使用したPMOSトランジスタの従来の製造方法をアレ基板の製造方法と併せて説明する。

まず、無アルカリガラス基板上に非結晶シリコン膜をCVD法にて成膜する。その後、エキシマレーザを用いて非結晶シリコン膜を瞬時熔融させ、多結晶シリコンからなる半導体膜を形成する。半導体膜をCDE法(Chemical Dry Etching)によりパターニングすることによって、p型TFT用の半導体層を形成する。その後、半導体層を被覆するようにCVD法を用い、無アルカリガラス基板全面に、ゲート絶縁膜と、スパッタ法により金属膜とを成膜する。続いて、RIE(Reactive Ion Etching)法により、金属膜をパターニングすることにより、ゲート電極を形成する。

30

【0005】

次に、ゲート電極又はゲート電極を形成したときに用いたレジストをマスクとして、半導体層に、イオン注入法などによりボロンを高濃度にドーピングする。これにより、半導体層にソース領域及びドレイン領域が形成される。次に、ゲート電極とゲート絶縁膜を被覆するように、無アルカリガラス基板上に層間絶縁膜を形成する。次に、層間絶縁膜上に、半導体層のソース領域に電氣的に接続されたソース電極及び半導体層のドレイン領域に電氣的に接続されたドレイン電極を形成する。

【0006】

次いで、無アルカリガラス基板上に、ドレイン電極に重なったコンタクトホールを有した第1絶縁層を形成する。続いて、第1絶縁層上に共通電極を形成した後、第1絶縁層及び共通電極上に、ドレイン電極に重なった他のコンタクトホールを有した第2絶縁層を形成する。次に、第2絶縁層上に画素電極を形成する。画素電極は、コンタクトホール及び他のコンタクトホールを介してドレイン電極に電氣的に接続されている。上記したように、アレ基板は製造され、構成している。

40

【特許文献1】特開2006-317962号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記アレ基板の製造工程において、第1絶縁層は厚い。第2絶縁層の成膜時、上記コ

50

ンタクトホールに塗布される第2絶縁層の膜厚は厚くなってしまふ。このため、上記他のコンタクトホール形成時に、第2絶縁層の残渣が上記コンタクトホール及び他のコンタクトホール内部に入り込む恐れがある。上記コンタクトホール及び他のコンタクトホール内部に第2絶縁層の残渣が入り込んだ状態で画素電極を形成すると、画素電極及びTFT間に接続不良が生じ、画像不良を招く問題、すなわち、製品歩留まりの低下を招く問題がある。

この発明は以上の点に鑑みなされたもので、その目的は、表示品位に優れ、製品歩留まりの高い液晶表示パネルを提供することにある。

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明の態様に係る液晶表示パネルは、  
 第1基板と、  
 第2基板と、  
 前記第1基板及び第2基板間に保持された液晶層と、を備え、  
 前記第1基板は、  
 各画素の行方向に延在した走査線と、  
 各画素の列方向に延在した信号線と、  
 画素毎に配置された薄膜トランジスタと、  
 前記走査線、信号線及び薄膜トランジスタ上に形成され、前記薄膜トランジスタのドレイン電極に重なったコンタクトホールを有した第1絶縁層と、  
 前記第1絶縁層上に形成された共通電極と、  
 前記コンタクトホール内部のみに位置し、前記ドレイン電極上に形成され、前記ドレイン電極に電氣的に接続された接続部と、  
 前記第1絶縁層、共通電極及び接続部上に形成され、前記接続部に重なった他のコンタクトホールを有した第2絶縁層と、  
 前記第2絶縁層上に形成され、前記共通電極と対向し、前記他のコンタクトホールを介して前記接続部に電氣的に接続された画素電極と、を備えている。

【発明の効果】

【0009】

この発明によれば、表示品位に優れ、製品歩留まりの高い液晶表示パネルを提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照しながらこの発明の実施の形態に係る液晶表示装置について詳細に説明する。ここでは、一方の基板に画素電極及び共通電極を備え、これらの間に形成される横電界を利用して液晶分子をスイッチングする液晶表示モードとして、FFSモードの液晶表示装置について説明する。

【0011】

図1乃至図4に示すように、液晶表示装置は、アクティブマトリクスタイプの液晶表示装置であって、液晶表示パネルLPNを備えている。この液晶表示パネルLPNは、第1基板としてのアレイ基板ARと、第2基板としての対向基板CTと、液晶層LQとを備えている。対向基板CTは、アレイ基板ARに所定の隙間を置いて対向配置されている。液晶層LQは、アレイ基板ARと対向基板CTとの間に保持されている。このような液晶表示装置は、画像を表示する表示領域DSPを備えている。この表示領域DSPには、 $m \times n$ 個のマトリクス状に配置された複数の画素PXが形成されている。

【0012】

アレイ基板ARは、ガラス板や石英板などの光透過性を有する絶縁基板20を用いて形成されている。すなわち、このアレイ基板ARは、表示領域DSPにおいて、画素毎に配置された $m \times n$ 個の画素電極EP、各画素PXの行方向Hにそれぞれ延在したn本の走査線Y(Y1~Yn)、各画素PXの列方向Vにそれぞれ延在したm本の信号線X(X1~

10

20

30

40

50

X m)、各画素 P X において走査線 Y と信号線 X との交差点を含む領域に配置された m × n 個のスイッチング素子 W、画素電極 E P と第 2 絶縁層 1 4 を介して対向配置された共通電極 E T などを備えている。

【 0 0 1 3 】

アレイ基板 A R は、さらに、表示領域 D S P の周辺の駆動回路領域 D C T において、n 本の走査線 Y に接続された走査線ドライバ Y D を構成する少なくとも一部や、m 本の信号線 X に接続された信号線ドライバ X D を構成する少なくとも一部などを備えている。走査線ドライバ Y D は、コントローラ C N T による制御に基づいて n 本の走査線 Y に順次走査信号（駆動信号）を供給する。

【 0 0 1 4 】

また、信号線ドライバ X D は、コントローラ C N T による制御に基づいて各行のスイッチング素子 W が走査信号によってオンするタイミングで m 本の信号線 X に映像信号（駆動信号）を供給する。これにより、各行の画素電極 E P は、対応するスイッチング素子 W を介して供給される映像信号に応じた画素電位にそれぞれ設定される。

【 0 0 1 5 】

各スイッチング素子 W は、例えば、薄膜トランジスタによって構成されている。スイッチング素子 W の半導体層 S C は、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能である。スイッチング素子 W のゲート電極 W G は、走査線 Y と一体的に形成されている（あるいは走査線 Y に接続されている）。スイッチング素子 W のソース電極 W S は、信号線 X と一体に形成されている（あるいは信号線 X に接続されている）とともに、半導体層 S C のソース領域 R S に接続されている。スイッチング素子 W のドレイン電極 W D は、半導体層 S C のドレイン領域 R D に接続されている。

【 0 0 1 6 】

共通電極 E T は、例えば各画素 P X において島状に配置され、コモン電位のコモン配線 C O M に電氣的に接続されている。この共通電極 E T は、第 2 絶縁層 1 4 によって覆われている。画素電極 E P は、第 2 絶縁層 1 4 上において共通電極 E T と対向するように配置されている。この画素電極 E P には、共通電極 E T と対向する複数のスリット S L が設けられている。これらの画素電極 E P 及び共通電極 E T は、例えばインジウム・ティン・オキサイド（I T O）やインジウム・ジंक・オキサイド（I Z O）などの光透過性を有する導電材料によって形成されている。アレイ基板 A R の液晶層 L Q に接触する面には、配向膜 2 2 が配置されている。

【 0 0 1 7 】

一方、対向基板 C T は、ガラス板や石英板などの光透過性を有する絶縁基板 3 0 を用いて形成されている。特に、カラー表示タイプの液晶表示装置においては、対向基板 C T は、絶縁基板 3 0 上に、各画素 P X を区画するブラックマトリクス 3 2、ブラックマトリクス 3 2 によって囲まれた各画素に配置されたカラーフィルタ層 3 4 などを備えている。また、対向基板 C T は、さらに、外部電界の影響を緩和するためのシールド電極や、カラーフィルタ層 3 4 の表面の凹凸を平坦化するように比較的厚い膜厚で配置されたオーバコート層などを備えて構成してもよい。

【 0 0 1 8 】

ブラックマトリクス 3 2 は、絶縁基板 3 0 上において、アレイ基板 A R に設けられた走査線 Y や信号線 X、さらにはスイッチング素子 W などの配線部に対向するように配置されている。カラーフィルタ層 3 4 は、互いに異なる複数の色、例えば赤色、緑色、青色といった 3 原色にそれぞれ着色された着色樹脂によって形成されている。赤色着色樹脂、青色着色樹脂、及び緑色着色樹脂は、それぞれ赤色画素、青色画素、及び緑色画素に対応して配置されている。対向基板 C T の液晶層 L Q に接触する面には、配向膜 3 6 が配置されている。

【 0 0 1 9 】

このような対向基板 C T と上述したようなアレイ基板 A R とをそれぞれの配向膜 2 2 及び配向膜 3 6 が対向するように配置したとき、両者の間に配置された図示しないスペーサ

10

20

30

40

50

により、所定のギャップが形成される。液晶層LQは、これらのアレイ基板ARの配向膜22と対向基板CTの配向膜36との間に形成されたスペースに封入された液晶組成物によって構成されている。

#### 【0020】

また、この液晶表示装置は、液晶表示パネルLPNの一方の外面（すなわちアレイ基板ARの液晶層LQと接する面とは反対の外面）に設けられた光学素子OD1を備え、また、液晶表示パネルLPNの他方の外面（すなわち対向基板CTの液晶層LQと接する面とは反対の外面）に設けられた光学素子OD2を備えている。これらの光学素子OD1及びOD2は、それぞれ偏光板を含み、例えば、液晶層LQに電圧が印加されていない状態において液晶表示パネルLPNの透過率が最低となる（つまり黒を表示する）ノーマリーブラックモードを実現している。

10

#### 【0021】

このような構成により、液晶表示パネルLPNに対してアレイ基板AR側に配置されたバックライトユニットからのバックライト光を液晶表示パネルLPNで選択的に透過し、画像を表示する。

#### 【0022】

特に、この実施の形態においては、画素電極EPに形成されたスリットSLは、概ね行方向Hに沿って延在しており、しかも、行方向Hに対して鋭角に交差するように形成されている。また、複数のスリットSLは、列方向Vに互いに隙間を置いて並んでいる。また、この実施の形態では、色味の視野角特性改善のために、1画素内にスイッチング方向が異なる液晶分子を含むように構成されている。

20

#### 【0023】

具体的には、1つの画素電極EPは、少なくとも2方向に延在するスリットを有しており、例えば、第1方向に長軸AX1を有する複数のスリットSL1と、第1方向とは異なる第2方向に長軸AX2を有する複数のスリットSL2とを有している。長軸AX1は、行方向Hに対して7度程度の角度 $\theta_1$ をなすように傾いている。また、長軸AX2は、行方向Hに対して7度程度の角度 $\theta_2$ をなすように傾いている。つまり、これらの長軸AX1及びAX2は、行方向Hに対して略線対称となるように配置されている。複数のスリットSL1は、互いに平行に配置されている。複数のスリットSL2は、互いに平行に配置されている。なお、配向膜22及び配向膜36のラビング方向は、行方向Hと平行に設定されている。

30

#### 【0024】

このような構成において、画素電極EPと共通電極ETとの間に電界が形成されていない場合には、液晶層LQに含まれる液晶分子は、配向膜22及び配向膜36による規制力によって、ラビング方向に平行に配向されている。この状態では、バックライト光は、液晶表示パネルLPNを透過した後、光学素子OD2に含まれる偏光板に吸収される（つまり、黒表示となる）。

#### 【0025】

一方、画素電極EPと共通電極ETとの間に電位差が形成された場合、スリットSLを介して、スリットSLのエッジに対して直交する方向に電界Eが形成される。このような電界Eにより、液晶分子がスイッチングされる（つまり、液晶分子は電界Eと平行な方向に配向するように駆動される）。このとき、スリットSL1付近においては左回り（反時計回り）に液晶分子が回転し、スリットSL2付近においては右回り（時計回り）に液晶分子が回転する。この状態では、バックライト光は、液晶表示パネルLPNを透過した際に液晶分子の複屈折の影響を受けて変調され、その少なくとも一部の成分が光学素子OD2に含まれる偏光板を透過する（つまり、白表示となる）。また、画素電極EPが少なくとも2方向に延在するスリットSL1及びSL2を有していることにより、スリットSL1の形状に応じた液晶分子の面内の回転方向（左回り）と、スリットSL2の形状に応じた液晶分子の回転方向（右回り）とは、相反することになる。このため、液晶表示パネルLPNの観察方向に依存した色付きを補償することが可能となり、広い視野角範囲におい

40

50

て良好な表示品位を得ることが可能となる。

【 0 0 2 6 】

次に、上記アレイ基板の画素の構成について、製造方法と併せて説明する。

絶縁基板 2 0 上に、アンダーコート絶縁膜 1 が成膜されている。アンダーコート絶縁膜 1 上には、ポリシリコンからなる半導体層 S C が形成され、アンダーコート絶縁膜及び半導体層上に、ゲート絶縁膜 2 が成膜されている。ゲート絶縁膜 2 上に、走査線 Y、ゲート電極 W G 及び第 1 電極 3 が配設されている。ゲート電極 W G は、走査線 Y に電氣的に接続され、ゲート絶縁膜 2 を介して半導体層 S C に対向している。

【 0 0 2 7 】

ゲート絶縁膜 2、走査線 Y、ゲート電極 W G 及び第 1 電極 3 上に、層間絶縁膜 6 が形成されている。層間絶縁膜 6 は、パシベーション膜の機能を有する第 1 層間絶縁膜 4 及び第 2 層間絶縁膜 5 が積層して形成されている。第 1 層間絶縁膜 4 及び第 2 層間絶縁膜 5 は、ゲート絶縁膜 2 上に順に成膜されている。この実施の形態において、第 1 層間絶縁膜 4 は S i N <sub>x</sub> の材料で形成され、第 2 層間絶縁膜 5 は S i O <sub>x</sub> の材料で形成されている。

10

【 0 0 2 8 】

層間絶縁膜 6 上には、M A M 等の導電材料により信号線 X、ソース電極 W S、ドレイン電極 W D 及び第 2 電極 7 が形成されている。ここで、M A M は M o (モリブデン) / A l · N d (アルミニウム - ネोजウム系合金) / M o (モリブデン) の略称で 3 層構造の金属膜である。

【 0 0 2 9 】

ソース電極 W S は、信号線 X に電氣的に接続され、ゲート絶縁膜 2 及び層間絶縁膜 6 に形成されたコンタクトホールを介して半導体層 S C のソース領域 R S に電氣的に接続されている。ドレイン電極 W D は、ゲート絶縁膜 2 及び層間絶縁膜 6 に形成されたコンタクトホールを介して半導体層 S C のドレイン領域 R D に電氣的に接続されている。

20

【 0 0 3 0 】

第 2 電極 7 は、ゲート絶縁膜 2 及び層間絶縁膜 6 に形成されたコンタクトホールを介して第 1 電極 3 に電氣的に接続されている。なお、第 1 電極 3 及び第 2 電極 7 は、上記コモン配線 C O M を形成している。

【 0 0 3 1 】

層間絶縁膜 6、スイッチング素子 W、信号線 X 及び第 2 電極 7 上には、第 1 絶縁層 1 1 が形成されている。第 1 絶縁層 1 1 は、ドレイン電極 W D に重なったコンタクトホール 1 1 h 及び第 2 電極 7 に重なったコンタクトホールを有している。

30

【 0 0 3 2 】

第 1 絶縁層 1 1 上には、I T O (インジウム・ティン・オキサイド) 等の透明な導電材料により共通電極 E T 及び接続部 1 3 が形成されている。共通電極 E T はマトリクス状に設けられている。共通電極 E T は、コンタクトホールを介して第 2 電極 7 に電氣的に接続されている。接続部 1 3 は、コンタクトホール 1 1 h に共通電極 E T と同一の材料で形成され、ドレイン電極 W D に電氣的に接続されている。ここでは、接続部 1 3 は、コンタクトホール 1 1 h 全体に重なって形成されている。すなわち、ドレイン電極 W D のコンタクトホール 1 1 h によって露出した部分は、接続部 1 3 で覆われている。

40

【 0 0 3 3 】

第 1 絶縁層 1 1、共通電極 E T 及び接続部 1 3 上には、第 2 絶縁層 1 4 が形成されている。第 2 絶縁層 1 4 は、接続部 1 3 に重なった他のコンタクトホール 1 4 h を有している。

【 0 0 3 4 】

第 2 絶縁層 1 4 上には、I T O 等の透明な導電材料により画素電極 E P が形成されている。画素電極 E P は、マトリクス状に設けられている。画素電極 E P は、共通電極 E T と対向し、コンタクトホール 1 4 h を介して接続部 1 3 に電氣的に接続されている。第 2 絶縁層 1 4 及び画素電極 E P 上には、配向膜 2 2 が成膜されている。

【 0 0 3 5 】

50

続いて、上記アレイ基板の画素PXの製造方法について説明する。

まず、絶縁基板20を用意する。用意した絶縁基板20上には、CVD (Chemical Vapor Deposition) 法により、アンダーコート絶縁膜1及びアモルファスシリコンからなる膜厚30乃至100nmの半導体膜を順に成膜する。成膜された半導体膜は、エキシマレーザアニール(ELA)により瞬時加熱が行われ、多結晶化され、さらに、PEP (Photo Engraving Process) によりパターンニングされる。これによりポリシリコンからなる半導体層SCが形成される。

【0036】

続いて、アンダーコート絶縁膜1及び半導体層SC上に、TEOS (Tetra Ethyl Ortho Silicate) を原料としたプラズマCVD法によりSiO<sub>x</sub>からなる膜厚100nm程度のゲート絶縁膜2が成膜される。

10

【0037】

ゲート絶縁膜2を成膜した後、ゲート絶縁膜上にMoWからなる導電膜を成膜し、さらにPEPによりパターンニングして、MoWからなるゲート電極WG、走査線Y及び第1電極3を形成する。次いで、ゲート電極WGをマスクとしたイオンドーピング法により半導体層SCに不純物を注入し、半導体層SCにソース領域RS及びドレイン領域RDを形成する。なお、不純物を注入する際、ボロンを例えば、 $10^{15}$ 乃至 $10^{16}/\text{cm}^2$ 程度注入する。

【0038】

続いて、ゲート絶縁膜2、ゲート電極WG、走査線Y及び第1電極3上に、プラズマCVD法により、SiN<sub>x</sub>からなる第1層間絶縁膜4を成膜する。その後、第1層間絶縁膜4上に、プラズマCVD法によりSiO<sub>x</sub>からなる第2層間絶縁膜5を成膜する。これにより、層間絶縁膜6が成膜される。

20

【0039】

次いで、成膜およびPEPを繰り返す等、通常の製造工程によりゲート絶縁膜2及び層間絶縁膜6の複数箇所をエッチングし、半導体層SCのソース領域RS及びドレイン領域RD並びに第1電極3上にそれぞれコンタクトホールを形成する。コンタクトホールを形成した後、MAMからなる信号線X、ソース電極WS、ドレイン電極WD及び第2電極7を形成する。

【0040】

30

続いて、層間絶縁膜6、スイッチング素子W、信号線X及び第2電極7上に、コンタクトホールを有した第1絶縁層11を形成する。

【0041】

その後、コンタクトホールを含み第1絶縁層11上に、例えばITOをスパッタリング法により堆積する。次いで、所定のマスクを用い、堆積されたITO膜をPEPによりパターン化する。これにより、第1絶縁層11上に、共通電極ET及び接続部13が同一材料で同時に形成される。そして、接続部13は、コンタクトホール11hを介してドレイン電極WDに電氣的に接続される。

【0042】

続いて、第1絶縁層11、共通電極ET及び接続部13上に、コンタクトホール14hを有した第2絶縁層14を形成する。次いで、第2絶縁層14上に、例えばITOをスパッタリング法により堆積する。次いで、所定のマスクを用い、堆積されたITO膜をPEPによりパターン化する。これにより、第2絶縁層14上に、画素電極EPが形成される。画素電極EPは、コンタクトホール14hを介して接続部13に接続される。

40

【0043】

その後、第2絶縁層14及び画素電極EP上に、配向膜22を形成する。これにより、アレイ基板ARの画素PXが完成する。

【0044】

以上のように構成された液晶表示装置によれば、画素電極EPをドレイン電極WDに電氣的に接続させる際、接続部13を介して接続している。より詳しくは、コンタクトホー

50

ル 1 1 h に接続部 1 3 を形成した後、コンタクトホール 1 4 h を形成し、コンタクトホール 1 4 h を介して画素電極 E P をドレイン電極 W D に電氣的に接続させている。

【 0 0 4 5 】

上記コンタクトホール 1 1 h 及びコンタクトホール 1 4 h の内部への第 2 絶縁層 1 4 の残渣の入り込み（ドレイン電極 W D 上への上記残渣の付着）を防止することができるため、画素電極 E P とドレイン電極 W D との接続不良を防止することができる。

【 0 0 4 6 】

また、接続部 1 3 がコンタクトホール 1 1 h のドレイン電極 W D の露出部分に重ねられていることにより、コンタクトホール 1 4 h を形成するエッチングの際に、接続部 1 3 の金属によってドレイン電極 W D の表面を保護することができる。これにより画素電極 E P とドレイン電極 W D の接続不良を防止することができる。

【 0 0 4 7 】

更に、接続部 1 3 を形成する際、共通電極 E T と同一の材料で同時に形成することができる。このため、製造工程及び製造コストの増大を防止することができる。

上記したことから、表示品位に優れ、製品歩留まりの高い液晶表示パネル及び液晶表示パネルを備えた液晶表示装置を得ることができる。

【 0 0 4 8 】

なお、この発明は上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化可能である。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

【 0 0 4 9 】

例えば、図 5 に示すように、接続部 1 3 はコンタクトホール 1 1 h 全体に重なって形成されていなくとも良い。接続部 1 3 は、コンタクトホール 1 1 h 内部に位置し、ドレイン電極 W D 上に形成されていれば上述した効果を得ることができる。

【 0 0 5 0 】

液晶表示パネルが C O A (color filter on array) 構造を採用する場合、第 1 絶縁層 1 1 をカラーフィルタ層で形成すれば良い。スイッチング素子 W は、W ゲート構造を採用していても良い。

この発明は、液晶表示パネル及び液晶表示パネルを備えた液晶表示装置に限定されるものではなく、第 1 導電部（ドレイン電極 W D）と、第 1 絶縁層 1 1 と、接続部 1 3 と、第 2 絶縁層 1 4 と、第 2 導電部（画素電極 E P）とを備えた多層配線基板であれば適用することができる。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[ 1 ] 第 1 基板と、

第 2 基板と、

前記第 1 基板及び第 2 基板間に保持された液晶層と、を備え、

前記第 1 基板は、

各画素の行方向に延在した走査線と、

各画素の列方向に延在した信号線と、

画素毎に配置されたスイッチング素子と、

前記走査線、信号線及びスイッチング素子上に形成され、前記スイッチング素子に重なったコンタクトホールを有した第 1 絶縁層と、

前記第 1 絶縁層上に形成された共通電極と、

前記コンタクトホールに形成され、前記スイッチング素子に電氣的に接続された接続部と、

前記第 1 絶縁層、共通電極及び接続部上に形成され、前記接続部に重なった他のコンタクトホールを有した第 2 絶縁層と、

前記第 2 絶縁層上に形成され、前記共通電極と対向し、前記他のコンタクトホールを介して前記接続部に電氣的に接続された画素電極と、を備えている液晶表示パネル。

[ 2 ] 前記接続部は、前記共通電極と同一の材料で形成されている [ 1 ] に記載の液晶表示パネル。

【図面の簡単な説明】

【 0 0 5 1 】

【図 1】この発明の実施の形態に係る液晶表示パネルを備えた液晶表示装置の構成を概略的に示す図。

【図 2】上記液晶表示パネルの 1 画素を概略的に示す平面図であり、特に、画素電極及び共通電極の構造を概略的に示す図。

【図 3】上記液晶表示パネルの断面構造を概略的に示す図。

【図 4】上記液晶表示パネルのアレイ基板の断面構造を概略的に示す図。

【図 5】上記アレイ基板の変形例を示す図であり、特に、アレイ基板の接続部の変形例を示す図。

【符号の説明】

【 0 0 5 2 】

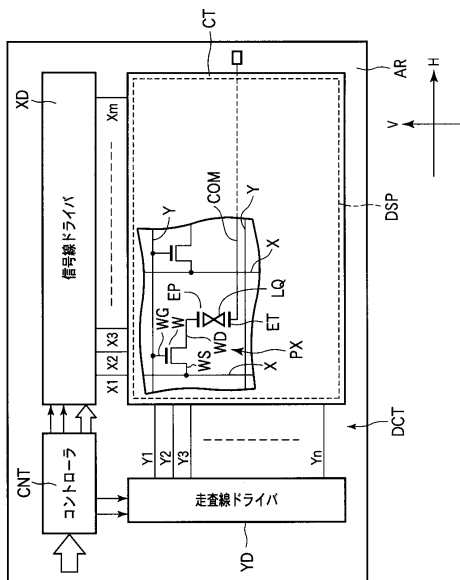
1 ... アンダーコート絶縁膜、 2 ... ゲート絶縁膜、 4 ... 第 1 層間絶縁膜、 5 ... 第 2 層間絶縁膜、 6 ... 層間絶縁膜、 1 1 ... 第 1 絶縁層、 1 1 h ... コンタクトホール、 1 3 ... 接続部、 1 4 ... 第 2 絶縁層、 1 4 h ... コンタクトホール、 2 0 ... 絶縁基板、 2 2 ... 配向膜、 3 0 ... 絶縁基板、 3 2 ... ブラックマトリクス、 3 4 ... カラーフィルタ層、 3 6 ... 配向膜、 L P N ... 液晶表示パネル、 A R ... アレイ基板、 C T ... 対向基板、 L Q ... 液晶層、 Y ... 走査線、 X ... 信号線、 W ... スwitching 素子、 S C ... 半導体層、 R S ... ソース領域、 R D ... ドレイン領域、 W G ... ゲート電極、 W S ... ソース電極、 W D ... ドレイン電極、 E T ... 共通電極、 E P ... 画素電極。

10

20

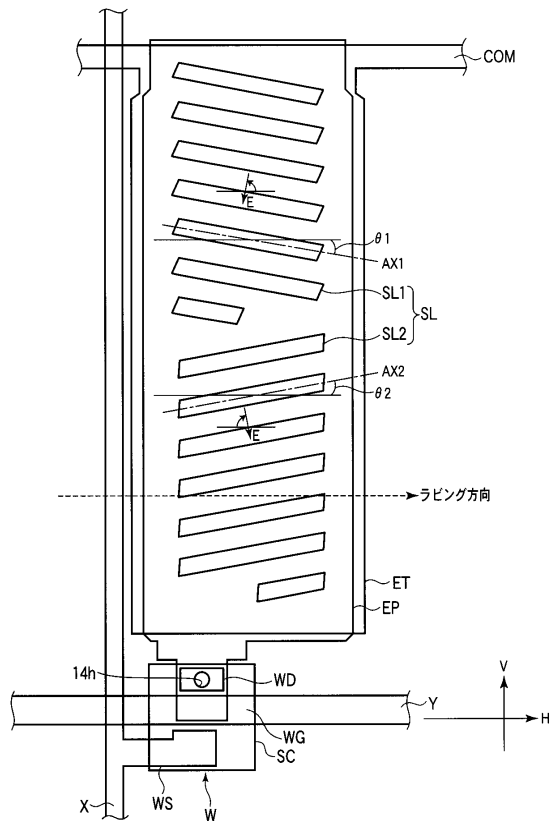
【図 1】

図 1



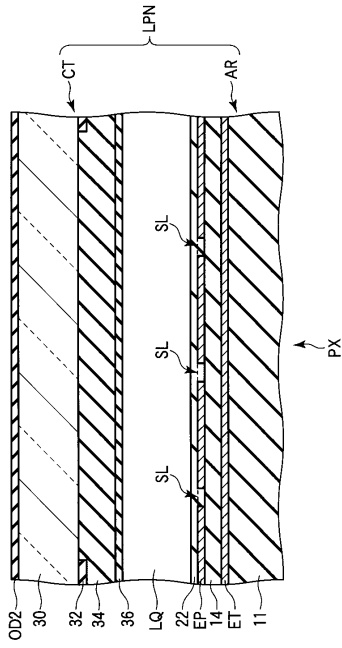
【図 2】

図 2



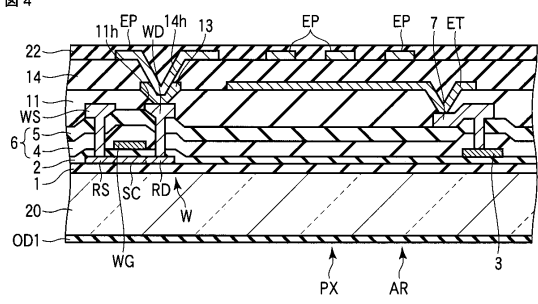
【 図 3 】

図 3



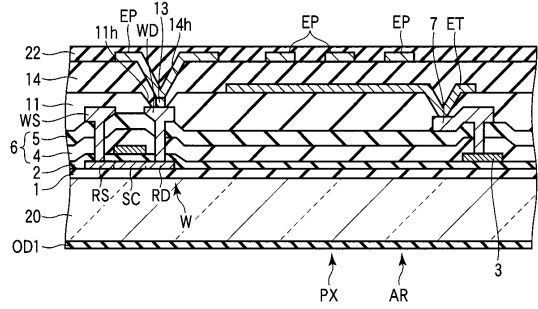
【 図 4 】

図 4



【 図 5 】

図 5



## フロントページの続き

- (74)代理人 100095441  
弁理士 白根 俊郎
- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100100952  
弁理士 風間 鉄也
- (74)代理人 100101812  
弁理士 勝村 紘
- (74)代理人 100070437  
弁理士 河井 将次
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (74)代理人 100127144  
弁理士 市原 卓三
- (74)代理人 100141933  
弁理士 山下 元
- (72)発明者 二ノ宮 利博  
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 柿沼 宣久  
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 堤 純誠  
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 清水 督史

- (56)参考文献 特開2008-015345(JP,A)  
特開2008-102397(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G02F 1/1368  
G02F 1/1343  
H01L 21/336  
H01L 29/786

专利名称(译)	液晶显示面板		
公开(公告)号	<a href="#">JP5408914B2</a>	公开(公告)日	2014-02-05
申请号	JP2008174895	申请日	2008-07-03
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	二ノ宮利博 柿沼宣久 堤純誠		
发明人	二ノ宮 利博 柿沼 宣久 堤 純誠		
IPC分类号	G02F1/1368 G02F1/1343 H01L21/336 H01L29/786		
CPC分类号	G02F1/136227 G02F1/136259 G02F2001/134372		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.612.A		
F-TERM分类号	2H092/GA11 2H092/HA04 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB11 2H092/JB22 2H092/JB31 2H092/JB52 2H092/JB56 2H092/JB57 2H092/MA17 2H092/NA01 2H092/NA29 2H092/PA01 2H092/PA02 2H092/PA08 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BC42 2H192/CB02 2H192/CC04 2H192/CC72 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA56 2H192/FB02 2H192/GA01 2H192/HA36 2H192/JA33 5F110/AA26 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD11 5F110/EE06 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG44 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HM19 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/PP03 5F110/QQ11		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP2010014975A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种显示质量优异，产品产量高的液晶显示面板。ŽSOLUTION：液晶显示面板包括第一基板，第二基板和液晶层。第一基板包括扫描线，信号线，开关元件W，具有叠置在开关元件上的接触孔11h的第一绝缘层11，公共电极ET，形成在接触孔中的连接部分13，以及电气连接到开关元件的第二绝缘层14，具有叠加在连接部分上的另一个接触孔14h，以及通过另一个接触孔电连接到连接部分的像素电极EP。Ž

図 1

