

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5382996号
(P5382996)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.	F 1
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 338

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2007-7119 (P2007-7119)
(22) 出願日	平成19年1月16日 (2007.1.16)
(65) 公開番号	特開2007-193334 (P2007-193334A)
(43) 公開日	平成19年8月2日 (2007.8.2)
審査請求日	平成21年9月4日 (2009.9.4)
審判番号	不服2012-22417 (P2012-22417/J1)
審判請求日	平成24年11月13日 (2012.11.13)
(31) 優先権主張番号	10-2006-0004233
(32) 優先日	平成18年1月16日 (2006.1.16)
(33) 優先権主張国	韓国 (KR)

(73) 特許権者	512187343 三星ディスプレイ株式会社 Samsung Display Co., Ltd. 大韓民国京畿道龍仁市器興区三星二路95 95, Samsung 2 Ro, Gih eung-Gu, Yongin-City , Gyeonggi-Do, Korea
(74) 代理人	100121382 弁理士 山下 託嗣
(72) 発明者	金 昊 日 大韓民国仁川廣域市南洞区萬壽一洞959 -3 東仁ビル ガ棟201号

最終頁に続く

(54) 【発明の名称】 液晶パネル

(57) 【特許請求の範囲】

【請求項 1】

表示領域を構成する多数のサブ画素と、
前記多数のサブ画素それぞれと接続された多数の薄膜トランジスタと、
前記薄膜トランジスタと接続され、前記サブ画素の長辺方向に沿って形成された多数のゲートラインと、
前記薄膜トランジスタと接続され、前記サブ画素の短辺方向に沿って形成された多数のデータラインと、
前記短辺方向に沿って前記サブ画素を横断するように形成された多数のストレージラインと、

前記多数のストレージラインの一側部と共に接続された第1共通ストレージラインと、
前記多数のストレージラインの他側部と共に接続された第2共通ストレージラインと、
左側及び右側非表示領域に内蔵され前記多数のゲートラインを分割駆動するゲート駆動部と、

を備え、

前記多数のサブ画素には、赤、緑、青色のサブ画素のいずれかで構成され、
前記赤、緑、青色のサブ画素は前記データラインに沿って順番に反復的に配置され、
前記第1共通ストレージラインは、前記表示領域を取り囲む非表示領域のうち上側非表示領域においてのみ前記多数のストレージラインの上側部と接続され、

前記第2共通ストレージラインは下側非表示領域においてのみ前記多数のストレージラ

10

20

インの下側部と接続され、前記下側非表示領域から左側及び右側非表示領域に沿って前記多数のストレージラインと接続されることなく前記上側非表示領域まで延びており、

前記第2共通ストレージラインは前記ゲート駆動部の外郭側に経るように形成されることを特徴とする液晶パネル。

【請求項2】

前記第1及び第2共通ストレージラインは、前記ゲートラインと同じ第1金属層で形成され、前記ストレージラインは前記データラインと同じ第2金属層で形成されることを特徴とする請求項1に記載の液晶パネル。

【請求項3】

前記第1共通ストレージラインと前記多数のストレージラインそれぞれを接続させる多数の第1コンタクト電極と、

前記第2共通ストレージラインと前記多数のストレージラインそれぞれを接続させる多数の第2コンタクト電極をさらに備えることを特徴とする請求項2に記載の液晶パネル。

【請求項4】

前記第1及び第2コンタクト電極それぞれは、

前記共通ストレージライン及び前記ストレージラインをそれぞれ露出させるコンタクトホールを介して前記共通ストレージラインと前記ストレージラインを接続させる第3導電層で形成されることを特徴とする請求項3に記載の液晶パネル。

【請求項5】

前記第1及び第2共通ストレージラインの両端と共通接続された共通パッドをさらに備えることを特徴とする請求項4に記載の液晶パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は液晶の電気的及び光学的特性を用いて映像を表示する。液晶表示装置は画素マトリックスを通じて画像を表示する液晶表示パネル(以下、液晶パネルと称する)と、液晶パネルを駆動する駆動回路とを備える。そして、液晶表示装置は液晶パネルが非発光素子なので液晶パネルの背面から光を供給するバックライトユニットを備える。このような液晶表示装置は移動通信端末機、携帯用コンピュータ、液晶TVなどのように小型表示装置から大型表示装置まで幅広く使われる。

【0003】

赤、緑、青サブ画素より構成された画素がマトリックス状に配列された液晶パネルは各サブ画素がデータ信号に応じて液晶配列状態を可変させてバックライトユニットから照射された光の透過率を調節することにより映像を表示する。この際、サブ画素はスイッチング素子である薄膜トランジスタを通じて画素電極に供給されたデータ信号と、共通電極に供給された共通電圧と、の電圧差を充電して液晶を駆動する。このような液晶パネルには薄膜トランジスタと接続されたゲートラインを駆動する多数のゲート集積回路(以下、I Cと称する)と、データラインを駆動する多数のデータI Cと、が接続される。データI Cはディジタルビデオデータをアナログデータ信号に変換すべきなので、ゲートI Cより複雑な回路構成を有する。

【0004】

最近、液晶パネルはコストダウンのためにデータI C数を減らすことができるよう、解像度は維持しつつデータライン数を減らす方向に発展しつつある。データライン数を減らす方法としてサブ画素の配列構造を変える方策が挙げられているが、この際、輝度及び画質が減少しないように開口率の確保を必要とする。

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【0005】

そこで、本発明は従来の技術的課題を解決するために案出されたもので、その目的は開口率を十分に確保できる液晶パネル及びその製造方法を提供するところにある。

【課題を解決するための手段】**【0006】**

そのため、本発明の実施例による液晶パネルは、表示領域を構成する多数のサブ画素と、前記多数のサブ画素それぞれと接続された多数の薄膜トランジスタと、前記薄膜トランジスタと接続され前記サブ画素の長辺方向に沿って形成された多数のゲートラインと、前記薄膜トランジスタと接続され前記サブ画素の短辺方向に沿って形成された多数のデータラインと、前記短辺方向に沿って前記サブ画素を経るように形成された多数のストレージラインと、を備える。ここで、前記多数のサブ画素には、赤、緑、青色のサブ画素のいずれかで構成され、前記赤、緑、青色のサブ画素は前記データラインに沿って順番に反復的に配置される。

10

【0007】

以上のように、本発明に係る液晶パネル及びその製造方法は、R、G、Bサブ画素を垂直方向に配列してデータラインの数を減らす構造において、ストレージラインをデータラインと並んで形成して各サブ画素を短辺方向に経由させることによって、ストレージラインによる開口率減少を最小化して開口率を確保できるようになる。

【0008】

前記多数のストレージラインの一側部と共に接続された第1共通ストレージラインと、前記多数のストレージラインの他側部と共に接続された第2共通ストレージラインを備える。

20

【0009】

前記多数のサブ画素に赤、緑、青色のサブ画素を含み、前記赤、緑、青色のサブ画素は前記データラインに沿って交代に反復的に配される。

【0010】

前記第1及び第2共通ストレージラインは前記ゲートラインと同じ第1金属層で、前記ストレージラインは前記データラインと同じ第2金属層で形成される。

【0011】

そして、本発明の液晶パネルは前記第1共通ストレージラインと前記多数のストレージラインそれぞれを接続させる多数の第1コンタクト電極と、前記第2共通ストレージラインと前記多数のストレージラインそれぞれを接続させる多数の第2コンタクト電極をさらに具備する。

30

【0012】

前記第1及び第2コンタクト電極それぞれは前記共通ストレージライン及び前記ストレージラインをそれぞれ露出させるコンタクトホールを介して前記共通ストレージラインと前記ストレージラインを接続させる第3導電層で形成される。

【0013】

前記第1共通ストレージラインは前記表示領域を取り囲む非表示領域のうち上側非表示領域を経由して前記多数のストレージラインの上側部と接続され、前記第2共通ストレージラインは下側非表示領域を経て前記多数のストレージラインの下側部と接続される。第1及び第2共通ストレージラインを多数のストレージラインの上下部と同時に接続することにより、いずれか1本の共通ストレージラインが断線されても残り共通ストレージラインを介して多数のストレージラインに共通電圧を供給できるようになる。

40

【0014】

前記第2共通ストレージラインは前記下側非表示領域で左側及び右側非表示領域に沿って前記上側非表示領域まで伸びる。

【0015】

また、本発明の液晶パネルは前記第1共通ストレージラインの両端とそれぞれ接続された第1共通パッドと、前記第2共通ストレージラインの両端とそれぞれ接続された第2共

50

通パッドをさらに備える。

【0016】

一方、本発明の液晶パネルは前記第1及び第2共通ストレージラインの両端と共に接続された共通パッドをさらに備える。

【0017】

また、本発明の液晶パネルは前記左側及び右側非表示領域に内蔵され前記多数のゲートラインを分割駆動するゲート駆動部をさらに備え、前記第2共通ストレージラインは前記ゲート駆動部の外郭側に経由するように形成される。

【0018】

そして、本発明に係る液晶パネルの製造方法は、基板上にゲートライン及びデータラインと、そのゲートライン及びデータラインと接続された薄膜トランジスタを形成する段階と、前記ゲートラインとデータラインに交差構造に限定され前記ゲートラインと並んだ長辺と前記データラインと並んだ短辺を有する各サブ画素領域に前記薄膜トランジスタと接続された画素電極を形成する段階と、前記画素電極を前記サブ画素領域の短辺方向に経由するストレージラインを形成する段階と、前記ストレージラインの一側部と接続された第1共通ストレージラインと、前記ストレージラインの他側部と接続された第2共通ストレージラインを形成する段階を含む。10

【0019】

前記第1及び第2共通ストレージラインは、前記ゲートラインと同じ第1金属層で、前記ストレージラインは前記ストレージラインは前記データラインと同じ第2金属層で形成される。20

【0020】

また、本発明の液晶パネル製造方法は、前記第1共通ストレージラインと前記ストレージラインを接続させる第1コンタクト電極と、前記第2共通ストレージラインと前記ストレージラインを接続させる第2コンタクト電極を形成する段階をさらに含む。

【0021】

前記第1及び第2コンタクト電極それぞれを形成する段階は、前記共通ストレージライン及び前記ストレージラインをそれぞれ露出させるコンタクトホールを形成する段階と、前記コンタクトホールを介して前記共通ストレージラインと前記ストレージラインを接続させる第3導電層で前記第1及び第2コンタクト電極を形成する段階を含む。30

【0022】

また、本発明の液晶パネル製造方法は、前記第1共通ストレージラインの両端とそれぞれ接続された第1共通パッドと、前記第2共通ストレージラインの両端とそれぞれ接続された第2共通パッドを形成する段階をさらに含む。

【0023】

一方、本発明の液晶パネル製造方法は、前記第1及び第2共通ストレージラインの両端と共に接続された共通パッドを形成する段階をさらに含む。

【発明の効果】

【0024】

本発明によれば、開口率を十分に確保できる液晶パネル及びその製造方法を提供することができる。40

【発明を実施するための最良の形態】

【0025】

以下、添付した図1ないし図5に基づき本発明の望ましい実施形態を詳述する。

【0026】

図1は本発明の実施形態による液晶表示装置の一部を概略的に示した平面図である。

【0027】

図1に示された液晶表示装置は画像表示部16と、画像表示部16のゲートラインを駆動するゲート駆動部12、14が形成された液晶パネル10と、画像表示部16のデータラインを駆動するデータI C 8が実装され印刷回路基板(以下、PCB:Printed Circuit

Board) 2 と液晶パネル 10 との間に接続された回路フィルム 6 と、P C B 2 に実装されたタイミングコントローラ 4 とを備える。

【 0 0 2 8 】

液晶パネル 10 の画像表示部 16 は赤(R)、緑(G)、青(B)サブ画素で構成された多数の画素がマトリックス状に配列され画像を表示する。画像表示部 16 は R、G、B サブ画素別に薄膜トランジスタが形成された薄膜トランジスタ基板と、カラーフィルタの形成されたカラーフィルタ基板と、が液晶を挟んで合わせられて形成される。薄膜トランジスタ基板には薄膜トランジスタと接続されたゲートライン及びデータラインと画素電極とがさらに形成される。画素電極と共に液晶を駆動する共通電極は、薄膜トランジスタ基板またはカラーフィルタ基板に形成される。R、G、B サブ画素は垂直方向(図 1 中、第 1 方向)に交代に反復的に配列され、同色のサブ画素は水平方向(図 1 中、第 2 方向)のストライプ状に、つまり同一の行に位置するように配列される。言い換えれば、画像表示部 16 は、多数の R サブ画素で構成された R 水平ライン、多数の G サブ画素で構成された G 水平ライン、多数の B サブ画素で構成された B 水平ラインが垂直方向に交代に反復的に配列された構造を有する。そして、R、G、B サブ画素は長辺が水平方向に、短辺が垂直方向に形成された直四角形を有する。

【 0 0 2 9 】

このように本発明の画像表示部 16 では、水平方向に長く形成された R、G、B サブ画素が垂直方向に反復的に配列されるため、垂直方向に長く形成された R、G、B サブ画素が水平方向に反復的に配列されていた従来の液晶パネルよりも、データライン数が 1/3 に減り、その結果データラインを駆動するデータ I C 8 の数も減る。つまり、従来の液晶パネルの場合、垂直方向に長い、例えば 3 つのサブ画素が水平方向に沿って配置されるため、各サブ画素の画素電極 46 にデータ電圧を供給するためには、3 本のデータラインが必要である。一方、本発明によれば、サブ画素が 3 つの場合、水平方向に長いサブ画素が垂直方向に沿って配置されるため、データラインを垂直方向に配置させることで、各サブ画素の画素電極 46 に共通にデータ電圧を供給することができる。よって、本発明のようにサブ画素を配置することで、従来よりもデータライン数を 1/3 に減らすことができる。

【 0 0 3 0 】

R、G、B サブ画素の垂直方向配列にデータラインが減少するほどゲートラインが増加してゲート駆動部 12、14 のサイズが増加するが、ゲート駆動部 12、14 の回路構成がデータ I C 8 より簡単なので製造コストを節減することができる。特に、非晶質シリコン(Amorphous Silicon)薄膜を用いた液晶パネル 10 にゲート駆動部 12、14 が内蔵されるので、製造コストは一層節減することができる。

【 0 0 3 1 】

第 1 及び第 2 ゲート駆動部 12、14 は画像表示部 16 の両側部に位置してゲートラインを分割駆動する。例えば、第 1 ゲート駆動部 12 は奇数ゲートラインを、第 2 ゲート駆動部 14 は偶数ゲートラインを駆動する。第 1 及び第 2 ゲート駆動部 12、14 は多数の薄膜トランジスタを含むシフトレジストで構成されるため、液晶パネル 10 の薄膜トランジスタ基板に画像表示部 16 の薄膜トランジスタ及び多数の信号ラインと共に形成され、非表示領域に内蔵される。

【 0 0 3 2 】

画像表示部 16 のデータラインを分割駆動する多数のデータ I C 8 それぞれは回路フィルム 6 上に実装され、回路フィルム 6 は A C F (Anisotropic Conductive Film) を通じて液晶パネル 10 及び P C B 2 に取り付けられる。データ I C 8 を実装した回路フィルム 6 としては T C P (Tape Carrier Package) または C O F (Chip On Film) が用いられる。これとは違って、データ I C 8 は回路フィルム 6 を使用せず、液晶パネル 10 の薄膜トランジスタ基板上に C O G (Chip On Glass) 方式で直接に実装される場合もある。

【 0 0 3 3 】

P C B 2 に実装されたタイミングコントローラ 4 はデータ I C 8 と第 1 及び第 2 ゲート駆動部 12、14 を制御する。タイミングコントローラ 4 からのデータ信号と多数のデー

10

20

30

40

50

タ制御信号は P C B 2 と回路フィルム 6 を経て各データ I C 8 に供給され、多数のゲート制御信号は P C B 2 と回路フィルム 6 及び液晶パネル 1 0 の薄膜トランジスタ基板を経て第 1 及び第 2 ゲート駆動部 1 2 、 1 4 に供給される。

【 0 0 3 4 】

第 1 及び第 2 ゲート駆動部 1 2 、 1 4 はタイミングコントローラ 4 からのゲート制御信号と電源部(図示せず)からのゲートオン電圧及びゲートオフ電圧を用いて画像表示部 1 6 のゲートラインを順次駆動する。データ I C 8 はタイミングコントローラ 4 からのディジタルデータをガンマ電圧部(図示せず)からのガンマ電圧を用いてアナログデータ信号に変換し、画像表示部 1 6 のゲートラインが駆動される各水平期間に同期してデータラインにアナログデータ信号を供給する。

10

【 0 0 3 5 】

図 2 は図 1 に示された液晶パネルの薄膜トランジスタ基板を概略的に示した平面図である。

【 0 0 3 6 】

図 2 に示された薄膜トランジスタ基板 1 1 は図 1 に示された液晶パネル 1 0 の画像表示部 1 6 と対応する表示領域と、該表示領域を取り囲む非表示領域とに区分できる。薄膜トランジスタ基板 1 1 の表示領域にはゲートライン(G L 1 ないし G L m)とデータライン D L 1 ないし D L n + 1 が交差するような構造で形成され、その交差構造に限定された各サブ画素領域には後述の画素電極 4 6 と薄膜トランジスタ(T F T)が形成される。薄膜トランジスタ(T F T)はゲートライン(G L)からのゲート信号に応答してデータライン(D L)からのデータ信号を画素電極 4 6 に供給する。図 1 に示すように水平方向(第 2 方向)に長く形成された R 、 G 、 B サブ画素が垂直方向(第 1 方向)に反復的に配列されることによって、画素電極 4 6 は水平方向(第 2 方向)に長く、すなわち長辺が水平方向(第 2 方向)に位置し短辺が垂直方向(第 1 方向)に位置するように形成される。このような画素電極 4 6 はカラーフィルタ基板のカラーフィルタと共にサブ画素のサイズ及び形状を決める。

20

【 0 0 3 7 】

液晶劣化を防止するためにデータライン(D L 1 ないし D L n + 1)に供給されるデータ信号の極性は一定周期に反転されるべきである。反転方法のうちドット反転方法は各サブ画素が水平及び垂直方向に隣接したサブ画素と反対の極性に駆動する方法であって最も優れた画質を提供する。しかし、ドット反転方法のためにはデータライン(D L 1 ないし D L n + 1)に供給されるデータ信号がサブ画素単位で反転されるべきなので、データ信号のスイング幅及び駆動周波数が増加して消費電力面において不利な短所がある。この点を解決するため、データライン(D L 1 ないし D L n + 1)と接続された薄膜トランジスタ(T F T)の接続方向を垂直方向に沿いつつ、各画素領域毎に交互に変える。例えば、奇数ゲートライン(G L 1 、 G L 3 、 ... 、 G L n)と接続された奇数水平ラインの薄膜トランジスタ(T F T)は、図 2 中、データライン(D L 1 ないし D L n)の右側に位置した各画素領域の画素電極 4 6 と接続される。偶数ゲートライン(G L 2 、 G L 4 、 ... 、 G L n)と接続された偶数水平ラインの薄膜トランジスタ(T F T)はデータライン(D L 2 ないし D L n + 1)の左側に位置した各画素領域の画素電極 4 6 と接続される。これにより、データライン(D L 1 ないし D L n + 1)それぞれに供給されるデータ信号の極性が、隣接したデータライン(D L)のデータ信号と反対になり、フレーム単位でだけ反転されても画素電極 4 6 は水平及び垂直方向に隣接した画素電極 4 6 と反対極性のデータ信号を充電してドット反転方式で駆動されうるようになる。

30

【 0 0 3 8 】

そして、薄膜トランジスタ基板 1 1 の表示領域には各サブ画素のストレージキャパシタ形成のためのストレージライン(S L 1 1 ないし S L n)それぞれがデータライン(D L 1 ないし D L n + 1)と並んで形成される。また、ストレージライン(S L 1 ないし S L n)はゲートライン(G L 1 ないし G L m)と交差しつつ画素電極 4 6 を垂直(短辺)方向(第 1 方向)に経由するようになる。これにより、ストレージライン(S L 1 ないし S L n)がゲ

40

50

ートライン(GL_1 ないし GL_m)と並んで形成され画素電極46の水平(長辺)方向に重畠された場合より画素電極46との重畠面積が狭いので開口率を向上させることができる。つまり、画素電極46は、長辺が水平方向(第2方向)に位置し短辺が垂直方向(第1方向)に位置するように形成される。そのため、ストレージライン(SL_1 ないし SL_n)が垂直方向に沿って形成される方が、ストレージラインと画素電極46との重畠面積を小さくすることができる。

【0039】

ストレージライン(SL_1 ないし SL_n)はデータライン(DL_1 ないし DL_{n+1})と同じマスク工程を通じてソース/ドレイン金属で形成される。言い換えれば、ストレージライン(SL)は図3に示したようにゲート絶縁膜42上にソース/ドレイン金属で形成され、ゲート絶縁膜42は絶縁基板40上に形成される。これにより、各サブ画素のストレージキャパシタ(C_{st})は画素電極46が保護膜44を挟んでストレージライン(SL)と重畠して形成される。

【0040】

図2に示すように、薄膜トランジスタ基板11の非表示領域のうち表示領域を挟んだ左側及び右側非表示領域にはゲートライン(GL_1 ないし GL_n)を分割駆動する第1及び第2ゲート駆動部12、14がそれぞれ形成される。例えば、左側非表示領域に位置する第1ゲート駆動部12は奇数ゲートライン(GL_1 、 GL_3 、…、 GL_{m-1})を駆動し、右側非表示領域に位置する第2ゲート駆動部14は偶数ゲートライン(GL_2 、 GL_4 、…、 GL_m)を駆動する。このような第1及び第2ゲート駆動部12、14は多数の薄膜トランジスタで構成され、表示領域の薄膜トランジスタ(TFT)と共に形成される。

【0041】

また、薄膜トランジスタ基板11の画像表示部16を取り囲む非表示領域にはストレージライン(SL_1 ないし SL_n)と共に接続された第1及び第2共通ストレージライン22、24と、第1及び第2共通ストレージライン22、24とストレージライン(SL_1 ないし SL_n)それぞれを接続させる多数の第1及び第2コンタクト電極30、32が形成される。第1及び第2共通ストレージライン22、24はストレージライン(SL_1 ないし SL_n)の上端部及び下端部に同時に接続される。これにより、第1及び第2共通ストレージライン22、24のうちいずれか1つの共通ストレージラインが断線されると残り共通ストレージラインを介して共通電圧が供給できるので、第1及び第2共通ストレージライン22、24は互いのリダンダンシー(Redundancy)の役割を果たす。

【0042】

具体的に第1共通ストレージライン22は薄膜トランジスタ基板11の上側非表示領域に形成されストレージライン(SL_1 ないし SL_n)の上側部と第1コンタクト電極30を通じて共通接続される。また、第1共通ストレージライン22は上側非表示領域の両側に延びて二つの第1共通パッド21のそれぞれを通じて図1に示された一番目及び最後の回路フィルム6の出力パッドとそれぞれ接続される。これにより、第1共通ストレージライン22は図1に示したPCB2上に実装された電源部(図示せず)からの共通電圧をPCB2と回路フィルム6を経て供給されストレージライン(SL_1 ないし SL_n)に共通に供給するようになる。

【0043】

第2共通ストレージライン24は薄膜トランジスタ基板11の非表示領域のうち下側非表示領域に形成され、ストレージライン(SL_1 ないし SL_n)の下側部と第2コンタクト電極32を通じて共通接続される。また、第2共通ストレージライン24は下側非表示領域の両側に延びて屈曲され、左側及び右側非表示領域それぞれに沿って上側にさらに伸びて2つの第2共通パッド23のそれぞれを通じて図1に示された一番目及び最後の回路フィルム6の出力パッドとそれぞれ接続される。この際、第2共通ストレージライン24は左側及び右側非表示領域において第1及び第2ゲート駆動部12、14の外郭に経由しつつ上側に延びる。従って、第2共通ストレージライン24は、図1に示されたPCB2上に実装された電源部(図示せず)からの共通電圧をPCB2と回路フィルム6を経て供給され

10

20

30

40

50

ストレージライン(S_L 1 ないし S_L n)に共通に供給する。

【 0 0 4 4 】

第1及び第2共通ストレージライン22、24は表示領域のゲートライン(G_L)と共に同一なマスク工程によりゲート金属で形成され、第1及び第2コンタクト電極30、32は表示領域の画素電極46と共に同一なマスク工程により透明導電層で形成される。

【 0 0 4 5 】

例えば、第1コンタクト電極30は、図4に示したように、第1及び第2コンタクトホール34、36を介して第1共通ストレージライン22及びストレージライン(S_L)と接続される。第1共通ストレージライン22は絶縁基板40上にゲート金属で形成され、その上にはゲート絶縁膜42が形成される。ストレージライン(S_L)はゲート絶縁膜42上にソース/ドレイン金属で形成され、その上には保護膜44が形成される。第1コンタクトホール34は保護膜44及びゲート絶縁膜42を貫通して第1共通ストレージライン22の一部分を露出させ、第2コンタクトホール36は保護膜44を貫通してストレージライン(S_L)の一部分を露出させる。保護膜44上に形成された第1コンタクト電極30は第1及び第2コンタクトホール34、36を経て第1共通ストレージライン22とストレージライン(S_L)を接続させる。第2コンタクト電極32も図4に示された第1コンタクト電極30と同一な構造により第2共通ストレージライン24とストレージライン(S_L)を接続させる。

【 0 0 4 6 】

そして、第1共通ストレージライン22と接続された第1共通パッド21と第2共通ストレージライン24と接続された第2共通パッド23は、図2に示したように互いに分離され、図1に示された回路フィルム6に設けられたそれぞれの出力パッドと接続される。

【 0 0 4 7 】

一方、第1及び第2共通ストレージライン22、24は図5に示したように1つの共通パッド20を介して図1に示された回路フィルム6に設けられた出力パッドと接続される場合もある。共通パッド20を介して1つの回路フィルム6に接続しつつ分離された第1及び第2共通ストレージライン22、24の間には多数のゲート駆動信号入力パッド(図示せず)が位置するようになる。多数のゲート駆動信号入力パッドはゲート駆動部12、14と接続された多数のゲート駆動信号供給ラインと接続され、図1に示されたP C B 2上の電源部及びタイミングコントローラ4から回路フィルム6を経て供給された多数のゲート駆動信号をゲート駆動部12、14に供給するようになる。

【 0 0 4 8 】

このように本発明に係る液晶パネルは、水平方向(第2方向)に長く形成されたR、G、Bサブ画素を垂直方向(第1方向)に配列してデータラインの数を減らす。この際、R、G、Bサブ画素の長辺はゲートラインと平行に、短辺はデータラインと平行に形成し、ストレージラインをデータラインと平行に、すなわち短辺方向に各サブ画素を縦断するように形成することによって、ストレージラインによる開口率減少を最小化して開口率を確保できるようになる。

【 0 0 4 9 】

以上説明した内容を通じて当業者なら本発明の技術思想を逸脱しない範囲内で多様な変更及び修正が可能であることが分かる。従って、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限られず、特許請求の範囲により定まるべきである。

【 図面の簡単な説明 】

【 0 0 5 0 】

【 図1 】本発明の実施形態による液晶パネルの一部を示した図。

【 図2 】本発明の一実施形態による液晶パネルの薄膜トランジスタ基板を示した図。

【 図3 】図2に示したストレージラインの連結部をIII-III'線に沿って切断して示した断面図

【 図4 】図2に示した1つのサブ画素領域に形成されたストレージキャパシタを示した断面図

10

20

30

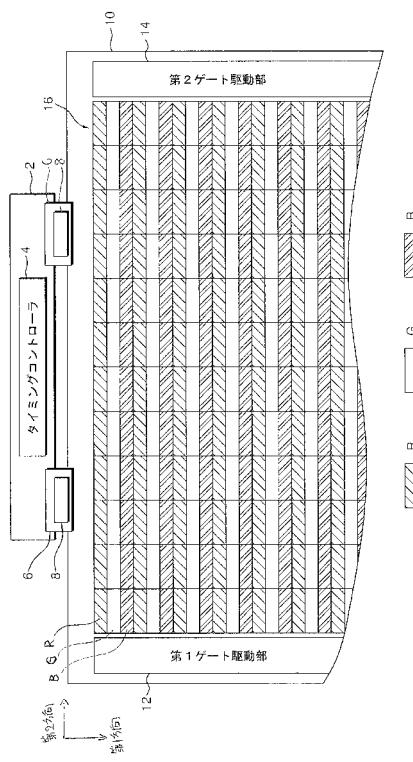
40

50

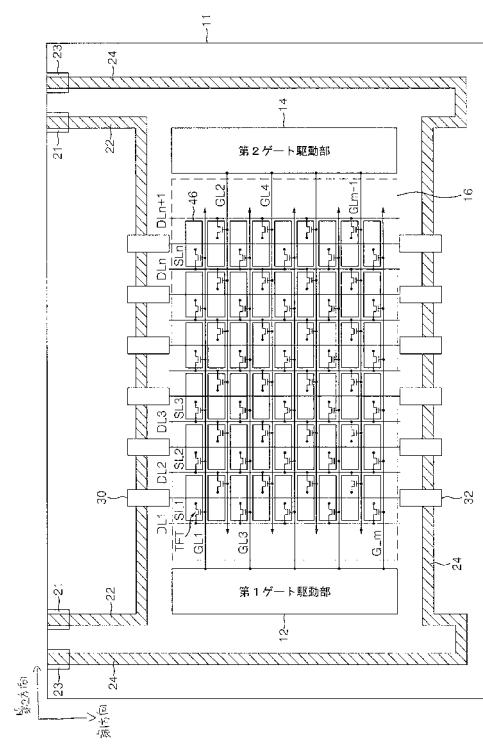
面図。

【図5】本発明の他の実施形態による液晶パネルの薄膜トランジスタ基板を示した図。

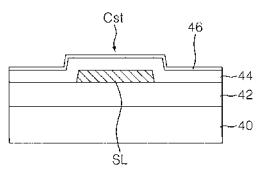
【 図 1 】



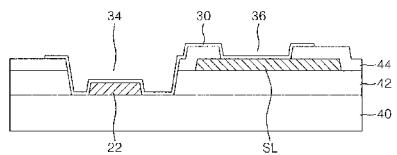
【 図 2 】



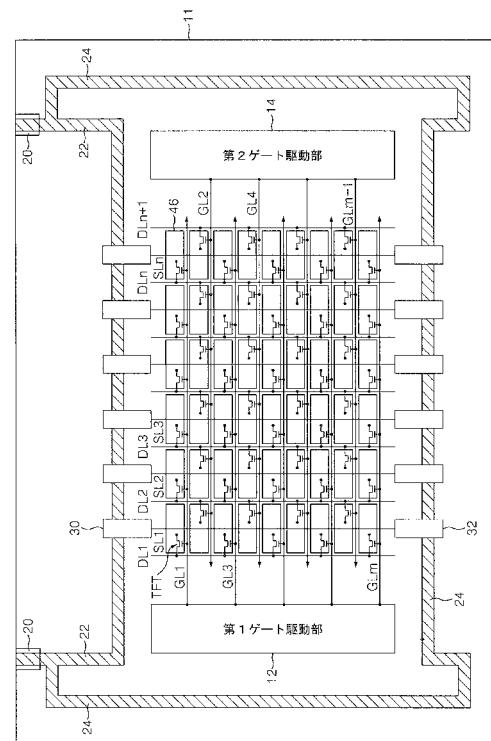
【 図 3 】



【図4】



【 図 5 】



フロントページの続き

(72)発明者 金 東 奎

大韓民国京畿道龍仁市豊徳川二洞三星五次アパート523棟1305号

(72)発明者 権 英 根

大韓民国京畿道水原市靈通区網捕洞エルジーエックスアイ三次301棟1203号

合議体

審判長 吉野 公夫

審判官 藤本 義仁

審判官 黒瀬 雅一

(56)参考文献 特開平11-045072(JP, A)

特開平11-064884(JP, A)

特開2004-093734(JP, A)

特開平08-043859(JP, A)

特開2000-323698(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/13

专利名称(译)	液晶面板		
公开(公告)号	JP5382996B2	公开(公告)日	2014-01-08
申请号	JP2007007119	申请日	2007-01-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金晶日 金東奎 權英根		
发明人	金晶日 金東奎 權英根		
IPC分类号	G02F1/1368 G09F9/30		
CPC分类号	G02F1/134336 G02F1/13454 G02F1/136213 G02F1/136286		
FI分类号	G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/GA11 2H092/GA50 2H092/GA60 2H092/JA24 2H092/JA34 2H092/JB22 2H092/JB31 2H092/NA07 2H092/PA01 2H092/PA06 2H192/AA24 2H192/BC01 2H192/CC62 2H192/DA15 2H192/EA43 2H192/FA35 2H192/FA44 2H192/FA46 2H192/FB03 2H192/FB46 2H192/FB52 2H192/GA41 2H192/GD61 5C094/AA02 5C094/AA10 5C094/AA44 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DB04 5C094/EA10		
代理人(译)	山下大沽嗣		
助理审查员(译)	藤本义仁		
优先权	1020060004233 2006-01-16 KR		
其他公开文献	JP2007193334A JP2007193334A5		
外部链接	Espacenet		

摘要(译)

亲切代码：提供一种液晶面板及其制造方法能够充分地确保开口率的同时，通过改变子像素排列结构减少数据线的数量。一本发明是多个构成显示区域的子像素，其中，沿着所述子像素的纵向方向形成的多个薄膜晶体管的多个连接到每个连接到所述薄膜晶体管的多个栅子像素的一条线，多个沿子像素的短边方向被连接到所述薄膜晶体管形成的数据线，和多个形成通过子像素沿着短边方向存储线传包括所述多条存储线第一公共存储线，它同时连接到另一侧，并且所述多条存储线的公共连接的第二公共存储线的一侧。点域1

