

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5289757号
(P5289757)

(45) 発行日 平成25年9月11日 (2013.9.11)

(24) 登録日 平成25年6月14日 (2013.6.14)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623Q

G09G 3/20 641Q

G09G 3/20 631V

G09G 3/20 624B

請求項の数 4 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2007-322401 (P2007-322401)
 (22) 出願日 平成19年12月13日 (2007.12.13)
 (65) 公開番号 特開2009-145593 (P2009-145593A)
 (43) 公開日 平成21年7月2日 (2009.7.2)
 審査請求日 平成22年8月6日 (2010.8.6)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 梅田 謙吾
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 液晶表示装置、データ駆動 IC、及び液晶表示パネル駆動方法

(57) 【特許請求の範囲】

【請求項 1】

液晶表示パネルと、前記液晶表示パネルを駆動するデータ駆動 ICとを具備し、前記液晶表示パネルは、ゲート線と、第 1 データ線と、第 2 データ線と、前記ゲート線と前記第 1 データ線とに接続された第 1 副画素と、前記ゲート線と前記第 2 データ線とに接続された第 2 副画素とを備える画素とを備え、前記データ駆動 IC は、外部から受け取った映像データに対して第 1 ガンマカーブによるガンマ補正を行うことによって第 1 ガンマ補正後データを生成し、且つ、前記映像データに対して第 2 ガンマカーブによるガンマ補正を行うことによって第 2 ガンマ補正後データを生成するガンマ補正回路部と、前記第 1 ガンマ補正後データに応答して前記第 1 データ線を駆動し、前記第 2 ガンマ補正後データに応答して前記第 2 データ線を駆動する駆動回路部とを備え、

10

20

前記ガンマ補正回路部は、

前記第1ガンマカーブの第1演算パラメータと前記第2ガンマカーブの第2演算パラメータとを保持するパラメータ保持部と、

前記映像データの受信に同期して動作するカウンタと、

前記カウンタから出力されるカウンタ値と前記映像データとで決定される前記パラメータ保持部のアドレスを選択するデコーダと、

前記第1ガンマ補正後データ及び前記第2ガンマ補正後データを生成するガンマ演算回路

とを備え、

前記カウンタ値が第1値の場合、前記第1演算パラメータが記憶されている前記パラメータ保持部のアドレスが選択されると共に、選択された前記第1演算パラメータを用いて前記ガンマ演算回路が近似的なガンマ補正演算を行うことによって前記第1ガンマ補正後データが生成され、

前記カウンタ値が第2値の場合、前記第2ガンマカーブの演算パラメータが記憶されている前記パラメータ保持部のアドレスが選択されると共に、選択された前記第2演算パラメータを用いて前記ガンマ演算回路が近似的なガンマ補正演算を行うことによって前記第2ガンマ補正後データが生成される

液晶表示装置。

【請求項2】

液晶表示パネルと、

前記液晶表示パネルを駆動するデータ駆動IC

とを具備し、

前記液晶表示パネルは、

ゲート線と、

第1データ線と、

第2データ線と、

前記ゲート線と前記第1データ線とに接続された第1副画素と、前記ゲート線と前記第2データ線とに接続された第2副画素とを備える画素

とを備え、

前記データ駆動ICは、

外部から受け取った映像データに対して第1ガンマカーブによるガンマ補正を行うことによって第1ガンマ補正後データを生成し、且つ、前記映像データに対して第2ガンマカーブによるガンマ補正を行うことによって第2ガンマ補正後データを生成するガンマ補正回路部と、

前記第1ガンマ補正後データに応答して前記第1データ線を駆動し、前記第2ガンマ補正後データに応答して前記第2データ線を駆動する駆動回路部

とを備え、

前記ガンマ補正回路部は、

前記第1ガンマカーブのLUTと前記第2ガンマカーブのLUTとを保持するパラメータ保持部と、

前記映像データの受信に同期して動作するカウンタと、

前記カウンタから出力されるカウンタ値と前記映像データとで決定される前記パラメータ保持部のアドレスを選択するデコーダ

とを備え、

前記カウンタ値が第1値の場合、前記第1ガンマカーブのLUTが記憶されている前記パラメータ保持部のアドレスが選択され、前記第1ガンマカーブのLUTから読み出された階調値が、前記第1ガンマ補正後データとして前記ガンマ補正回路部から出力され、

前記カウンタ値が第2値の場合、前記第2ガンマカーブのLUTが記憶されている前記パラメータ保持部のアドレスが選択され、前記第2ガンマカーブのLUTから読み出された階調値が、前記第2ガンマ補正後データとして前記ガンマ補正回路部から出力される

10

20

30

40

50

液晶表示装置。

【請求項 3】

ゲート線と、第 1 データ線と、第 2 データ線と、前記ゲート線と前記第 1 データ線とに接続された第 1 副画素と、前記ゲート線と前記第 2 データ線とに接続された第 2 副画素とを含む画素を備えた液晶表示パネルを駆動するためのデータ駆動 IC であって、

外部から受け取った映像データに対して第 1 ガンマカーブによるガンマ補正を行うことによって第 1 ガンマ補正後データを生成し、且つ、前記映像データに対して第 2 ガンマカーブによるガンマ補正を行うことによって第 2 ガンマ補正後データを生成するガンマ補正回路部と、

前記第 1 ガンマ補正後データに応答して前記第 1 データ線を駆動し、前記第 2 ガンマ補正後データに応答して前記第 2 データ線を駆動する駆動回路部
とを備え、

前記ガンマ補正回路部は、

前記第 1 ガンマカーブの第 1 演算パラメータと前記第 2 ガンマカーブの第 2 演算パラメータとを保持するパラメータ保持部と、

前記映像データの受信に同期して動作するカウンタと、

前記カウンタから出力されるカウンタ値と前記映像データとで決定される前記パラメータ保持部のアドレスを選択するデコーダと、

前記第 1 ガンマ補正後データ及び前記第 2 ガンマ補正後データを生成するガンマ演算回路
とを備え、

前記カウンタ値が第 1 値の場合、前記第 1 演算パラメータが記憶されている前記パラメータ保持部のアドレスが選択されると共に、選択された前記第 1 演算パラメータを用いて前記ガンマ演算回路が近似的なガンマ補正演算を行うことによって前記第 1 ガンマ補正後データが生成され、

前記カウンタ値が第 2 値の場合、前記第 2 ガンマカーブの演算パラメータが記憶されている前記パラメータ保持部のアドレスが選択されると共に、選択された前記第 2 演算パラメータを用いて前記ガンマ演算回路が近似的なガンマ補正演算を行うことによって前記第 2 ガンマ補正後データが生成される

データ駆動 IC。

【請求項 4】

ゲート線と、第 1 データ線と、第 2 データ線と、前記ゲート線と前記第 1 データ線とに接続された第 1 副画素と、前記ゲート線と前記第 2 データ線とに接続された第 2 副画素とを含む画素を備えた液晶表示パネルを駆動するためのデータ駆動 IC であって、

外部から受け取った映像データに対して第 1 ガンマカーブによるガンマ補正を行うことによって第 1 ガンマ補正後データを生成し、且つ、前記映像データに対して第 2 ガンマカーブによるガンマ補正を行うことによって第 2 ガンマ補正後データを生成するガンマ補正回路部と、

前記第 1 ガンマ補正後データに応答して前記第 1 データ線を駆動し、前記第 2 ガンマ補正後データに応答して前記第 2 データ線を駆動する駆動回路部
とを備え、

前記ガンマ補正回路部は、

前記第 1 ガンマカーブの LUT と前記第 2 ガンマカーブの LUT とを保持するパラメータ保持部と、

前記映像データの受信に同期して動作するカウンタと、

前記カウンタから出力されるカウンタ値と前記映像データとで決定される前記パラメータ保持部のアドレスを選択するデコーダ

とを備え、

前記カウンタ値が第 1 値の場合、前記第 1 ガンマカーブの LUT が記憶されている前記パラメータ保持部のアドレスが選択され、前記第 1 ガンマカーブの LUT から読み出され

10

20

30

40

50

た階調値が、前記第 1 ガンマ補正後データとして前記ガンマ補正回路部から出力され、

前記カウンタ値が第 2 値の場合、前記第 2 ガンマカーブの L U T が記憶されている前記パラメータ保持部のアドレスが選択され、前記第 2 ガンマカーブの L U T から読み出された階調値が、前記第 2 ガンマ補正後データとして前記ガンマ補正回路部から出力される

データ駆動 I C。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、複数の副画素で 1 画素が構成される液晶表示パネルの駆動技術に関する。

【背景技術】

【0002】

液晶表示装置における重要な性能の一つは視野角であり、視野角を向上させるための技術が様々に検討されている。視野角を向上させる公知の手法の一つは、1 画素を複数の副画素（サブピクセル）に分割し、その副画素を異なる駆動電圧で駆動することである。典型的には、1 画素に 2 つの副画素が設けられる。同一の画素に属する副画素を異なる駆動電圧で駆動すると、液晶分子の向きが副画素毎に異なることになる。これにより、斜めから画像を見たときのガンマカーブの歪みを補償し、最小にすることができる。このような手法は文献 Sang Soo Kim, "The World's Largest (82-in.) TFT-LCD", SID 05 DIGEST, 2005, pp. 1842-1847 に開示されている。

【0003】

上記文献には、1 画素が 2 つの副画素で構成された液晶表示パネルの構成として、ダブルデータライン構造が開示されている。図 1 は、ダブルデータライン構造を採用する液晶表示パネルの構成を示す概念図である。ダブルデータライン構造を採用する液晶表示パネルでは、1 画素が 2 つの副画素で構成されると共に 1 列の画素に沿って 2 本のデータ線が配置される。一方のデータ線は、一方の副画素に接続され、他方のデータ線は、他方の副画素に接続される。一つの画素の 2 つの副画素は、同一のゲート線に接続される。

【0004】

より具体的には、1 つのドット 101 は、3 つの画素：R 画素 102、G 画素 103、B 画素 104 で構成される。R 画素 102 は、2 つの R 副画素 102A、102B で構成され、R 画素 102 の各列に沿って、2 本のデータ線 R_i(A)、R_i(B) が設けられる。R 副画素 102A はデータ線 R_i(A) に接続され、R 副画素 102B はデータ線 R_i(B) に接続される。同一の R 画素 102 に属する R 副画素 102A、102B は、同一のゲート線に接続される。G 画素 103、B 画素 104 も同様の構成を有している。G 画素 103 が、2 つの G 副画素 103A、103B で構成されると共に、G 画素 103 の各列に沿って、2 本のデータ線 G_i(A)、G_i(B) が設けられる。B 画素 104 が、2 つの B 副画素 104A、104B で構成されると共に、B 画素 104 の各列に沿って、2 本のデータ線 B_i(A)、B_i(B) が設けられる。

【0005】

図 2 に示されているように、各副画素は、TFT (thin film transistor) と、対向電極 VCOM と画素電極との間に形成される液晶容量と、対向電極 VCOM と保持電極との間に形成される保持容量とで構成される。例えば、R 副画素 102A は、TFT 105A と、液晶容量 106A と、保持容量 107A で構成され、R 副画素 102B は、TFT 105B と、液晶容量 106B と、保持容量 107B とで構成される。他の副画素も同様の構成を有している。

【0006】

ゲート線 G_n が選択されると、ゲート線 G_n に接続された R 副画素 102A がデータ線 R_i(A) から供給される駆動電圧によって駆動され、ゲート線 G_n に接続された R 副画素 102B がデータ線 R_i(B) から供給される駆動電圧によって駆動される。G 画素 103、B 画素 104 についても同様である。あるゲート線 G_n が選択されると、ゲート線

10

20

30

40

50

G_nに接続されたG副画素103A、B副画素104Aが、それぞれ、データ線G_i(A)、B_i(A)から供給される駆動電圧によって駆動され、ゲート線G_nに接続されたG副画素103B、B副画素104Bが、それぞれ、データ線G_i(B)、B_i(B)から供給される駆動電圧によって駆動される。

【0007】

図1、図2の構成の液晶表示パネルにおいては、同一の映像データの値に対して、2つの副画素が異なる駆動電圧で駆動される。言い換えれば、2つの副画素が異なるガンマカーブに従って駆動される。したがって、2つの副画素を駆動するための駆動電圧の生成においては、異なるガンマカーブに従ったガンマ補正を行う必要がある。異なるガンマカーブに従ったガンマ補正を行うために、図1、図2の構成の液晶表示パネルを使用する液晶表示装置では、一般的な液晶表示装置とは異なる駆動方法が採用される。

10

【0008】

特開2007-226242号公報は、図1、図2に示された構成の液晶表示パネルを駆動する技術を開示している。図3は、この公報に開示された液晶表示装置100の構成を示すブロック図である。液晶表示装置100は、図1、図2に示された構成の液晶表示パネル110と、保持部120と、タイミング制御部130と、ゲート駆動部140と、データ駆動部150とを備えている。液晶表示装置がタイミングコントローラIC(integrated circuit)と、ゲート駆動ICと、データ駆動ICとから構成されるアーキテクチャは、液晶表示装置の一般的なアーキテクチャの一つであるから、タイミング制御部130、ゲート駆動部140、データ駆動部150は、それぞれ、タイミングコントローラICと、ゲート駆動ICと、データ駆動ICとに対応する構成要素であると理解することが妥当である。保持部120は、“ハイピクセル”(即ち、R副画素102A、G副画素103A、B副画素104A)に対するガンマカーブに対応するLUTを保持する第1保持部122と、“ローピクセル”(即ち、R副画素102B、G副画素103B、B副画素104B)に対するガンマカーブに対応するLUTを保持する第2保持部124とを備えている。第1保持部122及び第2保持部124のそれぞれには、赤(R)、緑(G)、青(B)に対して別のLUTが用意されている。

20

【0009】

この液晶表示装置100は、概略的には、下記のように動作する：タイミング制御部130は、画像信号R、G、Bから第1保持部122に保持されているLUTを用いて第1画像データRH、GH、BHを生成すると共に、第2保持部124に保持されているLUTを用いて第2画像データRL、GL、BLを生成する。タイミング制御部130は、生成した第1画像データRH、GH、BH及び第2画像データRL、GL、BLをデータ駆動部150に送信する。データ駆動部150は、第1画像データRH、GH、BHにตอบสนองして“ハイピクセル”を駆動し、画像データRL、GL、BLにตอบสนองして“ローピクセル”を駆動する。

30

【0010】

【非特許文献1】Sang Soo Kim, "The World's Largest (82-in.) TFT-LCD", SID 05 DIGEST, 2005, pp. 1842-1847

【特許文献1】特開2007-226242号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0011】

図3の液晶表示装置100の一つの問題点は、データ駆動部150(データ駆動IC)へのデータ送信量が増大してしまうことである。図3の液晶表示装置100では、1画素のために2つの画像データ：第1画像データ及び第2画像データを送らなくてはならない。加えて、第1画像データ及び第2画像データのビット幅も増大させなくてはならない。例えば、画像信号R、G、Bがそれぞれ、10ビットである場合を考えよう。画像信号R、G、Bに対してガンマ補正を行う場合、第1画像データRH、GH、BH及び第2画像データRL、GL、BLは、画像信号R、G、Bよりも多いビット幅、例えば、12ビッ

50

トが必要である。これらの要因により、液晶表示装置 100 では、多くのデータをデータ駆動部 150 に送信しなくてはならない。1 水平期間の長さは、規格により所定値に決定されているので、データ送信量を増大させるためにはデータ転送速度を増大させなくてはならない。これは、データ誤りの発生率を高くするため好ましくない。

【課題を解決するための手段】

【0012】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付記されている。但し、付記された番号・符号は、[特

10

【0013】

本発明の液晶表示装置は、液晶表示パネル(2)と、前記液晶表示パネル(2)を駆動するデータ駆動IC(8)とを具備する。前記液晶表示パネル(2)は、ゲート線(Gj)と、第1データ線(D(2n-1))と、第2データ線D(2n)と、前記ゲート線(Gj)と前記第1データ線(D(2n-1))とに接続される第1画素(12A)と、前記ゲート線(Gj)と前記第2データ線(D(2n))とに接続される第2画素(12B)とを備える。前記データ駆動IC(8)は、外部から受け取った映像データ(9)に対して、第1ガンマカーブによるガンマ補正を行うことによって第1ガンマ補正後データを生成し、且つ、前記映像データ(9)に対して第2ガンマカーブによるガンマ補正を行うことによって第2ガンマ補正後データを生成するガンマ補正回路部(22-25、23A、23B、31、22A、22B)と、前記第1ガンマ補正後データに応答して前記第1データ線を駆動し、前記第2ガンマ補正後データに応答して前記第2データ線を駆動する駆動回路部(26-30)とを備える。本発明の液晶表示装置では、前記データ駆動IC(8)の内部でガンマ補正が行われて第1ガンマ補正後データ及び第2ガンマ補正後データが生成され、その第1ガンマ補正後データ及び第2ガンマ補正後データに応じて第1データ線(D(2n-1))と第2データ線D(2n)とが駆動される。このような構成では、相対的にデータ量が大きい第1ガンマ補正後データ及び第2ガンマ補正後データではなく、相対的にデータ量が小さい映像データがデータ駆動ICに転送されるので、データ

20

30

【発明の効果】

【0014】

本発明によれば、複数の副画素で1画素が構成される液晶表示パネルを駆動するデータ駆動ICへのデータ転送量を低減することができる。

【発明を実施するための最良の形態】

【0015】

第1の実施形態：

図4は、本発明の第1の実施形態の液晶表示装置1の構成を示すブロック図である。液晶表示装置1は、液晶表示パネル2と、基板3に設けられたタイミングコントローラIC4と、基板5に設けられたゲート駆動IC6と、基板7に設けられたデータ駆動IC8とを備えている。

40

【0016】

液晶表示パネル2は、複数のゲート線G1、G2・・・と、複数のデータ線D1、D2、D3、D4・・・と、これらが交差する位置に設けられた画素11とを備えている。本実施例の液晶表示パネル2では、1画素11が2つの副画素：メイン画素12A及びサブ画素12Bで構成され、且つ、画素11の列に沿って、2本のデータ線が設けられた構成を有している。データ線D1、D2は、左端の画素11の列に沿って設けられ、データ線D3、D4は左から2番目の画素11の列に沿って設けられ、データ線D5、D6は左から3番目の画素11の列に沿って設けられている。メイン画素12Aは、奇数番目のデー

50

タ線D ($2n-1$) に接続され、サブ画素12Bは、偶数番目のデータ線D ($2n$) に接続される。同一の画素11に属するメイン画素12Aとサブ画素12Bは、同一のゲート線に接続される。例えば、最上段のラインの画素11に設けられたメイン画素12Aとサブ画素12Bは、ゲート線G1に共通に接続される。本実施形態において、或る一のゲート線に対応して設けられた1行の画素11は、1水平ラインの画素11と呼ばれることがある。

【0017】

メイン画素12Aは、画素電極13Aと、TFT14Aとを備えており、同様に、サブ画素12Bは、画素電極13Bと、TFT14Bとを備えている。TFT14Aは、画素電極13Aと奇数番目のデータ線S ($2n-1$) との間に設けられ、TFT14Bは、画素電極13Bと偶数番目のデータ線S ($2n$) との間に設けられている。同一の画素11のメイン画素12A、サブ画素12Bに設けられたTFT14AとTFT14Bのゲートは、同一のゲート線に接続される。なお、図4には、液晶表示パネル2の一部の構成のみが図示されているが、液晶表示パネル2の全体が同様に構成されていることは、当業者には理解されよう。

10

【0018】

タイミングコントローラIC4は、データ駆動IC8に映像データ9をシリアル送信する。本実施形態では、映像データ9は、各画素の階調値を10ビットで表す10ビットデータである。背景技術とは異なり、タイミングコントローラIC4は、ガンマ補正がなされていない映像データ9をデータ駆動IC8に供給することに留意されたい。加えて、タイミングコントローラIC4は、タイミング制御信号（図示されない）をデータ駆動IC8及びゲート駆動IC6に供給して、データ駆動IC8及びゲート駆動IC6のタイミング制御を行う機能も有している。

20

【0019】

ゲート駆動IC6は、液晶表示パネル2のゲート線Giを順次に駆動する。

【0020】

データ駆動IC8のソース出力Siにはデータ線Diが接続されており、データ駆動IC8は、映像データ9にตอบสนองして液晶表示パネル2のデータ線Diを駆動する。詳細には、データ駆動IC8は、奇数番目のソース出力S ($2n-1$) から駆動電圧を出力して奇数番目のデータ線D ($2n-1$) に接続されているメイン画素12Aを駆動し、偶数番目のソース出力S ($2n$) から駆動電圧を出力して偶数番目のデータ線D ($2n$) に接続されているサブ画素12Bを駆動する。

30

【0021】

本実施形態のデータ駆動IC8は、同一の画素11に含まれるメイン画素12Aとサブ画素12Bとに対して異なるガンマカーブに従ったガンマ補正を行うように構成されている。即ち、データ駆動IC8は、ある画素に対応する映像データ9に対して第1のガンマカーブ（以下、ガンマカーブ「A」という。）に従ったガンマ補正を行うことによって生成したガンマ補正後データに応じてメイン画素12Aを駆動し、第2のガンマカーブ（以下、ガンマカーブ「B」という。）に従ったガンマ補正を行うことによって生成したガンマ補正後データに応じてサブ画素12Bを駆動する。背景技術で記述された液晶表示装置100とは異なり、データ駆動IC8の内部でガンマ補正が行われることに留意されたい。

40

【0022】

図5は、データ駆動IC8の構成を示す概略図である。図5には、各データ駆動IC8が720本のソース出力S1～S720を有するとして、即ち、各データ駆動IC8が各水平期間に360個の画素11を駆動するものとしてデータ駆動IC8の構成が示されている。データ駆動IC8は、シリアルパラレル変換回路21と、ガンマ演算回路22と、パラメータ保持部23と、1ビットのカウンタ24と、デコーダ25と、12ビットのラッチ回路26、27と、レベルシフタ28と、12ビットのデコーダ29と、アンプ回路30とを備えている。ラッチ回路26、27、レベルシフタ28、デコーダ29は、デー

50

タ駆動 I C 8 のソース出力と同じ数だけ設けられている。図 5 の構成では、データ駆動 I C 8 に、7 2 0 本のソース出力 S 1 ~ S 7 2 0 が設けられているので、ラッチ回路 2 6、2 7、レベルシフタ 2 8、デコーダ 2 9、及びアンプ回路 3 0 は、それぞれ、7 2 0 個設けられる。

【0023】

シリアルパラレル変換回路 2 1 は、シリアル送信された映像データ 9 に対してシリアルーパラレル変換を行い、シリアルーパラレル変換された映像データ 9 をガンマ演算回路 2 2 に供給する。

【0024】

ガンマ演算回路 2 2 と、パラメータ保持部 2 3 と、1 ビットカウンタ 2 4 と、デコーダ 2 5 とは、映像データ 9 に対してガンマ補正を行ってガンマ補正後データ 1 0 を生成するガンマ補正回路部を構成している。本実施形態では、映像データ 9 が 1 0 ビットデータであるのに対し、ガンマ補正後データ 1 0 は、1 2 ビットデータである。

【0025】

詳細には、パラメータ保持部 2 3 には、ガンマカーブ「A」によるガンマ補正（即ち、メイン画素 1 2 A に対するガンマ補正）を近似演算によって行うための演算パラメータと、ガンマカーブ「B」によるガンマ演算（即ち、サブ画素 1 2 B に対するガンマ補正）を近似演算によって行うための演算パラメータとが格納される。ここで、演算パラメータとは、いずれも、映像データ 9 の各階調値に対応するガンマ補正後データ 1 0 の階調値を近似演算によって求めるための近似式を決定するために使用される情報である。例えば、近似式に含まれる未定係数の情報が、演算パラメータとしてパラメータ保持部 2 3 に格納される。ガンマカーブ「A」による近似演算を行うための演算パラメータは、パラメータ保持部 2 3 の最上位ビットが「1」であるアドレスに記憶され、ガンマカーブ「B」による近似演算を行うための演算パラメータは、最上位ビットが「0」であるアドレスに記憶される。

【0026】

カウンタ 2 4 は、1 ビットのカウンタ値を保持しており、そのカウンタ値により、ガンマカーブ「A」「B」のいずれの演算パラメータに対してアクセスを行うかを指定する。詳細には、カウンタ 2 4 のカウンタ値は、パラメータ保持部 2 3 のアクセスされるべきアドレスの最上位ビットとしてデコーダ 2 5 に供給され、これにより、ガンマカーブ「A」「B」のいずれの演算パラメータに対してアクセスを行うかが指定される。スタート信号が活性化されると、カウンタ 2 4 は、1 画素分の映像データ 9 が受信される周波数の 2 倍の周波数でカウンタ値を「0」と「1」との間で反転させる。そのカウンタ値がアドレスの最上位ビットとしてデコーダ 2 5 に供給される。ストップ信号が活性化されると、カウンタ 2 4 は、その動作を停止してリセットされる。

【0027】

デコーダ 2 5 は、ガンマ演算回路 2 2 から映像データ 9 を受け取り、カウンタ 2 4 から受け取ったアドレスの最上位ビットとし、ガンマ演算回路 2 2 から受け取った映像データ 9 を下位ビットとして指定されるパラメータ保持部 2 3 のアドレスを選択する。

【0028】

ガンマ演算回路 2 2 は、パラメータ保持部 2 3 のデコーダ 2 5 によって選択されたアドレスから演算パラメータを取り出し、取り出した演算パラメータを用いて映像データ 9 に対して近似的なガンマ補正演算を行うことによってガンマ補正後データ 1 0 を生成する。生成されたガンマ補正後データ 1 0 は、ラッチ回路 2 6 に出力される。後述されるように、ガンマ演算回路 2 2 からは、メイン画素 1 2 A に対応するガンマカーブ「A」で補正されたガンマ補正後データ 1 0 と、サブ画素 1 2 B に対応するガンマカーブ「B」で補正されたガンマ補正後データ 1 0 とが交互に出力される。

【0029】

ラッチ回路 2 6、2 7、レベルシフタ 2 8、デコーダ 2 9、及びアンプ回路 3 0 は、ガンマ補正後データ 1 0 に応答してソース出力 S 1 ~ S 7 2 0 に接続されたデータ線 D 1 ~

10

20

30

40

50

D 7 2 0 を駆動する駆動回路部として機能する。

【0030】

詳細には、ラッチ回路 2 6 は、ガンマ演算回路 2 2 から送られてくるガンマ補正後データ 1 0 を順次に受信する。ラッチ回路 2 6 は、左端のラッチ回路 2 6 から順次にガンマ補正後データ 1 0 を受け取るように構成されている。従って、奇数番目に送られてくるガンマ補正後データ 1 0 は、奇数番目のラッチ回路 2 6 に格納され、偶数番目に送られてくるガンマ補正後データ 1 0 は、偶数番目のラッチ回路 2 6 に格納される。言い換えれば、メイン画素 1 2 A に対応するガンマカーブで補正されたガンマ補正後データ 1 0 は、奇数番目のソース出力 $S(2n-1)$ に対応して設けられたラッチ回路 2 6 に格納され、サブ画素 1 2 B に対応するガンマカーブで補正されたガンマ補正後データ 1 0 は、偶数番目のソース出力 $S(2n)$ に対応して設けられたラッチ回路 2 6 に格納される。

10

【0031】

ラッチ回路 2 7 は、ストロブ信号 STB に応答して、ラッチ回路 2 6 に格納されたガンマ補正後データ 1 0 を同時にラッチする。ラッチ回路 2 7 は、ラッチしたガンマ補正後データ 1 0 を、レベルシフタ 2 8 を介してデコーダ 2 9 に送る。デコーダ 2 9 は、ラッチ回路 2 7 から受け取ったガンマ補正後データ 1 0 に対して D/A 変換を行い、ガンマ補正後データ 1 0 の階調値に対応するアナログ電圧信号を生成する。アンプ回路 3 0 は、デコーダ 2 9 から受け取ったアナログ電圧信号の電圧レベルに対応する電圧レベル（基本的には、アナログ電圧信号の電圧レベルと同じ電圧レベル）を有する駆動電圧をソース出力 $S1 \sim S720$ から出力して、データ線 $D1 \sim D720$ を駆動する。

20

【0032】

図 6 は、本実施形態の液晶表示装置 1 の動作を示すタイミングチャートである。以下においては、1 水平ラインの画素 1 1 にそれぞれに対応する映像データ 9 を $D(ORG1) \sim D(ORG360)$ と記載する。また、映像データ $D(ORGk)$ に対してメイン画素 1 2 A に対応するガンマカーブ「A」でガンマ補正を行うことによって得られるガンマ補正後データ 1 0 を $D(GAk)$ と記載し、映像データ $D(ORGk)$ に対してサブ画素 1 2 B に対応するガンマカーブ「B」でガンマ補正を行うことによって得られるガンマ補正後データ 1 0 を $D(GBk)$ と記載する。

【0033】

本実施形態の液晶表示装置 1 では、各水平期間において、1 水平ラインの画素 1 1 に対応する 360 個の映像データ $D(ORG1) \sim D(ORG360)$ がデータ駆動 IC 8 に転送される。映像データ $D(ORG1) \sim D(ORG360)$ の転送に先立ち、スタート信号が活性化され、これにより、カウンタ 2 4 の動作が許可される。続いて最初の映像データ $D(ORG1)$ が転送されると、カウンタ 2 4 の出力が「1」に設定され、アドレスの最上位ビットが「1」に設定される。これにより、パラメータ保持部 2 3 では、ガンマカーブ「A」の演算パラメータがアクセス可能になる。更にデコーダ 2 5 は、映像データ $D(ORG1)$ を受け取り、映像データ $D(ORG1)$ の階調値に対応するアドレスを選択する。ガンマ演算回路 2 2 は、選択されたアドレスからガンマカーブ「A」の演算パラメータを取り出し、取り出した演算パラメータと $D(ORG1)$ を用いて近似演算を行い、 $D(ORG1)$ に対応するガンマ補正後データ $D(GA1)$ を出力する。ガンマ演算回路 2 2 から出力されたガンマ補正後データ $D(GA1)$ は、ソース出力 $S1$ に対応するラッチ回路 2 6 に格納される。

30

40

【0034】

続いて、カウンタ 2 4 の出力が「0」に設定され、アドレスの最上位ビットが「0」に設定される。これにより、パラメータ保持部 2 3 では、ガンマカーブ「B」の演算パラメータがアクセス可能になる。デコーダ 2 5 は、映像データ $D(ORG1)$ の階調値に対応するアドレスを選択し、ガンマ演算回路 2 2 は、選択されたガンマカーブ「B」の演算パラメータを取り出し、取り出したガンマカーブ「B」の演算パラメータと $D(ORG1)$ を用いて近似演算を行い、 $D(ORG1)$ に対応するガンマ補正後データ $D(GB1)$ を出力する。ガンマ演算回路 2 2 から出力されたガンマ補正後データ $(GB1)$ は、ソース

50

出力 S 2 に対応するラッチ回路 2 6 に格納される。

【0035】

映像データ D (ORG 2) ~ D (ORG 360) についても、同様の手順でガンマ補正が行われる。これにより、奇数番目のソース出力 S (2n-1) に対応するラッチ回路 2 6 にはガンマ補正後データ D (GAN) が格納され、偶数番目のソース出力 S (2n) に対応するラッチ回路 2 6 にはガンマ補正後データ D (GBn) が格納される。

【0036】

次の水平期間のブランキング期間にストロブ信号 STB がハイレベルにプルアップされると、直前の水平期間でラッチ回路 2 6 に揃えられたガンマ補正後データ D (GA1)、D (GB1)、D (GA2)、D (GB2) ... D (GA360)、D (GB360) がラッチ回路 2 7 に転送される。この結果、奇数番目のソース出力 S (2n-1) に対応するラッチ回路 2 7 にはガンマ補正後データ D (GAN) が格納され、偶数番目のソース出力 S (2n) に対応するラッチ回路 2 7 にはガンマ補正後データ D (GBn) が格納される。

【0037】

当該次の水平期間では、ラッチ回路 2 7 に転送された D (GA1)、D (GB1)、D (GA2)、D (GB2) ... D (GA360)、D (GB360) に応じてソース出力 S 1 ~ S 720 が駆動される。この結果、ガンマカーブ「A」によるガンマ補正によって生成されたガンマ補正後データ D (GA1) ~ D (GA360) に応じてメイン画素 1 2 A が駆動され、ガンマカーブ「B」によるガンマ補正によって生成されたガンマ補正後データ D (GB1) ~ D (GB360) に応じてサブ画素 1 2 B が駆動される。奇数番目のソース出力 S (2n-1) には、奇数番目のデータ線 D (2n-1) を介してメイン画素 1 2 A が接続され、偶数番目のソース出力 S (2n) には、偶数番目のデータ線 D (2n) を介してサブ画素 1 2 B が接続されることに留意されたい。

【0038】

本実施形態の液晶表示装置 1 の利点は、データ駆動 IC 8 においてガンマ補正が行われる構成を採用していることにより、データ駆動 IC 8 へのデータ転送量を低減できることにある。背景技術に記載された液晶表示装置 100 では、画像信号 R、G、B が 10 ビットデータであり、ガンマ補正によって生成された第 1 画像データ RH、GH、BH、第 2 画像データ RL、GL、BL が 12 ビットデータである場合には、一画素あたりに必要なデータ転送量は、24 ビットである。この場合、例えば液晶表示パネルが 8 つの 720 チャンネルのデータ駆動 IC で駆動されるケースでは、668 Mbps のデータ転送速度が必要である。一方、本実施形態の液晶表示装置 1 では、映像データ 9 が 10 ビットデータである場合には、一画素あたりに必要なデータ転送量は、10 ビットである。この場合、液晶表示パネルが 8 つの 720 チャンネルのデータ駆動 IC で駆動されるケースでは、278 Mbps のデータ転送速度しか必要としない。このように、本実施形態の液晶表示装置 1 では、データ駆動 IC 8 へのデータ転送量を低減し、これにより、データ駆動 IC 8 へのデータ転送に必要なデータ転送速度を低減できる。

【0039】

なお、上記の本実施形態では、発明の理解を容易にするために、各画素 1 1 が表示する色については言及されていない。しかしながら、実際の液晶表示パネルでは、画素 1 1 には、赤を表示する画素 (R 画素)、緑を表示する画素 (G 画素) と、青を表示する画素 (B 画素) とがある。この場合、ガンマ補正において使用されるガンマカーブは、画素が表示すべき色に応じて異なるように設定されることが好ましい。このような変更は、パラメータ保持部 2 3 に、下記の 6 つの演算パラメータ：

- (1) R 画素のメイン画素のガンマカーブの演算パラメータ
- (2) R 画素のサブ画素のガンマカーブの演算パラメータ
- (3) G 画素のメイン画素のガンマカーブの演算パラメータ
- (4) G 画素のサブ画素のガンマカーブの演算パラメータ
- (5) B 画素のメイン画素のガンマカーブの演算パラメータ

(6) B画素のサブ画素のガンマカーブの演算パラメータを用意すると共に、パラメータ保持部23に対して画素11の色に応じたアドレッシングを行うことによって容易に実現できる。

【0040】

また、上記の本実施形態ではパラメータ保持部23には近似的なガンマ補正演算を行うための演算パラメータを格納するとしているが、ガンマカーブのLUT (Look Up Table) が格納されていてもよい。その場合、ガンマ演算回路22はガンマカーブのLUTから映像データに対応するガンマ補正後の階調値を取り出して、直接出力するような動作をする。

【0041】

第2の実施形態：

図7は、本発明の第2の実施形態の液晶表示装置1のデータ駆動IC8の構成を示すブロック図である。第2の実施形態のデータ駆動IC8の構成は、第1の実施形態と類似している。相違点は、パラメータ保持部23の代わりに、ガンマカーブ「A」による近似演算を行うための演算パラメータを保持するパラメータ保持部23Aとガンマカーブ「B」による近似演算を行うための演算パラメータを保持するパラメータ保持部23Bとが用意され、デコーダ25の代わりにセレクト31が設けられることである。本実施形態では、カウンタ24の出力は、セレクト31の動作を切り替える切り替え制御信号としてセレクト31に供給される。セレクト31は、カウンタ24の出力に応じてパラメータ保持部23A、23Bの一方を選択してガンマ演算回路22に接続する。ガンマ演算回路22は、選択されたパラメータ保持部の映像データ9に対応するアドレスから演算パラメータを取り出し、取り出した演算パラメータと映像データ9を用いて近似演算を行い、ガンマ補正後データ10としてラッチ回路26に出力する。

【0042】

図8は、第2の実施形態の液晶表示装置1の動作を示すタイミングチャートである。第2の実施形態の液晶表示装置1の動作は、第1の実施形態とほぼ同様である。

【0043】

最初の映像データD (ORG1) が転送されると、カウンタ24の出力が"1"に設定され、切り替え制御信号が"1"に設定される。これにより、セレクト31によってパラメータ保持部23Aが選択され、ガンマカーブ「A」による近似演算を行うための演算パラメータが保持されているパラメータ保持部23Aがアクセス可能になる。ガンマ演算回路22は、映像データD (ORG1) の階調値に対応するパラメータ保持部23Aのアドレスからガンマカーブ「A」の演算パラメータを取り出し、ガンマカーブ「A」の演算パラメータとD (ORG1) を用いて近似演算を行い、D (ORG1) に対応するガンマ補正後データD (GA1) を出力する。ガンマ演算回路22から出力されたガンマ補正後データD (GA1) は、ソース出力S1に対応するラッチ回路26に格納される。

【0044】

続いて、カウンタ24の出力が"0"に設定され、切り替え制御信号が"1"に設定される。これにより、セレクト31によってパラメータ保持部23Bが選択され、ガンマカーブ「B」による近似演算を行うための演算パラメータが保持されているパラメータ保持部23Bがアクセス可能になる。ガンマ演算回路22は、映像データD (ORG1) の階調値に対応するパラメータ保持部23Bのアドレスからガンマカーブ「B」の演算パラメータを取り出し、ガンマカーブ「B」の演算パラメータとD (ORG1) を用いて近似演算を行い、D (ORG1) に対応するガンマ補正後データD (GB1) を出力する。ガンマ演算回路22から出力されたガンマ補正後データD (GB1) は、ソース出力S2に対応するラッチ回路26に格納される。

【0045】

映像データD (ORG2) ~ D (ORG360) についても、同様の手順でガンマ補正が行われる。これにより、奇数番目のソース出力S (2n-1) に対応するラッチ回路26にはガンマ補正後データD (GAN) が格納され、偶数番目のソース出力S (2n) に

10

20

30

40

50

対応するラッチ回路 26 にはガンマ補正後データ D (GBn) が格納される。

【0046】

ラッチ回路 26 に揃えられたガンマ補正後データ D (GA1)、D (GB1)、D (GA2)、D (GB2)・・・D (GA360)、D (GB360) は、ラッチ回路 27 に転送される。更に、ラッチ回路 27 に転送された D (GA1)、D (GB1)、D (GA2)、D (GB2)・・・D (GA360)、D (GB360) に応じてソース出力 S1～S720 が駆動される。この結果、ガンマカーブ「A」によるガンマ補正によって生成されたガンマ補正後データ D (GA1)～D (GA360) に応じてメイン画素 12A が駆動され、ガンマカーブ「B」によるガンマ補正によって生成されたガンマ補正後データ D (GB1)～D (GB360) に応じてサブ画素 12B が駆動される。

10

【0047】

第 2 の実施形態の液晶表示装置も、第 1 の実施形態と同様に、データ駆動 IC8 へのデータ転送量を低減し、これにより、データ駆動 IC8 へのデータ転送に必要なデータ転送速度を低減できる。

【0048】

また、第 2 の実施形態では第 1 の実施形態と同様に、パラメータ保持部 23 には近似的なガンマ補正演算を行うための演算パラメータを格納するとしたが、ガンマカーブの LUT (Look Up Table) が格納されていてもよい。その場合、ガンマ演算回路 22 はガンマカーブの LUT から映像データに対応するガンマ補正後の階調値を取り出して、直接出力するような動作をする。

20

【0049】

第 3 の実施形態：

図 9 は、本発明の第 3 の実施形態の液晶表示装置 1 のデータ駆動 IC8 の構成を示すブロック図である。第 3 の実施形態では、データ駆動 IC8 に 2 つのガンマ演算回路：ガンマ演算回路 22A、22B が設けられる。ガンマ演算回路 22A には、ガンマカーブ「A」による近似演算を行うための演算パラメータが保持されており、ガンマ演算回路 22A は、映像データ 9 とガンマカーブ「A」の演算パラメータを用いて近似演算を行うことにより、ガンマ補正後データ 10A を生成する。一方、ガンマ演算回路 22B には、ガンマカーブ「B」による近似演算を行うための演算パラメータが保持されており、ガンマ演算回路 22B は、映像データ 9 とガンマカーブ「B」の演算パラメータを用いて近似演算を行うことにより、ガンマ補正後データ 10B を生成する。

30

【0050】

ガンマ演算回路 22A によって生成されたガンマ補正後データ 10A は、奇数番目のソース出力 S (2n-1) に対応するラッチ回路 26 に格納され、ガンマ演算回路 22B によって生成されたガンマ補正後データ 10B は、偶数番目のソース出力 S (2n) に対応するラッチ回路 26 に格納される。本実施形態では、ガンマ演算回路 22A と奇数番目のソース出力 S (2n-1) に対応するラッチ回路 26 とを接続する配線と、ガンマ演算回路 22B と偶数番目のソース出力 S (2n) に対応するラッチ回路 26 とを接続する配線とが別々に設けられていることに留意されたい。ラッチ回路 26 に格納されたガンマ補正後データ 10A、10B は、ラッチ回路 27 にラッチされ、更にラッチ回路 27 からデコーダ 29 に転送される。これにより、奇数番目のソース出力 S (2n-1) からガンマ補正後データ 10A に対応する駆動電圧が出力され、偶数番目のソース出力 S (2n) からガンマ補正後データ 10B に対応する駆動電圧が出力される。

40

【0051】

図 10 は、第 3 の実施形態における液晶表示装置 1 の動作を示すタイミングチャートである。本実施形態の液晶表示装置 1 では、各水平期間において、1 水平ラインの画素 11 に対応する 360 個の映像データ D (ORG1)～D (ORG360) がデータ駆動 IC8 に転送される。最初の映像データ D (ORG1) がデータ駆動 IC8 に転送されると、ガンマ演算回路 22A によってガンマカーブ「A」に従ったガンマ補正が行われてガンマ補正後データ D (GA1) が生成され、ガンマ演算回路 22B によってガンマカーブ「B

50

」に従ったガンマ補正が行われてガンマ補正後データD (GB1) が生成される。ガンマ演算回路22Aから出力されたガンマ補正後データD (GA1) は、ソース線S1に対応するラッチ回路26に格納され、ガンマ演算回路22Bから出力されたガンマ補正後データD (GB1) は、ソース線S2に対応するラッチ回路26に格納される。

【0052】

映像データD (ORG2) ~ D (ORG360) についても、同様の手順でガンマ補正が行われる。これにより、奇数番目のソース出力S (2n-1) に対応するラッチ回路26にはガンマ補正後データD (GAn) が格納され、偶数番目のソース出力S (2n) に対応するラッチ回路26にはガンマ補正後データD (GBn) が格納される。

【0053】

次の水平期間のブランキング期間にストロブ信号STBがハイレベルにプルアップされると、直前の水平期間でラッチ回路26に揃えられたガンマ補正後データD (GA1)、D (GB1)、D (GA2)、D (GB2) ... D (GA360)、D (GB360) がラッチ回路27に転送される。この結果、奇数番目のソース出力S (2n-1) に対応するラッチ回路27にはガンマ補正後データD (GAn) が格納され、偶数番目のソース出力S (2n) に対応するラッチ回路27にはガンマ補正後データD (GBn) が格納される。

【0054】

当該次の水平期間では、ラッチ回路27に転送されたD (GA1)、D (GB1)、D (GA2)、D (GB2) ... D (GA360)、D (GB360) に応じてソース出力S1~S720が駆動される。この結果、ガンマカーブ「A」によるガンマ補正によって生成されたガンマ補正後データD (GA1) ~ D (GA360) に応じてメイン画素12Aが駆動され、ガンマカーブ「B」によるガンマ補正によって生成されたガンマ補正後データD (GB1) ~ D (GB360) に応じてサブ画素12Bが駆動される。

【0055】

第3の実施形態の液晶表示装置も、第1の実施形態と同様に、データ駆動IC8へのデータ転送量を低減し、これにより、データ駆動IC8へのデータ転送に必要なデータ転送速度を低減できる。加えて、第3の実施形態の液晶表示装置は、第1及び第2の実施形態の液晶表示装置と比較して、ガンマ演算回路の動作速度が遅いことが許容されるという利点がある。ただし、第1及び第2の実施形態の液晶表示装置は、第3の実施形態の液晶表示装置に対してハードウェア規模が小さいという利点があることにも留意されたい。

【0056】

また、第3の実施形態では、ガンマ演算回路22A、22Bに近似的なガンマ補正演算を行うための演算パラメータを格納するとしたが、ガンマカーブのLUT (Look Up Table) が格納されていてもよい。その場合、ガンマ演算回路22はガンマカーブのLUTから映像データに対応するガンマ補正後の階調値を取り出して、直接出力するような動作をする。

【0057】

また、上述の実施形態では、一の画素が2つの副画素で構成され、更に、一の画素の列に対して2本のデータ線が設けられている構成が開示されているが、本発明は、一の画素に含まれる副画素の数、及び一の画素の列に対して設けられるデータ線の数が3以上である構成にも適用可能であることに留意されたい。

【図面の簡単な説明】

【0058】

【図1】図1は、1画素が2つの副画素で構成された液晶表示パネルの構成を示す概念図である。

【図2】図2は、1画素が2つの副画素で構成された液晶表示パネルの構成を示す回路図である。

【図3】図3は、従来の液晶表示装置の構成を示すブロック図である。

【図4】図4は、本発明の第1の実施形態の液晶表示装置の構成を示すブロック図である

10

20

30

40

50

。【図 5】図 5 は、第 1 の実施形態におけるデータ駆動 I C の構成を示すブロック図である

。【図 6】図 6 は、第 1 の実施形態におけるデータ駆動 I C の動作を示すタイミングチャートである。

【図 7】図 7 は、第 2 の実施形態におけるデータ駆動 I C の構成を示すブロック図である

。【図 8】図 8 は、第 2 の実施形態におけるデータ駆動 I C の動作を示すタイミングチャートである。

【図 9】図 9 は、第 3 の実施形態におけるデータ駆動 I C の構成を示すブロック図である 10

。【図 10】図 10 は、第 3 の実施形態におけるデータ駆動 I C の動作を示すタイミングチャートである。

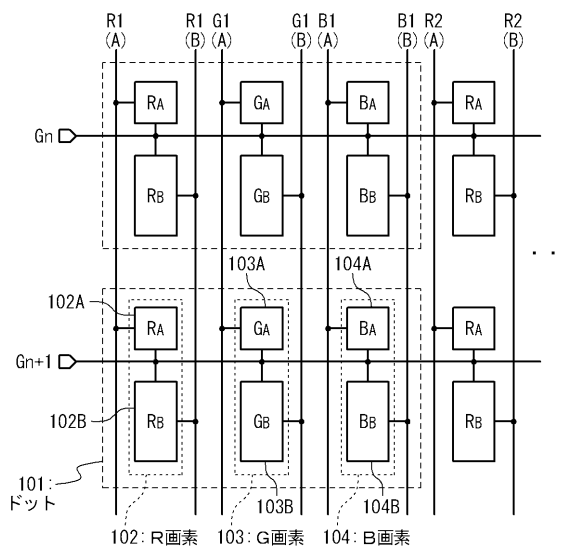
【符号の説明】

【0059】

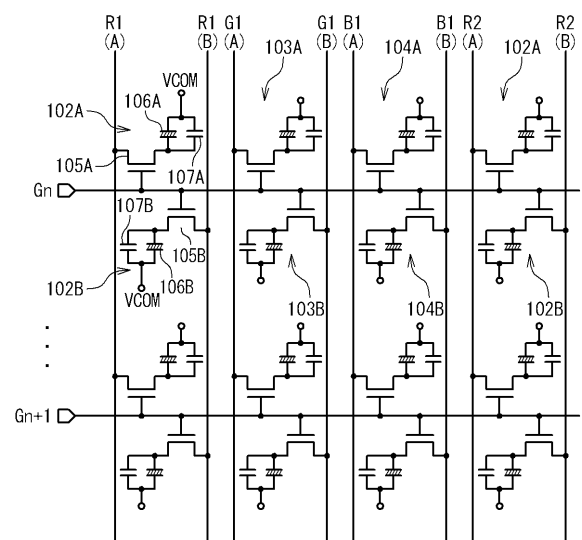
- 1：液晶表示装置
- 2：液晶表示パネル
- 3：基板
- 4：タイミングコントローラ I C
- 5：基板 20
- 6：ゲート駆動 I C
- 7：基板
- 8：データ駆動 I C
- 9：映像データ
- 10：ガンマ補正後データ
- 11：画素
- 12A：メイン画素
- 12B：サブ画素
- 13A、13B：画素電極
- 14A、14B：TFT 30
- 21：シリアルパラレル変換回路
- 22、22A、22B：ガンマ演算回路
- 23、23A、23B：パラメータ保持部
- 24：カウンタ
- 25：デコーダ
- 26、27：ラッチ回路
- 28：レベルシフタ
- 29：デコーダ
- 30：アンプ回路
- 31：セレクタ 40
- 100：液晶表示装置
- 101：ドット
- 102：R画素
- 102A、102B：R副画素
- 103：G画素
- 103A、103B：G副画素
- 104：B画素
- 104A、104B：B副画素
- 105A、105B：TFT
- 106A、106B：液晶容量 50

- 107A、107B：保持容量
- 110：液晶表示パネル
- 120：保持部
- 122：第1保持部
- 124：第2保持部
- 130：タイミング制御部
- 140：ゲート駆動部
- 150：データ駆動部

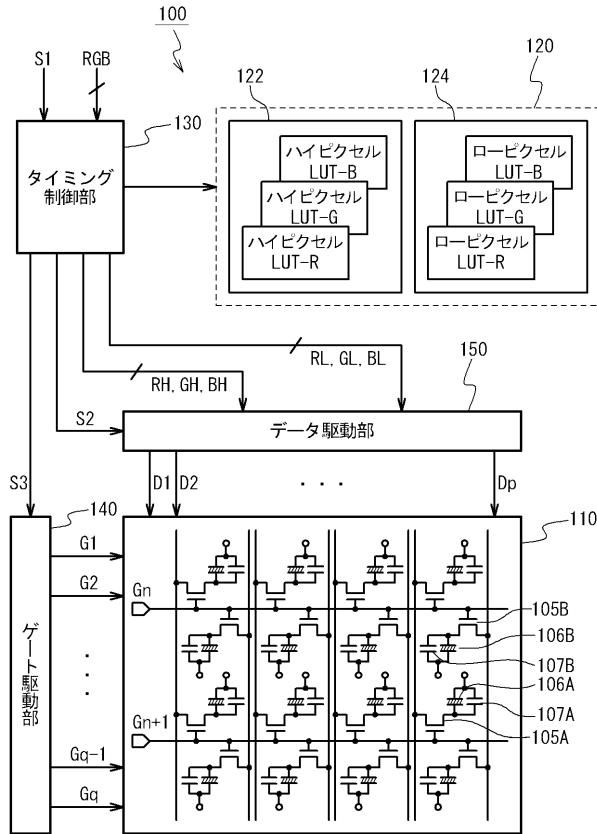
【図1】



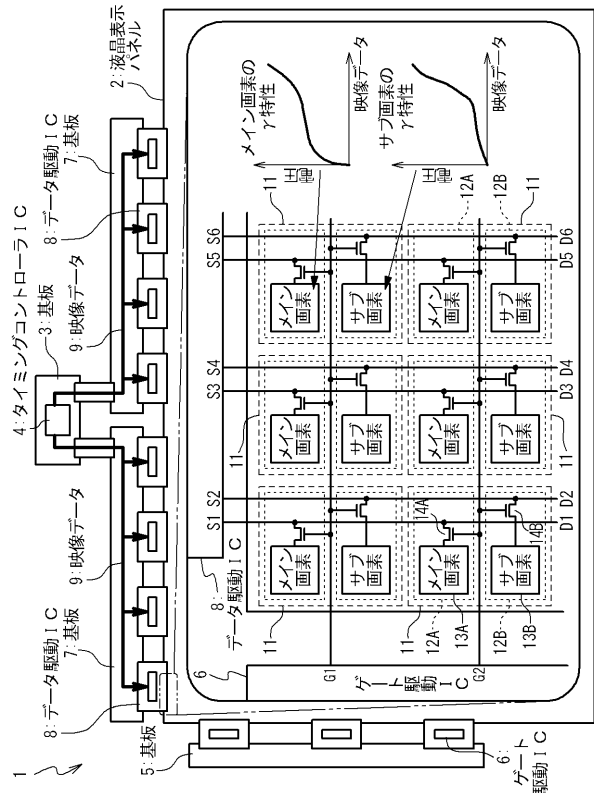
【図2】



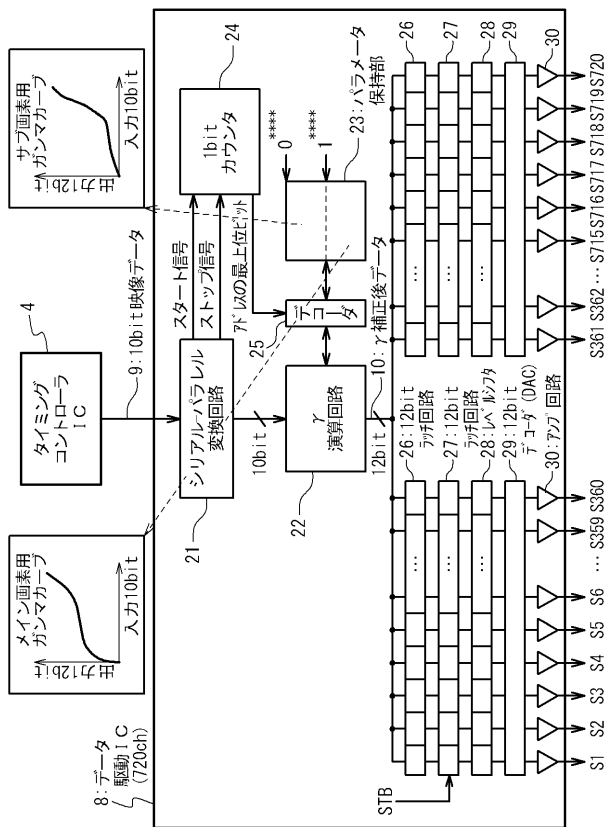
【図 3】



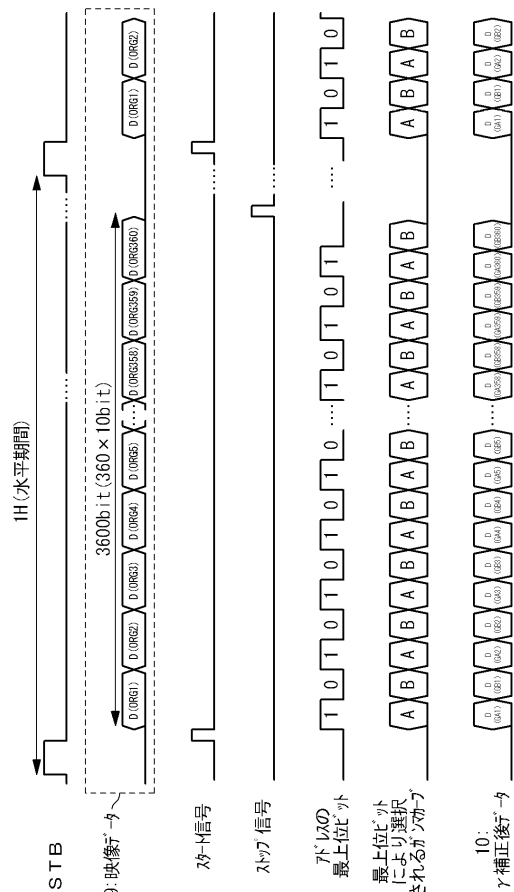
【図 4】



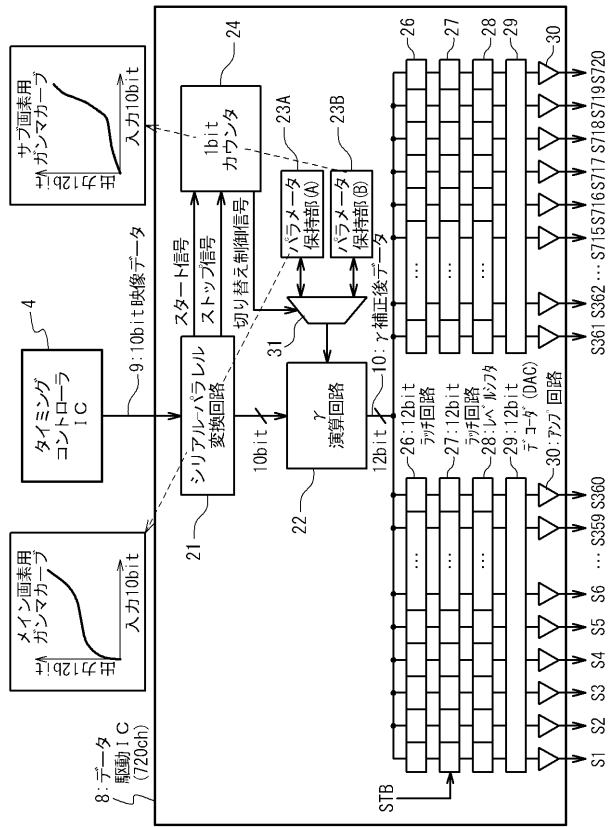
【図 5】



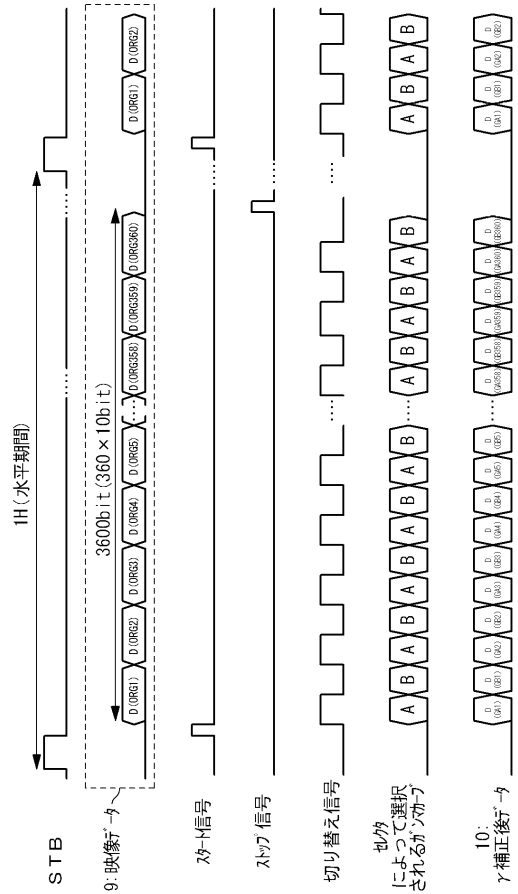
【図 6】



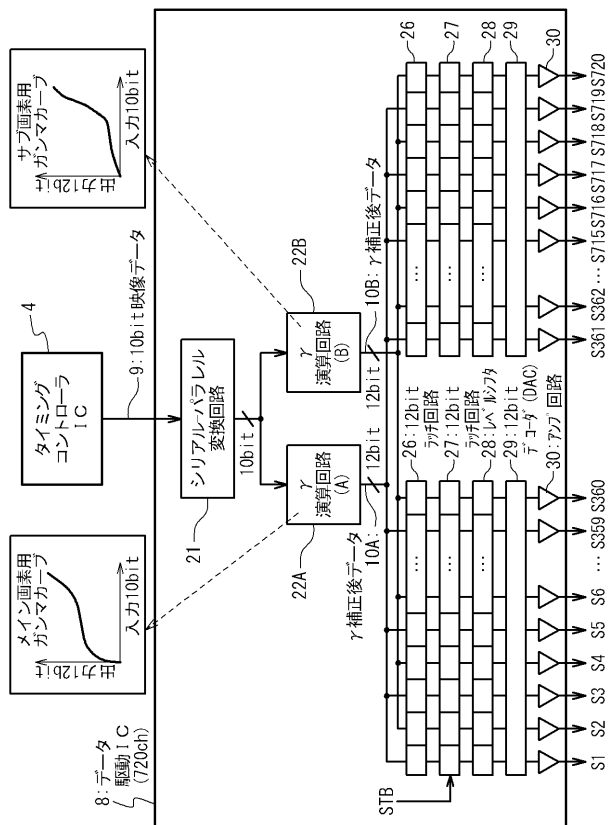
【図 7】



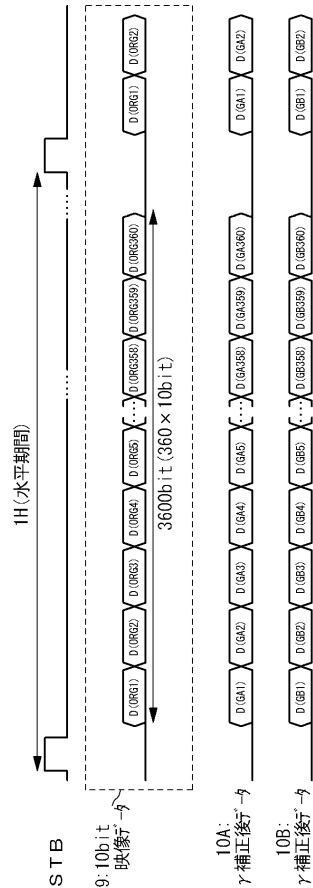
【图 8】



【图 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 0 5
G 0 2 F 1/133 5 7 5

(56)参考文献 特開 2 0 0 7 - 2 2 6 1 9 6 (J P, A)
特開 2 0 0 7 - 1 3 9 8 4 2 (J P, A)
特開 2 0 0 7 - 2 2 6 2 4 2 (J P, A)
Sang Soo KIM, “66.1: Invited Paper: The World's Largest (82-in.) TFT-LCD”, SID Symposium Digest of Technical Papers, 2 0 0 5 年 5 月 2 4 日, Volume 36, Issue 1, pp. 1842-1847

(58)調査した分野(Int.Cl., D B 名)
G 0 9 G 3 / 2 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置，数据驱动IC和液晶显示面板的驱动方法		
公开(公告)号	JP5289757B2	公开(公告)日	2013-09-11
申请号	JP2007322401	申请日	2007-12-13
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	梅田謙吾		
发明人	梅田 謙吾		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2300/0443 G09G2310/027 G09G2310/08 G09G2320/0276 G09G2320/028		
FI分类号	G09G3/36 G09G3/20.623.Q G09G3/20.641.Q G09G3/20.631.V G09G3/20.624.B G02F1/133.505 G02F1/133.575 G09G3/20.623.B		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA54 2H093/NA57 2H093/NA63 2H093/NA64 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC26 2H093/NC27 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC65 2H093/ND06 2H093/ND13 2H093/ND17 2H093/ND31 2H093/ND48 2H093/ND49 2H093/ND58 2H193/ZA04 2H193/ZA05 2H193/ZA08 2H193/ZA19 2H193/ZC25 2H193/ZD23 2H193/ZD24 2H193/ZF13 2H193/ZF17 2H193/ZF20 2H193/ZF21 2H193/ZF22 2H193/ZF31 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZF36 2H193/ZH40 5C006/AC11 5C006/AC21 5C006/AF11 5C006/AF25 5C006/AF43 5C006/AF46 5C006/BB16 5C006/BC06 5C006/BC12 5C006/FA15 5C006/FA41 5C006/FA55 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD22 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	工藤稔		
审查员(译)	小川博		
其他公开文献	JP2009145593A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少用于驱动液晶显示板的数据驱动器IC的数据传输量，其中一个像素由多个子像素组成。解决方案：液晶显示面板的每个像素包括主像素和子像素，其中主像素连接到奇数的数据线，子像素连接到偶数的数据线。属于同一像素的主像素和子像素连接到同一栅极线。数据驱动器IC8包括：伽马校正电路22至25，其通过根据第一伽马曲线对外部接收的图像数据9执行伽马校正来产生第一伽马校正的数据，并通过对图像执行伽马校正来产生第二伽马校正的数据。数据9根据第二伽马曲线;驱动电路26至30，其响应于第一伽马校正数据驱动奇数数据线，并响应于第二伽马校正数据驱动偶数数据线。 Z

【 图 1 】

