

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5230930号
(P5230930)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

G02F 1/133 570

G02F 1/133 550

G09G 3/20 624A

G09G 3/20 624D

G09G 3/20 621B

請求項の数 17 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2006-339609 (P2006-339609)
 (22) 出願日 平成18年12月18日(2006.12.18)
 (65) 公開番号 特開2008-145993 (P2008-145993A)
 (43) 公開日 平成20年6月26日(2008.6.26)
 審査請求日 平成21年12月11日(2009.12.11)
 (31) 優先権主張番号 10-2006-0125722
 (32) 優先日 平成18年12月11日(2006.12.11)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City,
 Gyeonggi-Do, Korea
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 横山 良一
 東京都港区六本木3-1-1 六本木ティ
 ーキューブ 日本サムスン株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、
 前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、
 各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子に接続された
 液晶容量と、

前記ゲート線と並んで配置された補助容量線と、
 各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子と前記補助容
 量線間に接続された補助容量と、

少なくとも第1、第2、第3及び第4の電圧(ただし、第1の電圧>第2の電圧>第3
 の電圧>第4の電圧)が設定され、前記第3の電圧、前記第1の電圧、第2の電圧、第4
 の電圧の順に繰り返し前記補助容量線に供給することで前記液晶容量と前記補助容量とを
 容量結合させた状態で駆動し、前記補助容量線に供給する前記第3の電圧を前記第1の電
 圧に切り替える前、および前記第2の電圧を前記第4の電圧に切り替える前に、前記ゲ
 ト線に駆動電圧を印加して前記各薄膜トランジスタを導通させる駆動回路と、

を具備することを特徴とする液晶表示装置。

【請求項 2】

前記第1及び第2の電圧は正極性を有し、前記第3及び第4の電圧は負極性を有するこ
 とを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

10

20

所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、
前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、
各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子に接続された液晶容量と、

前記ゲート線に対して一側に配置された第1の補助容量線と、前記ゲート線に対して他側に配置された第2の補助容量線を含む補助容量線と、

前記複数の画素のうちの第1群の画素中に設けられ、当該画素にある薄膜トランジスタの一端子と前記第1の補助容量線間に接続された複数の第1の補助容量と、

前記複数の画素のうちの第2群の画素中に設けられ、当該画素にある薄膜トランジスタの一端子と前記第2の補助容量線間に接続された複数の第2の補助容量と、

少なくとも第1、第2、第3及び第4の電圧（ただし、第1の電圧>第2の電圧>第3の電圧>第4の電圧）が設定され、前記第3の電圧、前記第1の電圧、第2の電圧、第4の電圧の順に繰り返し前記第1の補助容量線に供給し、前記第2の電圧、前記第4の電圧、第3の電圧、第1の電圧の順に繰り返し前記第2の補助容量線に供給することで、前記第1群の画素中の液晶容量と前記第1の補助容量とを容量結合させた状態で駆動すると共に前記第2群の画素中の液晶容量と第2の補助容量とを容量結合させた状態で駆動し、前記第1の補助容量線または前記第2の補助容量線に供給する前記第3の電圧を前記第1の電圧に切り替える前、および前記第2の電圧を前記第4の電圧に切り替える前に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させる駆動回路と、

を具備することを特徴とする液晶表示装置。

【請求項4】

前記駆動回路は、

前記少なくとも第1、第2、第3及び第4の電圧を発生する電圧発生回路と、

前記少なくとも第1、第2、第3及び第4の電圧を前記第1の補助容量線に順に供給する第1のスイッチ群と、

前記少なくとも第1、第2、第3及び第4の電圧を前記第2の補助容量線に順に供給する第2のスイッチ群と、

を具備することを特徴とする請求項3記載の液晶表示装置。

【請求項5】

前記駆動回路は、

互いに異なる周期の複数の入力信号を所定時間保持して出力するゲートシフトレジスタと、

前記ゲートシフトレジスタから出力された信号に基づいて、前記第1のスイッチ群及び第2のスイッチ群の各スイッチを切り替えるスイッチ切替タイミングジェネレータと、

を有することを特徴とする請求項4記載の液晶表示装置。

【請求項6】

前記ゲートシフトレジスタは、前記互いに異なる周期の複数の入力信号を所定時間保持して出力するフリップフロップ回路を有することを特徴とする請求項5記載の液晶表示装置。

【請求項7】

前記フリップフロップ回路は、各補助容量線に対応して複数設けられていることを特徴とする請求項6記載の液晶表示装置。

【請求項8】

前記各補助容量線に対応した前記複数のフリップフロップ回路は、互いに直列接続されて、前記複数のフリップフロップ回路間で一方向にデータが転送されることを特徴とする請求項7記載の液晶表示装置。

【請求項9】

前記スイッチ切替タイミングジェネレータは、前記フリップフロップ回路から出力された信号に応じて、前記第1のスイッチ群及び第2のスイッチ群のスイッチの切替えを実行することを特徴とする請求項6記載の液晶表示装置。

【請求項 10】

前記フリップフロップ回路は、各補助容量線毎に複数設けられ、前記補助容量線毎の複数のフリップフロップ回路からの出力信号により、前記スイッチ切替タイミングジェネレータが前記第1のスイッチ群及び第2のスイッチ群のスイッチの切替えを実行することを特徴とする請求項9記載の液晶表示装置。

【請求項 11】

前記補助容量線毎に設けられたフリップフロップ回路は、少なくとも2個以上からなることを特徴とする請求項10記載の液晶表示装置。

【請求項 12】

前記ゲートシフトレジスタに入力される信号の周期は、垂直同期開始信号の周期のN倍（ただし、Nは1以上の自然数）であることを特徴とする請求項5記載の液晶表示装置。

10

【請求項 13】

前記ゲートシフトレジスタから出力される信号の周期は、垂直同期開始信号の周期のN倍（ただし、Nは1以上の自然数）であることを特徴とする請求項5記載の液晶表示装置。

【請求項 14】

前記スイッチ切替タイミングジェネレータは、垂直同期開始信号に同期して動作することを特徴とする請求項5記載の液晶表示装置。

【請求項 15】

前記スイッチ切替タイミングジェネレータは、前記ゲートシフトレジスタから出力される信号が切り替えられるまでは、第1のスイッチ群及び第2のスイッチ群のスイッチに与えるスイッチ選択情報を出力し続けることを特徴とする請求項5記載の液晶表示装置。

20

【請求項 16】

前記第1のスイッチ群及び第2のスイッチ群のスイッチは、前記スイッチ切替タイミングジェネレータによって選択されている場合に導通することを特徴とする請求項5記載の液晶表示装置。

【請求項 17】

前記補助容量線は前記隣接する画素の間に配置されることを特徴とする請求項3記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0002】

各画素に設けられた薄膜トランジスタ（TFT）を駆動させて各画素中の液晶の起立状態（配向状態）を制御する液晶表示装置が提案されており、その一例が下記特許文献1に開示されている。

【0003】

40

このような液晶表示装置は、複数の画素を備えており、複数の画素は、所定方向に沿って配列されている。各画素は薄膜トランジスタを有しており、薄膜トランジスタは、ゲート電極にゲート線（ゲート電極に信号を伝達する信号ライン）から伝達された駆動信号が供給されて駆動する。ゲート線は、上記の所定方向に配列された複数の画素に亘って架け渡されている。また、各画素中には、液晶容量が設けられており、液晶容量の一端子は、薄膜トランジスタの一端子に接続されている。また、各画素には、補助容量線（補助容量素子に信号を伝達する信号ライン）がゲート線と平行に複数の画素に亘って架け渡されている。補助容量線と各薄膜トランジスタの一端子との間には補助容量素子がそれぞれ接続されている。補助容量線には駆動回路が接続されており、この駆動回路は、補助容量線に電圧を印加する。駆動回路によって補助容量線に電圧が印加されると、補助容量素子が蓄

50

電してこの補助容量素子と液晶容量とが容量結合し、この結果、各画素中の液晶の起立状態（配向状態）が制御（維持）される仕組みである。

【 0 0 0 4 】

しかしながら、このような液晶表示装置では、一般に、補助容量線に印加される電圧として、液晶が所望の起立位置（配向位置）で静止状態となるための 2 値の電圧が設定されており、これらの 2 値の電圧を利用して液晶の起立状態（配向状態）が所望の状態となるように補助容量線に電圧が印加された場合には、この液晶が配向する力（トルク）が十分ではない。このため、液晶の起立状態（配向状態）を所望の起立状態に移行させる速度の向上が難しい（液晶の応答速度を向上させることが難しい）。

【特許文献 1】特開平 7 - 2 0 4 9 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

本発明は、上記事実を考慮し、液晶の起立状態を所望の状態により一層早く移行させることができる液晶表示装置を得ることを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

請求項 1 に記載の発明は、所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端に接続された液晶容量と、前記ゲート線と並んで配置された補助容量線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記補助容量線間に接続された補助容量と、少なくとも第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 > 第 2 の電圧 > 第 3 の電圧 > 第 4 の電圧）が設定され、前記第 3 の電圧、前記第 1 の電圧、第 2 の電圧、第 4 の電圧の順に繰り返し前記補助容量線に供給することで前記液晶容量と前記補助容量とを容量結合させた状態で駆動し、前記補助容量線に供給する前記第 3 の電圧を前記第 1 の電圧に切り替える前、および前記第 2 の電圧を前記第 4 の電圧に切り替える前に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させる駆動回路と、を具備することを特徴とする。

【 0 0 1 1 】

また、請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記第 1 及び第 2 の電圧は正極性を有し、前記第 3 及び第 4 の電圧は負電極を有することを特徴とする。

【 0 0 1 4 】

また、請求項 3 に記載の発明は、所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端に接続された液晶容量と、前記ゲート線に対して一側に配置された第 1 の補助容量線と、前記ゲート線に対して他側に配置された第 2 の補助容量線とを含む補助容量線と、前記複数の画素のうちの第 1 群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第 1 の補助容量線間に接続された複数の第 1 の補助容量と、前記複数の画素のうちの第 2 群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第 2 の補助容量線間に接続された複数の第 2 の補助容量と、少なくとも第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 > 第 2 の電圧 > 第 3 の電圧 > 第 4 の電圧）が設定され、前記第 3 の電圧、前記第 1 の電圧、第 2 の電圧、第 4 の電圧の順に繰り返し前記第 1 の補助容量線に供給し、前記第 2 の電圧、前記第 4 の電圧、第 3 の電圧、第 1 の電圧の順に繰り返し前記第 2 の補助容量線に供給することで、前記第 1 群の画素中の液晶容量と前記第 1 の補助容量とを容量結合させた状態で駆動すると共に前記第 2 群の画素中の液晶容量と第 2 の補助容量とを容量結合させた状態で駆動し、前記第 1 の補助容量線または前記第 2 の

補助容量線に供給する前記第 3 の電圧を前記第 1 の電圧に切り替える前、および前記第 2 の電圧を前記第 4 の電圧に切り替える前に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させる駆動回路と、を具備することを特徴とする。

【 0 0 1 5 】

また、請求項 4 に記載の発明は、請求項 3 記載の発明において、前記駆動回路は、前記少なくとも第 1、第 2、第 3 及び第 4 の電圧を発生する電圧発生回路と、前記少なくとも第 1、第 2、第 3 及び第 4 の電圧を前記第 1 の補助容量線に順に供給する第 1 のスイッチ群と、前記少なくとも第 1、第 2、第 3 及び第 4 の電圧を前記第 2 の補助容量線に順に供給する第 2 のスイッチ群と、を具備することを特徴とする。

10

【 0 0 1 6 】

また、請求項 5 に記載の発明は、請求項 4 記載の発明において、前記駆動回路は、互いに異なる周期の複数の入力信号を所定時間保持して出力するゲートシフトレジスタと、前記ゲートシフトレジスタから出力された信号に基づいて、前記第 1 のスイッチ群及び第 2 のスイッチ群の各スイッチを切り替えるスイッチ切替タイミングジェネレータと、を有することを特徴とする。

【 0 0 1 7 】

また、請求項 6 に記載の発明は、請求項 5 記載の発明において、前記ゲートシフトレジスタは、前記互いに異なる周期の複数の入力信号を所定時間保持して出力するフリップフロップ回路を有することを特徴とする。

20

【 0 0 1 8 】

また、請求項 7 に記載の発明は、請求項 6 記載の発明において、前記フリップフロップ回路は、各補助容量線に対応して複数設けられていることを特徴とする。

【 0 0 1 9 】

また、請求項 8 に記載の発明は、請求項 7 記載の発明において、前記各補助容量線に対応した前記複数のフリップフロップ回路は、互いに直列接続されて、前記複数のフリップフロップ回路間で一方向にデータが転送されることを特徴とする。

30

【 0 0 2 0 】

また、請求項 9 に記載の発明は、請求項 6 記載の発明において、前記スイッチ切替タイミングジェネレータは、前記フリップフロップ回路から出力された信号に応じて、前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチの切替えを実行することを特徴とする。

【 0 0 2 1 】

また、請求項 1 0 に記載の発明は、請求項 9 記載の発明において、前記フリップフロップ回路は、各補助容量線毎に複数設けられ、前記補助容量線毎の複数のフリップフロップ回路からの出力信号により、前記スイッチ切替タイミングジェネレータが前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチの切替えを実行することを特徴とする。

40

【 0 0 2 2 】

また、請求項 1 1 に記載の発明は、請求項 1 0 記載の発明において、前記補助容量線毎に設けられたフリップフロップ回路は、少なくとも 2 個以上からなることを特徴とする。

【 0 0 2 3 】

また、請求項 1 2 に記載の発明は、請求項 5 記載の発明において、前記ゲートシフトレ

50

ジスタに入力される信号の周期は、垂直同期開始信号の周期の N 倍（ただし、 N は1以上の自然数）であることを特徴とする。

【0024】

また、請求項13に記載の発明は、請求項5記載の発明において、前記ゲートシフトレジスタから出力される信号の周期は、垂直同期開始信号の周期の N 倍（ただし、 N は1以上の自然数）であることを特徴とする。

【0025】

また、請求項14に記載の発明は、請求項5記載の発明において、前記スイッチ切替タイミングジェネレータは、垂直同期開始信号に同期して動作することを特徴とする。

10

また、請求項15に記載の発明は、請求項5記載の発明において、前記スイッチ切替タイミングジェネレータは、前記ゲートシフトレジスタから出力される信号が切り替えられるまでは、第1のスイッチ群及び第2のスイッチ群のスイッチに与えるスイッチ選択情報を出力し続けることを特徴とする。

また、請求項16に記載の発明は、請求項5記載の発明において、前記第1のスイッチ群及び第2のスイッチ群のスイッチは、前記スイッチ切替タイミングジェネレータによって選択されている場合に導通することを特徴とする。

また、請求項17に記載の発明は、請求項3記載の発明において、前記補助容量線は前記隣接する画素の間に配置されることを特徴とする。

20

【発明の効果】

【0026】

液晶の所望の起立状態に合わせた電圧値の電圧を補助容量線に供給させることで、液晶の起立状態を所望の状態により一層早く移行させることができる。

【発明を実施するための最良の形態】

【0029】

この液晶表示装置10は、表示パネル11を備えている。この表示パネル11は、基板11Aを有しており、表示パネル11は、この基板11A上に複数の画素12を有している。各画素12は、矩形状に形成されている。これらの画素12は、長手方向を列方向としてこの列方向に沿って配列されると共に、長手直交方向を行方向としてこの行方向に沿って配列されており、これらの画素12は、全体としてマトリクス状に配列されている。

30

【0030】

これらの複数の画素12は、各々が薄膜トランジスタ14を有している。また、各々の画素12中には、液晶容量15が設けられており、各薄膜トランジスタ14の一端子には、液晶容量15の一端子が接続されている。また、各画素12は、図示しない画素電極を有している。

【0031】

以上説明したような画素12には、第1群に属するものと、第2群に属するものがあり、以下、第1群に属する画素12と第2群に属する画素12とを区別する場合には、第1群に属する画素12を第1群の画素12A、第2群に属する画素12を第2群の画素12Bということとする。これらの第1群の画素12Aと、第2群の画素12Bとは、行方向並びに列方向において、交互に配列されている。

40

【0032】

また、複数の画素12の中心部には、ゲート線16が配置されている。ゲート線16は、複数の画素12の中心軸を貫通している（画素12の行方向に沿って形成されている）。ゲート線16には、複数の薄膜トランジスタ14のゲート18が接続されており、ゲート線16は、複数の画素12の各薄膜トランジスタ14のゲート18に駆動信号を供給する。これにより、各薄膜トランジスタ14は、対応する画素12を駆動する。

50

【 0 0 3 3 】

また、表示パネル 1 1 は、第 1 の補助容量線 2 0 を有している。第 1 の補助容量線 2 0 は、ゲート線 1 6 と平行に並んで（画素 1 2 の行方向に沿って）複数の画素 1 2 の列方向一端（複数の画素 1 2 の一端）に沿って配置（形成）されている（第 1 の補助容量線 2 0 は、ゲート線 1 6 に対して一側に配置されている）。ここで、第 1 の補助容量線 2 0 についての「平行」とは、第 1 の補助容量線 2 0 の中心線が画素 1 2 の中心軸に沿った状態で第 1 の補助容量線 2 0 が形成されていることをいい、例えば、第 1 の補助容量線 2 0 がその途中でジグザグ状に折れ曲がっている場合も含まれる。

【 0 0 3 4 】

また、表示パネル 1 1 は、第 2 の補助容量線 2 2 を有している。第 2 の補助容量線 2 2 は、ゲート線 1 6 と平行に並んで（画素 1 2 の行方向に沿って）、第 1 の補助容量線 2 0 とは反対側に、複数の画素 1 2 の列方向他端（複数の画素 1 2 の他端）に沿って配置（形成）されている（第 2 の補助容量線 2 2 は、ゲート線 1 6 に対して他側に配置されている）。ここで、第 2 の補助容量線 2 2 についての「平行」とは、第 2 の補助容量線 2 2 の中心線が画素 1 2 の中心軸に沿った状態で第 2 の補助容量線 2 2 が形成されていることをいい、例えば、第 2 の補助容量線 2 2 がその途中でジグザグ状に折れ曲がっている場合も含まれる。

【 0 0 3 5 】

このように、画素 1 2 の透過部には、第 1 の補助容量線 2 0 及び第 2 の補助容量線 2 2 が架け渡されることがない。このため、画素 1 2 の開口率を向上できる。

【 0 0 3 6 】

これらの複数の画素 1 2 のうちの第 1 群の画素 1 2 A 中には、複数の補助容量 2 4 を構成する複数の第 1 の補助容量 2 4 A が設けられている。これら複数の第 1 の補助容量 2 4 A は、第 1 群の画素 1 2 A にある薄膜トランジスタ 1 4 の一端子と第 1 の補助容量線 2 0 間に接続されている。

【 0 0 3 7 】

一方、複数の画素 1 2 のうちの第 2 群の画素 1 2 B 中には、複数の第 1 の補助容量 2 4 A と共に複数の補助容量 2 4 を構成する複数の第 2 の補助容量 2 4 B が設けられている。これら複数の第 2 の補助容量 2 4 B は、第 2 群の画素 1 2 B にある薄膜トランジスタ 1 4 の一端子と第 2 の補助容量線 2 2 間に接続されている。

【 0 0 3 8 】

複数の第 1 の補助容量 2 4 A と複数の第 2 の補助容量 2 4 B とは、それぞれ、画素 1 2 の行方向並びに列方向（所定方向）に沿って交互に配置されている。これらの複数の第 1 の補助容量 2 4 A と、複数の第 2 の補助容量 2 4 B とは、ほぼ同一のキャパシタンスを有している。

【 0 0 3 9 】

第 1 の補助容量 2 4 A は、第 1 群の画素 1 2 A と隣接する第 2 群の画素 1 2 B との境界部 2 6 に沿って形成されている。一方、第 2 の補助容量 2 4 B は、第 2 群の画素 1 2 B と隣接する第 1 群の画素 1 2 A との境界部 2 6 に沿って形成されている。

【 0 0 4 0 】

さらに、複数の画素 1 2 上には、図 5 に示されるカラーフィルタ 2 8 が配置されており、カラーフィルタ 2 8 は、それぞれの画素 1 2 に対応している。このカラーフィルタ 2 8 の隣接する境界部 2 6 に対応して、複数の遮光部 3 0 が形成されている。

【 0 0 4 1 】

図 5 に示されるように、最下層はガラス 4 8 となっており、その上には、ゲート絶縁膜 5 0 が形成されている。ゲート絶縁膜 5 0 の下部では、図 5 の左右方向中心線（赤色のカラーフィルタ 2 8 と青色のカラーフィルタ 2 8 との左右方向境界位置）から右側に離間して半導体層 5 6 が形成されている。

【 0 0 4 2 】

このゲート絶縁膜 5 0 の上には、層間絶縁膜 5 2 が形成されている。層間絶縁膜 5 2 の

10

20

30

40

50

下部では、図 5 の左右方向中心線から互いに離間した一对のゲート線層 5 8 が形成されている。

このゲート線層 5 8 と上記の半導体層 5 6 との間には、前述の補助容量 2 4 (第 1 群の画素 1 2 A においては第 1 の補助容量 2 4 A、第 2 群の画素 1 2 B においては第 2 の補助容量 2 4 B) が形成されている。

【 0 0 4 3 】

また、層間絶縁膜 5 2 の上には、保護膜 5 4 が形成されている。保護膜 5 4 の下部では、図 5 の左右方向中心線の位置に信号線層 6 0 が形成されている。この信号線層 6 0 の左右方向両端部は、一对のゲート線層 5 8 が互いに対向している側の端部の上方に位置している。

10

【 0 0 4 4 】

この保護膜 5 4 の上方には、図 5 の左右方向中心線から互いに離間した一对の表示電極層 6 2 が形成されている。この一对の表示電極層 6 2 が互いに対向している側の端部は、信号線層 6 0 の左右方向両端部の上方に位置している。

【 0 0 4 5 】

図 4 に示されるように、複数の第 1 の補助容量 2 4 A 及び複数の第 2 の補助容量 2 4 B とは、それぞれが、対応する上記複数の遮光部 3 0 の下に形成されている。このように、画素 1 2 の透過部ではない遮光部 3 0 に複数の第 1 の補助容量 2 4 A 及び複数の第 2 の補助容量 2 4 B とが形成されているため、画素 1 2 の開口率をより一層向上できる。

【 0 0 4 6 】

20

ここで、第 1 の補助容量 2 4 A 及び第 2 の補助容量 2 4 B は、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との列方向境界位置に設けられている遮光部 3 0 (図 4 においては、符号を 3 0 A と示している) に形成してもよい。また、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との行方向境界位置に設けられている遮光部 3 0 (図 4 においては、符号を 3 0 B、3 0 C、3 0 D、3 0 E と示している) に形成してもよい。またさらに、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との行方向境界位置に設けられている遮光部 3 0 (図 4 における遮光部 3 0 A) だけでなく、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との列方向境界位置に設けられている遮光部 3 0 (図 4 における遮光部 3 0 B、3 0 C、3 0 D、3 0 E) の少なくとも 1 つと組み合わせた領域で一体に形成してもよい。

【 0 0 4 7 】

30

また、表示パネル 1 1 は、前述の基板 1 1 A と対向して配置された図示しない対向基板を有している。この対向基板には、前述の液晶容量 1 5 の他端子に接続された共通電極 3 1 が設けられている。

【 0 0 4 8 】

このような液晶表示装置 1 0 は、駆動回路 3 2 を有している。駆動回路 3 2 は、電圧発生回路 3 4 と、第 1 のスイッチ群 3 6 と、第 2 のスイッチ群 3 8 と、を有している。

【 0 0 4 9 】

この駆動回路 3 2 は、少なくとも 4 値の電圧が設定されており、電圧発生回路 3 4 は、少なくとも 4 値の電圧を発生する。本実施の形態では、電圧発生回路 3 4 は、第 1、第 2、第 3 及び第 4 の電圧 V 1、V 2、V 3、V 4 (4 値の電圧) が設定されており、電圧発生回路 3 4 は、これらの第 1、第 2、第 3 及び第 4 の電圧 V 1、V 2、V 3、V 4 を発生する。

40

【 0 0 5 0 】

第 1 のスイッチ群 3 6 は、第 1 の補助容量線 2 0 に、少なくとも 4 値の電圧 (本実施の形態では、4 値の電圧 V 1、V 2、V 3、V 4) の中から 1 つの電圧値を選択してこの選択された電圧値の電圧を供給する。本実施の形態では、第 1 のスイッチ群 3 6 は、第 1、第 2、第 3 及び第 4 の電圧 V 1、V 2、V 3、V 4 を選択して第 1 の補助容量線 2 0 に順に供給する。第 1 のスイッチ群 3 6 が第 1、第 2、第 3 及び第 4 の電圧 V 1、V 2、V 3、V 4 を選択して第 1 の補助容量線 2 0 に供給することで、駆動回路 3 2 は、第 1 群の画素 1 2 A 中の液晶容量 1 5 と第 1 の補助容量 2 4 A とを容量結合させた状態で駆動する。

50

このため、液晶の所望の起立状態に合わせた電圧値の電圧を第１の補助容量線２０に供給させることで、液晶の起立状態を所望の状態により一層早く移行させることができる。

【００５１】

第２のスイッチ群３８は、第２の補助容量線２２に、少なくとも４値の電圧（本実施の形態では、４値の電圧Ｖ１、Ｖ２、Ｖ３、Ｖ４）の中から１つの電圧値を選択してこの選択された電圧値の電圧を供給する。本実施の形態では、第２のスイッチ群３８は、第１、第２、第３及び第４の電圧Ｖ１、Ｖ２、Ｖ３、Ｖ４を選択して第２の補助容量線２２に順に供給する。第２のスイッチ群３８が第１、第２、第３及び第４の電圧Ｖ１、Ｖ２、Ｖ３、Ｖ４を選択して第２の補助容量線２２に供給することで、駆動回路３２は、第２群の画素１２Ｂ中の液晶容量１５と第２の補助容量２４Ｂとを容量結合させた状態で駆動する。このため、液晶の所望の起立状態に合わせた電圧値の電圧を第２の補助容量線２２に供給させることで、液晶の起立状態を所望の状態により一層早く移行させることができる。

10

【００５２】

第１のスイッチ群３６及び第２のスイッチ群３８には、電圧発生回路３４、第１のスイッチ群３６、及び第２のスイッチ群３８と共に駆動回路３２を構成するスイッチ切替タイミングジェネレータとしてのＳＣタイミングジェネレータ４０が接続されており、このＳＣタイミングジェネレータ４０によって、第１のスイッチ群３６及び第２のスイッチ群３８のスイッチ動作タイミングが制御される。このＳＣタイミングジェネレータ４０は、図６及び図７に示される垂直同期開始信号ＳＴＶに同期して動作する。

【００５３】

20

このＳＣタイミングジェネレータ４０には、電圧発生回路３４、第１のスイッチ群３６、第２のスイッチ群３８、及びＳＣタイミングジェネレータ４０と共に駆動回路３２を構成するゲートシフトレジスタ４２が接続されている。このゲートシフトレジスタ４２は、ビデオ同期信号ＣＫＶ、ＳＴＡ信号、及びＳＴＢ信号に基づいて動作し、ゲートシフトレジスタ４２は、ＳＣタイミングジェネレータ４０によって選択されるゲート線１６に関する命令信号をＳＣタイミングジェネレータ４０に出力する。

【００５４】

また、ゲート線１６には、電圧発生回路３４、第１のスイッチ群３６、第２のスイッチ群３８、ＳＣタイミングジェネレータ４０、及びゲートシフトレジスタ４２と共に駆動回路３２を構成するゲートドライバ４４が接続されており、ゲートドライバ４４は、垂直同期開始信号ＳＴＶ及びビデオ同期信号ＣＫＶに基づいて、駆動させる行の画素１２に対応したゲート線１６にゲート駆動信号を供給（出力）する。

30

【００５５】

以上説明したような電圧発生回路３４、第１のスイッチ群３６、第２のスイッチ群３８、ＳＣタイミングジェネレータ４０、ゲートシフトレジスタ４２、及びゲートドライバ４４は、これらの電圧発生回路３４、第１のスイッチ群３６、第２のスイッチ群３８、ＳＣタイミングジェネレータ４０、ゲートシフトレジスタ４２、及びゲートドライバ４４と共に駆動回路３２を構成するタイミングコントローラ４６に接続されており、このタイミングコントローラ４６は、垂直同期開始信号ＳＴＶ、ビデオ同期信号ＣＫＶ、ＳＴＡ信号、及びＳＴＢ信号を出力し、電圧発生回路３４、第１のスイッチ群３６、第２のスイッチ群３８、ＳＣタイミングジェネレータ４０、ゲートシフトレジスタ４２、及びゲートドライバ４４の各動作を制御する。

40

【００５６】

さらに詳細に言えば、図６及び図７に示されるように、タイミングコントローラ４６は、ビデオ同期信号ＣＫＶ、ＳＴＡ信号、及びＳＴＢ信号をゲートシフトレジスタ４２へ出力する。ゲートシフトレジスタ４２に入力されるＳＴＡ信号及びＳＴＢ信号の周期は、垂直同期開始信号ＳＴＶの周期のＮ倍（ただし、Ｎは１以上の自然数）である。そして、ゲートシフトレジスタ４２から出力されるＳＲＡ信号（ＳＲＡ１信号、ＳＲＡ２信号）及びＳＲＢ信号（ＳＲＢ１信号、ＳＲＢ２信号）の周期は、垂直同期開始信号ＳＴＶの周期のＮ倍（ただし、Ｎは１以上の自然数）である。ゲートシフトレジスタ４２では、ＳＴＡ信

50

号線上とS T B信号線上とのそれぞれにおいて、各補助容量線（第1の補助容量線20又は第2の補助容量線22）に対応して1個のインバータ64A、64B、72A、72Bが設けられている。インバータ64A、64Bは、第1の補助容量線20に対応しており、インバータ72A、72Bは、第2の補助容量線22に対応している。

【0057】

さらに、このインバータ64A、64Bの後段には、インバータ66Aとインバータ68Aとから成るフリップフロップ回路70Aと、インバータ66Bとインバータ68Bとから成るフリップフロップ回路70Bが設けられており、インバータ64A、64Bからの出力信号がそれぞれフリップフロップ回路70A、70Bに入力される。

【0058】

フリップフロップ回路70A、70Bは、補助容量線20に対応して設けられている。フリップフロップ回路70A、70Bは、互いに異なる周期の複数の入力信号を所定時間保持して出力する。各補助容量線20毎に設けられたフリップフロップ回路70A、70Bは、少なくとも2個以上（本実施の形態では、2個）から成り、本実施の形態では、フリップフロップ回路70Aとフリップフロップ回路70Bとの2個から成る。フリップフロップ回路70Aは、出力信号としてSRA1信号を出力すると共に、フリップフロップ回路70Bは、出力信号としてSRB1信号を出力する。

【0059】

フリップフロップ回路70A、70Bのインバータ66A、66Bの出力端子は、それぞれ次の段の補助容量線（ここでは、第2の補助容量線22）に対応した1個のインバータ72A、72Bの入力端子に接続されており、インバータ66A、66Bから出力された信号は、それぞれインバータ72A、72Bに入力される。

【0060】

また、フリップフロップ回路70Aのインバータ66Aからの出力信号であるSRA1信号、及びフリップフロップ回路70Bのインバータ66Bからの出力信号であるSRB1信号は、SCタイミングジェネレータ40にも入力される。SCタイミングジェネレータ40は、前述の垂直同期開始信号STVに同期して動作する。

【0061】

SCタイミングジェネレータ40は、第1のスイッチ群36の各スイッチ36A、36B、36C、36Dに対応した信号線を有しており、これらの各スイッチ36A、36B、36C、36Dに対応した信号線上には、NANDゲート74A、74B、74C、74D、インバータ76A、76B、76C、76D、インバータ78A、78B、78C、78Dが設けられている。SCタイミングジェネレータ40は、フリップフロップ回路70A、70Bからそれぞれ出力されたSRA1信号、SRB1信号に応じて、第1のスイッチ群36のスイッチ36A、36B、36C、36Dの切替えを実行する。

【0062】

フリップフロップ回路70Aのインバータ66Aの出力端子は、スイッチ36Aに対応したNANDゲート74Aの一方の入力端子に接続されると共にスイッチ36Cに対応したNANDゲート74Cの一方の端子に接続されており、フリップフロップ回路70Bのインバータ68Aの出力端子は、スイッチ36Bに対応したNANDゲート74Bの一方の入力端子に接続されると共にスイッチ36Dに対応したNANDゲート74Dの一方の入力端子に接続されている。

【0063】

また、フリップフロップ回路70Bのインバータ66Bの出力端子は、スイッチ36Aに対応したNANDゲート74Aの他方の入力端子に接続されると共にスイッチ36Bに対応したNANDゲート74Bの他方の入力端子に接続されており、フリップフロップ回路70Bのインバータ68Bの出力端子は、スイッチ36Cに対応したNANDゲート74Cの他方の入力端子に接続されると共にスイッチ36Dに対応したNANDゲート74Dの他方の入力端子に接続されている。

【0064】

10

20

30

40

50

NANDゲート74Aの出力端子には、インバータ76Aの入力端子が接続されており、このインバータ76Aの出力端子には、さらにインバータ78Aの入力端子が接続されている。このインバータ78Aの出力端子には、スイッチ36Aの一方の端子が接続されている。また、インバータ76Aとインバータ78Aとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Aの他方の端子に接続されている。

【0065】

また、NANDゲート74Bの出力端子には、インバータ76Bの入力端子が接続されており、このインバータ76Bの出力端子には、さらにインバータ78Bの入力端子が接続されている。このインバータ78Bの出力端子には、スイッチ36Bの一方の端子が接続されている。また、インバータ76Bとインバータ78Bとの間では、信号線が分岐し

10

【0066】

また、NANDゲート74Cの出力端子には、インバータ76Cの入力端子が接続されており、このインバータ76Cの出力端子には、さらにインバータ78Cの入力端子が接続されている。このインバータ78Cの出力端子には、スイッチ36Cの一方の端子が接続されている。また、インバータ76Cとインバータ78Cとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Cの他方の端子に接続されている。

【0067】

また、NANDゲート74Dの出力端子には、インバータ76Dの入力端子が接続されており、このインバータ76Dの出力端子には、さらにインバータ78Dの入力端子が接続されている。このインバータ78Dの出力端子には、スイッチ36Dの一方の端子が接続されている。また、インバータ76Dとインバータ78Dとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Dの他方の端子に接続されている。

20

【0068】

以上説明したような第1の補助容量線20に対応する各スイッチ36A、36B、36C、36Dのそれぞれの出力端子は、第1の補助容量線20に並列に接続されている。

【0069】

一方、第2の補助容量線22に対応したインバータ72A、72Bの後段には、インバータ80Aとインバータ82Aとから成るフリップフロップ回路84Aと、インバータ80Bとインバータ82Bとから成るフリップフロップ回路84Bが設けられており、インバータ72A、72Bからの出力信号がそれぞれフリップフロップ回路84A、84Bに入力される。

30

【0070】

フリップフロップ回路84A、84Bは、補助容量線22に対応して設けられている。フリップフロップ回路84A、84Bは、互いに異なる周期の複数の入力信号を所定時間保持して出力する。各補助容量線22毎に設けられたフリップフロップ回路84A、84Bは、少なくとも2個以上（本実施の形態では、2個）から成り、本実施の形態では、フリップフロップ回路84Aとフリップフロップ回路84Bとの2個から成る。フリップフロップ回路84Aは、出力信号としてSRA2信号を出力すると共に、フリップフロップ回路84Bは、出力信号としてSRB2信号を出力する。

40

【0071】

フリップフロップ回路84A、84Bのインバータ80A、80Bの出力端子は、それぞれ次の段の補助容量線（ここでは、第1の補助容量線20）に対応した1個のインバータ64A、64Bの入力端子に接続されており、インバータ80A、80Bから出力された信号は、それぞれインバータ64A、64Bに入力される。

【0072】

また、フリップフロップ回路84Aのインバータ80Aからの出力信号であるSRA2信号、及びフリップフロップ回路84Bのインバータ80Bからの出力信号であるSRB2信号は、SCタイミングジェネレータ40にも入力される。SCタイミングジェネレータ40は、前述の垂直同期開始信号STVに同期して動作する。

50

【 0 0 7 3 】

ＳＣタイミングジェネレータ４０は、第２のスイッチ群３８の各スイッチ３８Ａ、３８Ｂ、３８Ｃ、３８Ｄに対応した信号線を有しており、これらの各スイッチ３８Ａ、３８Ｂ、３８Ｃ、３８Ｄに対応した信号線上には、ＮＡＮＤゲート８６Ａ、８６Ｂ、８６Ｃ、８６Ｄ、インバータ８８Ａ、８８Ｂ、８８Ｃ、８８Ｄ、インバータ９０Ａ、９０Ｂ、９０Ｃ、９０Ｄが設けられている。ＳＣタイミングジェネレータ４０は、フリップフロップ回路８４Ａ、８４Ｂからそれぞれ出力されたＳＲＡ２信号、ＳＲＢ２信号に応じて、第２のスイッチ群３８のスイッチ３８Ａ、３８Ｂ、３８Ｃ、３８Ｄの切替えを実行する。

【 0 0 7 4 】

フリップフロップ回路８４Ａのインバータ８０Ａの出力端子は、スイッチ３８Ａに対応したＮＡＮＤゲート８６Ａの一方の入力端子に接続されると共にスイッチ３８Ｃに対応したＮＡＮＤゲート８６Ｃの一方の端子に接続されており、フリップフロップ回路８４Ａのインバータ８２Ａの出力端子は、スイッチ３８Ｂに対応したＮＡＮＤゲート８６Ｂの他方の入力端子に接続されると共にスイッチ３８Ｄに対応したＮＡＮＤゲート８６Ｄの一方の入力端子に接続されている。

10

【 0 0 7 5 】

また、フリップフロップ回路８４Ｂのインバータ８０Ｂの出力端子は、スイッチ３６Ｃに対応したＮＡＮＤゲート７４Ｃの他方の入力端子に接続されると共にスイッチ３６Ｄに対応したＮＡＮＤゲート７４Ｄの他方の入力端子に接続されており、フリップフロップ回路８４Ｂのインバータ８２Ｂの出力端子は、スイッチ３６Ａに対応したＮＡＮＤゲート７

20

【 0 0 7 6 】

ＮＡＮＤゲート８６Ａの出力端子には、インバータ８８Ａの入力端子が接続されており、このインバータ８８Ａの出力端子には、さらにインバータ９０Ａの入力端子が接続されている。このインバータ９０Ａの出力端子には、スイッチ３８Ａの一方の端子が接続されている。また、インバータ８８Ａとインバータ９０Ａとの間では、信号線が分岐しており、この分岐した信号線がスイッチ３６Ａの他方の端子に接続されている。

【 0 0 7 7 】

また、ＮＡＮＤゲート８６Ｂの出力端子には、インバータ８８Ｂの入力端子が接続されており、このインバータ８８Ｂの出力端子には、さらにインバータ９０Ｂの入力端子が接続されている。このインバータ９０Ｂの出力端子には、スイッチ３８Ｂの一方の端子が接続されている。また、インバータ８８Ｂとインバータ９０Ｂとの間では、信号線が分岐しており、この分岐した信号線がスイッチ３６Ｂの他方の端子に接続されている。

30

【 0 0 7 8 】

また、ＮＡＮＤゲート８６Ｃの出力端子には、インバータ８８Ｃの入力端子が接続されており、このインバータ８８Ｃの出力端子には、さらにインバータ９０Ｃの入力端子が接続されている。このインバータ９０Ｃの出力端子には、スイッチ３８Ｃの一方の端子が接続されている。また、インバータ８８Ｃとインバータ９０Ｃとの間では、信号線が分岐しており、この分岐した信号線がスイッチ３６Ｃの他方の端子に接続されている。

40

【 0 0 7 9 】

また、ＮＡＮＤゲート８６Ｄの出力端子には、インバータ８８Ｄの入力端子が接続されており、このインバータ８８Ｄの出力端子には、さらにインバータ９０Ｄの入力端子が接続されている。このインバータ９０Ｄの出力端子には、スイッチ３８Ｄの一方の端子が接続されている。また、インバータ８８Ｄとインバータ９０Ｄとの間では、信号線が分岐しており、この分岐した信号線がスイッチ３６Ｄの他方の端子に接続されている。

【 0 0 8 0 】

以上説明したような第２の補助容量線２２に対応する各スイッチ３８Ａ、３８Ｂ、３８Ｃ、３８Ｄのそれぞれの出力端子は、第２の補助容量線２２に並列に接続されている。

【 0 0 8 1 】

50

このような構成の液晶表示装置 10 では、各補助容量線 20、22 に対応した複数のフリップフロップ回路 70A、84A は、インバータ 64A、72A を介した状態で互いに直列に接続されて、これらの複数のフリップフロップ回路 70A、84A 間で一方向にデータが転送される。また、各補助容量線 20、22 に対応した複数のフリップフロップ回路 70B、84B は、インバータ 64B、72B を介した状態で互いに直列に接続されて、これらの複数のフリップフロップ回路 70B、84B 間で一方向にデータが転送される。

【0082】

図 7 には、駆動回路 32 の動作のタイミングチャートが示されている。

【0083】

垂直同期開始信号 STV がタイミングコントローラ 46 からゲートドライバ 44 に入力されると、ビデオ同期信号 CKV に同期して、全てのゲート線 16 にゲート駆動信号が供給されて各ゲート線 16 に接続された各薄膜トランジスタ 14 のゲート 18 がオンとされると共に、ゲートシフトレジスタ 42 に上記のビデオ同期信号 CKV、STA 信号、及び STB 信号が入力される。

【0084】

ゲートシフトレジスタ 42 にビデオ同期信号 CKV、STA 信号、及び STB 信号が入力されると、これらのビデオ同期信号 CKV、STA 信号、及び STB 信号に応じて、フリップフロップ回路 70A、70B からは、それぞれ SRA1 信号、SRB1 信号が SC タイミングジェネレータ 40 へ出力される。

このとき、フリップフロップ回路 70A、70B から出力された SRA1 信号、SRB1 信号に応じて、フリップフロップ回路 84A、84B からは、それぞれ SRA2 信号、SRB2 信号が SC タイミングジェネレータ 40 へ出力される。

【0085】

SRA1 信号及び SRB1 信号が SC タイミングジェネレータ 40 に入力されると、これらの SRA1 信号及び SRB1 信号の双方に応じて、スイッチ 36A、36B、36C、36D のうち何れか 1 つのスイッチが選択されて、第 1 の補助容量線 20 に駆動信号が供給される。これと同様に、SRA2 信号及び SRB2 信号が SC タイミングジェネレータ 40 に入力されると、SC タイミングジェネレータ 40 では、SRA2 信号及び SRB2 信号の双方に応じて、スイッチ 38A、38B、38C、38D のうち何れか 1 つのスイッチが選択されて、第 2 の補助容量線 22 に駆動信号が供給される。このように、SC タイミングジェネレータ 40 は、ゲートシフトレジスタ 42 から出力された信号に基づいて、第 1 のスイッチ群 36 及び第 2 のスイッチ群 38 の各スイッチ 36A、36B、36C、36D、38A、38B、38C、38D を切り替える。SC タイミングジェネレータ 40 は、ゲートシフトレジスタ 42 から出力される信号が切り替えられるまでは、第 1 のスイッチ群 36 及び第 2 のスイッチ群 38 のスイッチ 36A、36B、36C、36D、38A、38B、38C、38D に与えるスイッチ選択信号（スイッチ選択情報）を出力し続ける。ゲートシフトレジスタ 42 は、互いに異なる周期の複数の入力信号を所定時間保持して出力する。

【0086】

以上説明したような駆動回路 32 は、ゲート線 16 に所定の周期のゲート駆動信号を供給すると共に、第 1 の補助容量線 20 にゲート駆動信号と同期した第 1 の信号 S1 を供給し、第 2 の補助容量線 22 に第 1 の信号 S1 とほぼ逆相の第 2 の信号 S2（さらに詳しく言えば、例えば、第 2 の信号 S2 は、第 1 の信号 S1 よりもタイミングが 1 水平期間遅れるが、第 2 の信号 S2 と第 1 の信号 S1 との供給タイミングのずれは、これに限らない）を供給する。駆動回路 32 は、補助容量線（第 1 の補助容量線 20、第 2 の補助容量線 22）に、第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 $V_1 >$ 第 2 の電圧 $V_2 >$ 第 3 の電圧 $V_3 >$ 第 4 の電圧 V_4 ）を供給する。

【0087】

図 3 に示されるように、駆動回路 32 は、第 3 の電圧 V_3 、第 1 の電圧 V_1 、第 2 の電

10

20

30

40

50

圧 V_2 、第4の電圧 V_4 の順に繰り返し補助容量線（第1の補助容量線20、第2の補助容量線22）に供給する。

【0088】

ここで、駆動回路32は、薄膜トランジスタ14のゲート18をオンにした直後に（さらに言えば、画素12の電圧（画素電圧）のシフトタイミングで）第1の補助容量線20、第2の補助容量線22に供給する電圧をオーバードライブさせる設定とされている。

【0089】

第1群の画素12Aの電位が（-）電位から（+）電位に切り替えられると共に第2群の画素12Bの電位が（+）電位から（-）電位に切り替えられる場合には、駆動回路32は、第3の電圧 V_3 を第1の補助容量線20に供給すると共に第2の電圧 V_2 を第2の補助容量線22に供給している時に、ゲート線16に駆動電圧（ゲート駆動信号）を印加して対応する画素12の薄膜トランジスタ14のゲート18をオンにしこの薄膜トランジスタ14を導通させた直後に、オーバードライブ期間に移行する。

10

ここで、駆動回路32は、第3の電圧 V_3 から第2の電圧 V_2 よりも電圧の高い第1の電圧 V_1 を第1の補助容量線20に印加する。従って、第3の電圧 V_3 から第2の電圧 V_2 を第1の補助容量線20に印加する構成（電圧（ $V_2 - V_3$ ）を第1の補助容量線20に印加する構成）と比べて、より大きな電圧（ $V_1 - V_3$ ）を第1の補助容量線20に印加することができる。

またここで、駆動回路32は、第2の電圧 V_2 から第3の電圧 V_3 よりも電圧の低い第4の電圧 V_4 を第2の補助容量線22に印加する。従って、第2の電圧 V_2 から第3の電圧 V_3 を第2の補助容量線22に印加する構成（電圧（ $V_3 - V_2$ ）を第2の補助容量線22に印加する構成）と比べて、より大きな電圧（ $V_4 - V_2$ ）を第2の補助容量線22に印加することができる。

20

【0090】

またさらに、第1群の画素12Aの電位が（+）電位から（-）電位に切り替えられると共に第2群の画素12Bの電位が（-）電位から（+）電位に切り替えられる場合には、駆動回路32は、第2の電圧 V_2 を第1の補助容量線20に供給すると共に第3の電圧 V_3 を第2の補助容量線22に供給している時に、ゲート線16に駆動電圧（ゲート駆動信号）を印加して対応する画素12の薄膜トランジスタ14のゲート18をオンにしこの薄膜トランジスタ14を導通させた直後に、オーバードライブ期間に移行する。

30

ここで、駆動回路32は、第2の電圧 V_2 から第3の電圧 V_3 よりも電圧の低い第4の電圧 V_4 を第1の補助容量線20に印加する。従って、第2の電圧 V_2 から第3の電圧 V_3 を第1の補助容量線20に印加する構成（電圧（ $V_3 - V_2$ ）を第1の補助容量線20に印加する構成）と比べて、より大きな電圧（ $V_4 - V_2$ ）を第1の補助容量線20に印加することができる。

またここで、駆動回路32は、第3の電圧 V_3 から第2の電圧 V_2 よりも電圧の高い第1の電圧 V_1 を第2の補助容量線22に印加する。従って、第3の電圧 V_3 から第2の電圧 V_2 を第2の補助容量線22に印加する構成（電圧（ $V_2 - V_3$ ）を第2の補助容量線22に印加する構成）と比べて、より大きな電圧（ $V_1 - V_3$ ）を第2の補助容量線22に印加することができる。

40

【0091】

以上説明したように、液晶容量15に電圧を印加する際に、従来よりも大きな電圧を補助容量24に供給する構成であるので、液晶の起立状態（配向状態）を従来よりも早く所望の起立状態にすることができるだけでなく、画素12の電圧（画素電圧）をより長く適正範囲内に維持できる。

【0092】

なお、本実施の形態では、駆動回路32が、第3の電圧 V_3 、第1の電圧 V_1 、第2の電圧 V_2 、第4の電圧 V_4 の順に電圧を繰り返し各補助容量線20、22に供給する構成としたが、本発明はこれに代えて、駆動回路32が、第3の電圧 V_3 、第4の電圧 V_4 、第2の電圧 V_2 、第1の電圧 V_1 の順に電圧を繰り返し各補助容量線20、22に供給す

50

る構成としてもよい。このように、駆動回路 3 2 が、第 3 の電圧 V 3、第 4 の電圧 V 4、第 2 の電圧 V 2、第 1 の電圧 V 1 の順に電圧を繰り返し各補助容量線 2 0、2 2 に供給する構成の場合、駆動回路 3 2 は、第 4 の電圧 V 4 又は第 1 の電圧 V 1 を供給しているときに、ゲート線 1 6 にゲート駆動信号（駆動電圧）を印加して薄膜トランジスタ 1 4 を導通させるようにしてもよい。

【図面の簡単な説明】

【0093】

【図 1】本発明の実施の形態に係る液晶表示装置の要部を示すブロック図である。

【図 2】図 1 に示される液晶表示装置の表示パネルの拡大図である。

【図 3】LCD の駆動方法を示す信号の波形図である。

10

【図 4】画素において補助容量が形成される位置を示す概略図である。

【図 5】図 4 における 5 - 5 断面図である。

【図 6】本発明の実施の形態に係る駆動回路の詳細な構成を示す回路図である。

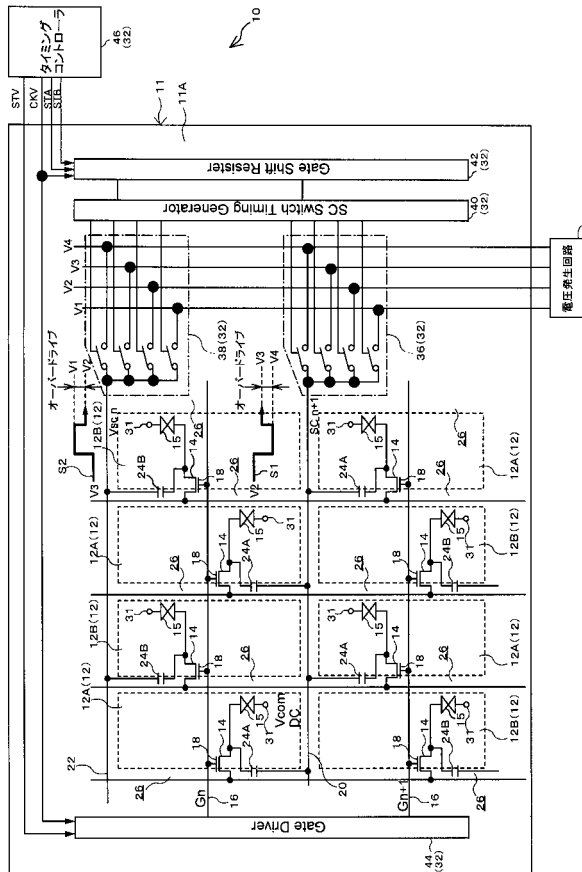
【図 7】図 6 に示される駆動回路の動作を示すタイミングチャートである。

【符号の説明】

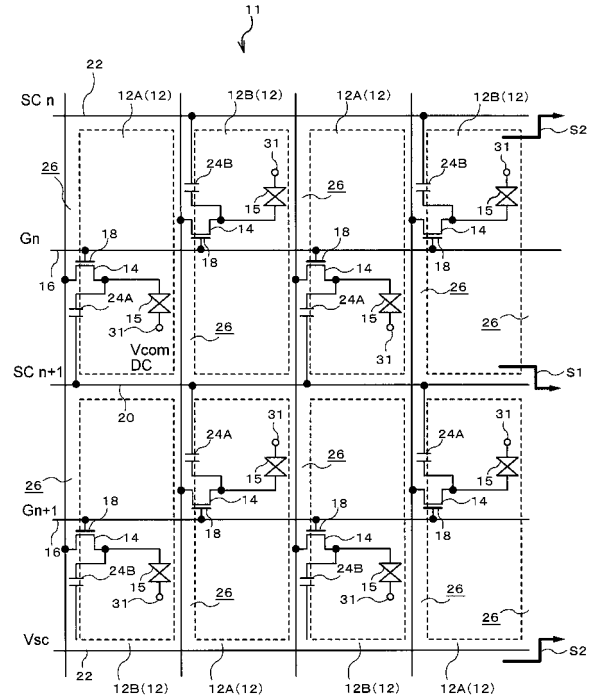
【0094】

1 0	液晶表示装置	
1 2	画素	
1 1 A	基板	
1 2 A	第 1 群の画素	20
1 2 B	第 2 群の画素	
1 4	薄膜トランジスタ	
1 5	液晶容量	
1 6	ゲート線	
1 8	ゲート	
2 0	第 1 の補助容量線	
2 2	第 2 の補助容量線	
2 4	補助容量	
2 4 A	第 1 の補助容量	
2 4 B	第 2 の補助容量	30
2 6	境界部	
2 8	カラーフィルタ	
3 0	遮光部	
3 2	駆動回路	
3 4	電圧発生回路	
3 6	第 1 のスイッチ群	
3 8	第 2 のスイッチ群	
4 0	SC タイミングジェネレータ（スイッチ切替タイミングジェネレータ）	
4 2	ゲートシフトレジスタ	
4 4	ゲートドライバ	40
4 6	タイミングコントローラ（駆動回路）	
7 0 A	フリップフロップ回路	
7 0 B	フリップフロップ回路	
V 1	第 1 の電圧	
V 2	第 2 の電圧	
V 3	第 3 の電圧	
V 4	第 4 の電圧	

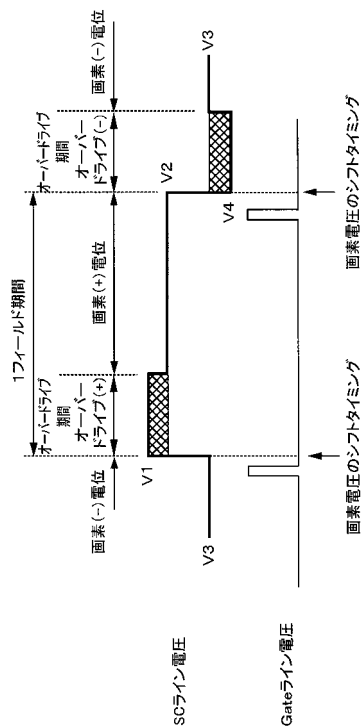
【図 1】



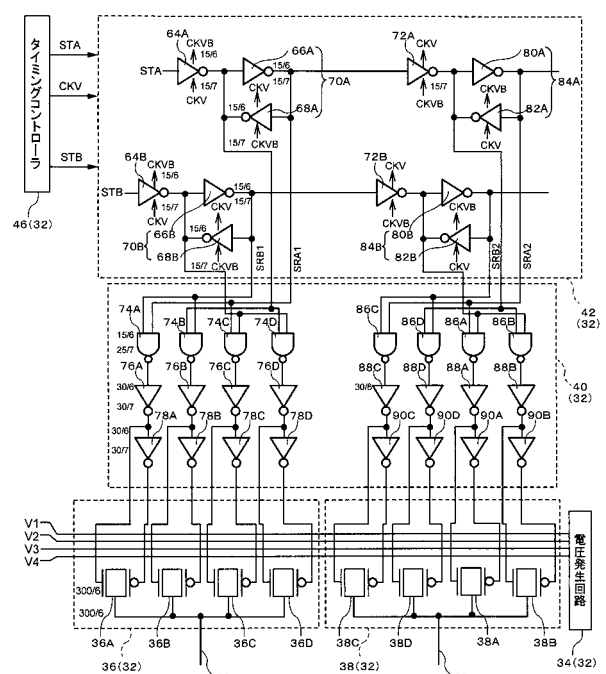
【図 2】



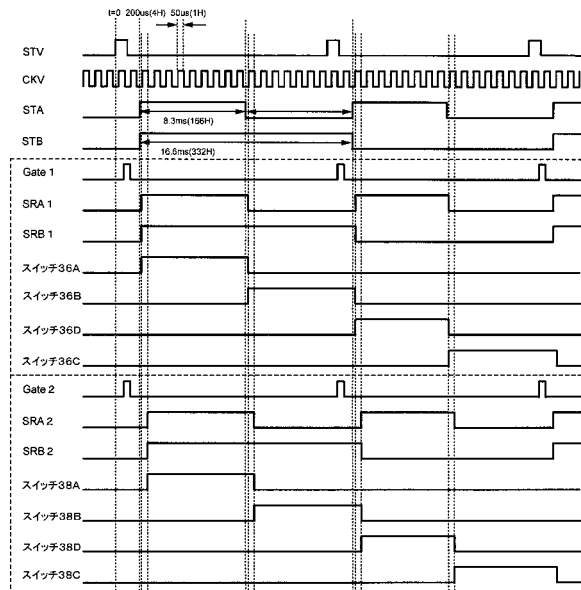
【図 3】



【図 6】

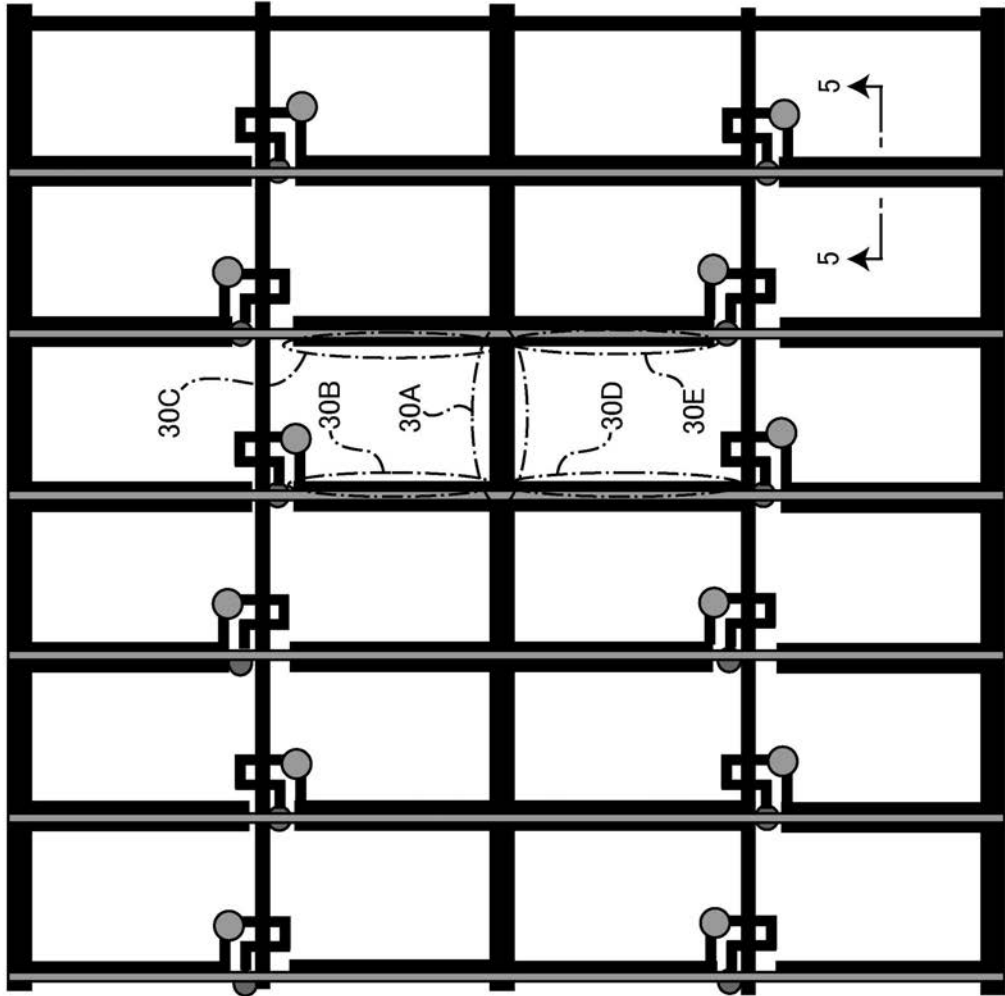


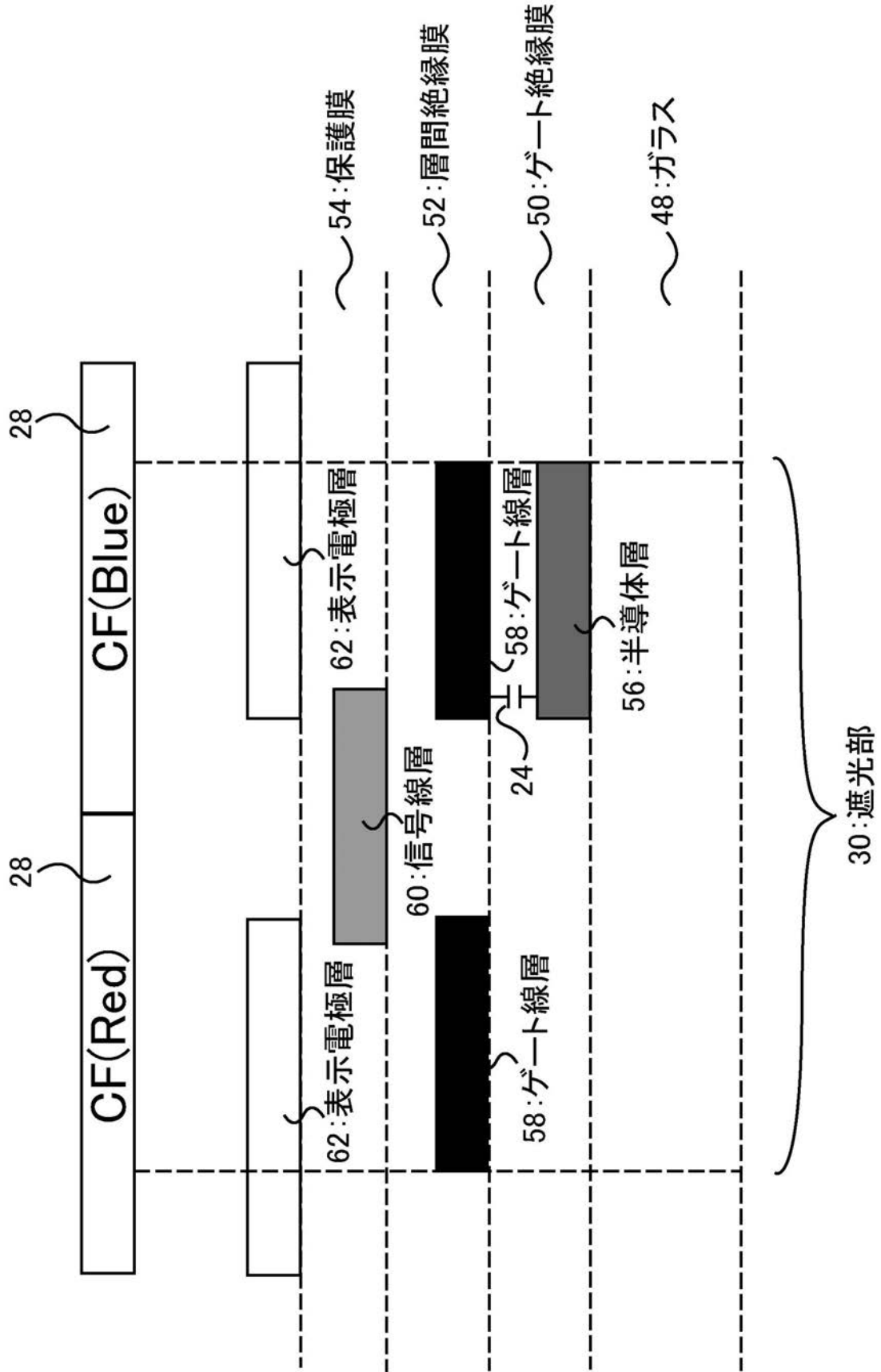
【図 7】



【図4】

11





フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 E
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 1 E
G 0 9 G 3/20 6 2 2 E
G 0 9 G 3/20 6 2 2 K
G 0 9 G 3/20 6 2 2 G
G 0 9 G 3/20 6 2 1 F
G 0 9 G 3/36

(72)発明者 千田 みちる
東京都港区六本木 3 - 1 - 1 六本木ティーキューブ 日本サムスン株式会社内

審査官 福田 知喜

(56)参考文献 特開 2 0 0 3 - 0 0 5 7 2 1 (J P , A)
特開 2 0 0 6 - 0 3 9 1 3 0 (J P , A)
特開平 0 5 - 1 0 7 5 5 7 (J P , A)
特開 2 0 0 3 - 2 9 5 1 5 7 (J P , A)
特開 2 0 0 4 - 3 5 4 7 4 2 (J P , A)
特開 2 0 0 5 - 1 2 8 1 0 1 (J P , A)
特開平 0 6 - 2 3 0 3 4 0 (J P , A)
特開 2 0 0 5 - 1 5 6 7 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 6 8
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5230930B2	公开(公告)日	2013-07-10
申请号	JP2006339609	申请日	2006-12-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	横山良一 千田みちる		
发明人	横山 良一 千田 みちる		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G02F1/136213 G09G3/3655 G09G2300/0876 G09G2320/0252 G09G2320/0261		
FI分类号	G02F1/133.570 G02F1/133.550 G09G3/20.624.A G09G3/20.624.D G09G3/20.621.B G09G3/20.624.E G09G3/20.622.D G09G3/20.621.E G09G3/20.622.E G09G3/20.622.K G09G3/20.622.G G09G3/20.621.F G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NC18 2H093/NC22 2H093/NC35 2H093/NC36 2H093/ND33 2H093/ND34 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZE01 2H193/ZF59 2H193/ZF60 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AF42 5C006/AF43 5C006/AF72 5C006/BB16 5C006/BB21 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF06 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF43 5C006/FA14 5C006/FA16 5C080/AA10 5C080/BB06 5C080/DD08 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
审查员(译)	福田 知喜		
优先权	1020060125722 2006-12-11 KR		
其他公开文献	JP2008145993A		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得液晶显示器，使液晶分子的直立状态更快地变为所需状态。
ŽSOLUTION：液晶显示器包括：沿规定方向排列的多个像素，每个像素包括薄膜晶体管（TFT）；栅极线，用于向每个像素中的TFT的栅极提供驱动信号；液晶电容器，包括在每个像素中并连接到相应像素中的TFT的一个端子；与栅极线平行排列的子电容器线；每个像素中包括的子电容器，连接在相应像素中的TFT的一个端子和子电容器线之间；驱动电路，其具有至少四个电压，并选择其中一个电压，并将所选电压的电压提供给子电容器线，以在液晶电容器电容耦合的状态下驱动液晶显示器到子电容器。
Ž

【 图 2 】

