

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5190593号

(P5190593)

(45) 発行日 平成25年4月24日(2013.4.24)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 Z

H O 1 L 29/786 (2006.01)

H O 1 L 21/90 A

H O 1 L 21/768 (2006.01)

請求項の数 9 (全 14 頁)

(21) 出願番号 特願2007-11807 (P2007-11807)
 (22) 出願日 平成19年1月22日(2007.1.22)
 (65) 公開番号 特開2008-83662 (P2008-83662A)
 (43) 公開日 平成20年4月10日(2008.4.10)
 審査請求日 平成22年1月18日(2010.1.18)
 (31) 優先権主張番号 10-2006-0093519
 (32) 優先日 平成18年9月26日(2006.9.26)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 , Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Gi h
 eung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 金 奉 柱
 大韓民国京畿道水原市靈通区網浦洞 パン
 ジュクマウル靈通ツランチュエアパートメン
 ト1002-601

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及びこの製造方法、並びに薄膜トランジスタ基板これを備えた液晶表示パ
 ネル

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板の上に一方向に延設されたゲートラインと、

前記基板の上に前記ゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、

前記ゲートラインと前記共通電圧ラインの上に形成され、前記共通電圧ラインの一部を露
 出させる第1のコンタクトホールが形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成され、前記第1のコンタクトホールを介して前記共通電圧ラ
 インと接続された共通電極と、前記ゲート絶縁膜の上に前記ゲートラインと交差する方向に延設されたデータラインと、
 前記ゲートラインと前記データラインとの交差領域に形成され、前記ゲートライン及びデ
 ータラインと接続されると共に、ゲート電極、ソース電極及びドレイン電極を含む薄膜ト
 ランジスタと、

前記薄膜トランジスタと接続された画素電極とを備え、

前記ゲート電極、前記ゲートライン、及び前記共通電圧ラインは、第1の導電性膜から形
 成され、

前記共通電極は第2の導電性膜から形成され、

前記ソース電極、前記ドレイン電極、及び前記データラインは、前記第2の導電性膜及び
 第3の導電性膜から形成されることを特徴とする薄膜トランジスタ基板。

【請求項2】

10

20

前記薄膜トランジスタと前記共通電極の上に形成され、前記ドレイン電極の一部を露出させる第2のコンタクトホールが形成された保護膜をさらに備え、前記画素電極は、前記第2のコンタクトホールを介して前記薄膜トランジスタのドレイン電極と接続されることを特徴とする請求項1に記載の薄膜トランジスタ基板。

【請求項3】

前記共通電極は、面状に形成されることを特徴とする請求項1に記載の薄膜トランジスタ基板。

【請求項4】

前記共通電極は、前記ゲートラインと前記データラインとの交差領域内に形成されることを特徴とする請求項3に記載の薄膜トランジスタ基板。

10

【請求項5】

前記画素電極は、ライン状に形成された複数の画素電極パターンを含むことを特徴とする請求項1に記載の薄膜トランジスタ基板。

【請求項6】

前記複数の画素電極パターンは、互いに離隔されるように形成され、かつ、互いに電氣的に接続されていることを特徴とする請求項5に記載の薄膜トランジスタ基板。

【請求項7】

前記複数の画素電極パターンの各々の一端は、互いに接続されることを特徴とする請求項6に記載の薄膜トランジスタ基板。

【請求項8】

20

前記複数の画素電極パターンは、前記データラインと平行な方向に延設されることを特徴とする請求項6に記載の薄膜トランジスタ基板。

【請求項9】

前記共通電極及び前記画素電極は、インジウム・スズ・オキサイド（ITO）またはインジウム・亜鉛・オキサイド（IZO）からなることを特徴とする請求項1に記載の薄膜トランジスタ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ基板及びこの製造方法、並びに薄膜トランジスタ基板これを備えた液晶表示パネルに係り、より詳細には、PLS（Plane to line switching）モードの液晶表示パネルにおいて、共通電極がゲート絶縁膜の上に形成され、コンタクトホールを介して共通電圧ラインと接続されるような構造の薄膜トランジスタ基板と、この製造方法及びこれを備えた液晶表示パネルに関する。

30

【背景技術】

【0002】

液晶表示パネルの視野角を改善するため、例えば、IPS（In-Plane Switching）モード、FFS（Fringe-Field Switching）モードまたはPVA（Patterned Vertical Alignment）モードなどの広視野角技術が開発されている。

40

【0003】

しかしながら、これらの広視野角技術においては、電極のラテラル・フィールド（横方向電界）を用いるモードの特性から、電極の上部にはフィールド（電界）の歪みなどが生じることがあり、実質的にバックライトの透過に寄与する領域が減縮されてしまうとい問題があった。

【0004】

そこで、近年、電極の死空間（デッドスペース）を開口部として活用可能なPLSモードが研究・開発されている。

【0005】

かかるPLSモードは、薄膜トランジスタ基板の上に面状の共通電極とライン状の画素電

50

極を形成し、両電極に電圧を加えるときに生じる電場により液晶分子の配列を制御する方式である。P L Sモードは、既存のI P Sモードを基に、さらなる共通電極を介して電極上の死空間を除去することができるというメリットがある。

【0006】

しかしながら、従来の技術によるP L Sモードの場合、広い領域に共通電極を形成した後、ゲートラインを形成し、その後、共通電極の上に3層膜、すなわち、ゲート絶縁膜、活性層及びオーミックコンタクト層を高温、例えば、350℃以上の温度において順次に蒸着していた。

【0007】

このとき、共通電極に用いる部材が、例えば、I T Oが、高温に晒される場合、各組成物間の結合力が弱くなり、これにより、インジウムイオンまたはスズイオンが他の層に影響を及ぼすという問題点が生じていた。一方、これを防ぐために、3層膜を低温、例えば、約280℃において蒸着した場合、共通電極の内部組成物間の結合力の弱化は予防できるが、アモルファスシリコン（非晶質シリコン）からなる活性層を含む3層膜の界面特性が格段に低下して、薄膜トランジスタの信頼性が低下するという不都合を招いていた。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は上述した従来技術の不都合を克服するためのものであり、その目的は、共通電極の内部組成物間の結合力を維持すると共に、活性層を含む3層膜の界面特性をも維持することのできる薄膜トランジスタ基板及びこの製造方法並びにこの薄膜トランジスタ基板を備えた液晶表示パネルを提供するところにある。

【課題を解決するための手段】

【0009】

前記本発明の目的を達成するために、本発明の一側面によれば、基板と、前記基板の上に一方向に延設されたゲートラインと、前記基板の上に前記ゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、前記ゲートラインと前記共通電圧ラインの上に形成され、前記共通電圧ラインの一部を露出させる第1のコンタクトホールが形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成され、前記第1のコンタクトホールを介して前記共通電圧ラインと接続された共通電極と、前記ゲート絶縁膜の上に前記ゲートラインと交差する方向に延設されたデータラインと、前記ゲートラインと前記データラインとの交差領域に形成され、前記ゲートライン及びデータラインと接続されると共に、ゲート電極、ソース電極及びドレイン電極を含む薄膜トランジスタと、前記薄膜トランジスタと接続された画素電極とを備えることを特徴とする薄膜トランジスタ基板が提供される。

【0010】

本発明の薄膜トランジスタ基板においては、前記薄膜トランジスタと前記共通電極の上に形成され、前記ドレイン電極の一部を露出させる第2のコンタクトホールが形成された保護膜をさらに備え、前記画素電極は、前記第2のコンタクトホールを介して前記薄膜トランジスタのドレイン電極と接続される。

【0011】

本発明の薄膜トランジスタ基板においては、前記共通電極は、面状に形成される。

【0012】

本発明の薄膜トランジスタ基板においては、前記共通電極は、前記ゲートラインと前記データラインとの交差領域内に形成される。

【0013】

本発明の薄膜トランジスタ基板においては、前記画素電極は、ライン状に形成された複数の画素電極パターンを含む。

【0014】

本発明の薄膜トランジスタ基板においては、前記複数の画素電極パターンは、互いに離隔されるように形成され、かつ、互いに電氣的に接続されている。

10

20

30

40

50

【0015】

本発明の薄膜トランジスタ基板においては、前記複数の画素電極パターンの各々の一端は、互いに接続される。

【0016】

本発明の薄膜トランジスタ基板においては、前記複数の画素電極パターンは、前記データラインと平行な方向に延設される。

【0017】

本発明の薄膜トランジスタ基板においては、前記共通電極及び前記画素電極は、インジウム・スズ・オキシド（ITO）またはインジウム・亜鉛・オキシド（IZO）からなる。

10

【0018】

本発明の他の側面によれば、基板の上に一方向に延設され、ゲート電極を含むゲートラインと、前記ゲートラインとは所定の間隔だけ離隔された共通電圧ラインを形成し、前記ゲートラインと共通電圧ラインの上にゲート絶縁膜、活性層及びオーミックコンタクト層を順次に形成した後、薄膜トランジスタの活性領域を形成し、前記ゲート絶縁膜の上に前記共通電圧ラインの一部を露出させる第1のコンタクトホールを形成し、前記ゲートラインと交差する方向に延設され、ソース電極及びドレイン電極を含むデータラインと、前記第1のコンタクトホールを介して前記共通電圧ラインと接続される共通電極を形成し、前記データラインと前記共通電圧ラインの上に保護膜を形成し、前記保護膜の上に前記ドレイン電極の一部を露出させる第2のコンタクトホールを形成し、前記第2のコンタクトホールを介して前記ドレイン電極と接続される画素電極を形成することを特徴とする薄膜トランジスタ基板の製造方法が提供される。

20

【0019】

本発明の薄膜トランジスタ基板の製造方法においては、前記共通電極の形成は、前記共通電極を面状に形成することを含む。

【0020】

本発明の薄膜トランジスタ基板の製造方法においては、前記共通電極の形成は、前記共通電極を前記ゲートラインと前記データラインとの交差領域内に形成することを含む。

【0021】

本発明の薄膜トランジスタ基板の製造方法においては、前記画素電極の形成は、複数の画素電極パターンを形成することを含み、前記複数の画素電極パターンはライン状に、且つ、互いに離隔されるように形成され、電氣的に接続されている。

30

【0022】

本発明の薄膜トランジスタ基板の製造方法においては、前記複数の画素電極パターンの形成は、前記複数の画素電極パターンの各々の一端が互いに接続されるように、前記複数の画素電極パターンを形成する段階を含む。

【0023】

本発明の薄膜トランジスタ基板の製造方法においては、前記複数の画素電極パターンの形成は、前記複数の画素電極パターンが前記データラインと平行な方向に延設されるように、前記複数の画素電極パターンを形成する段階を含む。

40

【0024】

本発明の薄膜トランジスタ基板の製造方法においては、前記ソース電極及びドレイン電極を含むデータラインと共通電極の形成は、共通電極用の導電性膜及びデータライン用の導電性膜を順次に積層し、前記データライン用の導電性膜の上に所定の領域別に厚さの異なる感光膜マスクパターンを形成し、前記感光膜マスクパターンを用いて前記共通電極用の導電性膜及びデータライン用の導電性膜を選択的にエッチングすることを含む。

【0025】

本発明の薄膜トランジスタ基板の製造方法においては、前記所定の領域別に厚さの異なる感光膜マスクパターンを形成し、前記共通電極に対応する領域の感光膜マスクパターンの厚さを前記ソース電極及びドレイン電極を含むデータラインに対応する領域の感光膜マ

50

クパターンの厚さよりも薄く形成することを含む。

【0026】

本発明の薄膜トランジスタ基板の製造方法においては、前記所定の領域別に厚さの異なる感光膜マスクパターンの形成は、ハーフトーンマスクまたはスリットパターンを含んでなるマスクを用いて、所定の領域別に厚さの異なる感光膜マスクパターンを形成する。

【0027】

本発明にかかる液晶表示パネルは、第1の基板と、前記第1の基板の上に一方向に延設されたゲートラインと、前記第1の基板の上に前記ゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、前記ゲートラインと前記共通電圧ラインの上に形成され、前記共通電圧ラインの一部を露出させる第1のコンタクトホールが形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成され、前記第1のコンタクトホールを介して前記共通電圧ラインと接続された共通電極と、前記ゲート絶縁膜の上に前記ゲートラインと交差する方向に延設されたデータラインと、前記ゲートラインと前記データラインとの交差領域に形成され、前記ゲートライン及びデータラインと接続され、ゲート電極、ソース電極及びドレイン電極を含む薄膜トランジスタと、前記薄膜トランジスタと接続された画素電極とを備える薄膜トランジスタ基板と、前記薄膜トランジスタ基板と相対するように配置され、第2の基板と、前記第2の基板の上に形成されたブラックマトリックスと、前記第2の基板とブラックマトリックスの上に形成された多数のカラーフィルターと、前記多数のカラーフィルターの上に形成されたオーバーコート膜とを備えるカラーフィルター基板と、前記薄膜トランジスタ基板と前記カラーフィルター基板との間に注入された液晶とを備える。

【0028】

本発明にかかる液晶表示パネルにおいては、前記薄膜トランジスタ基板と前記カラーフィルター基板との間のセルギャップを維持するためのスペーサーをさらに含む。

【0029】

本発明の詳細な説明において、層、膜、領域、板などの部分が他の部分の上部にまたは上にあると表現される場合には、各部分が他の部分と接している場合だけではなく、各部分とは異なる部分の間に他の部分がある場合をも含む。

【発明の効果】

【0030】

本発明によれば、ゲート絶縁膜、活性層及びオーミックコンタクト層よりなる3層膜を蒸着した後に、共通電極を形成することから、3層膜を高温において蒸着する場合であっても、共通電極が高温に晒されなくなる。その結果、共通電極の内部組成物間の結合力を維持することができると共に、活性層を含む3層膜の界面特性をも維持することができ、これは、薄膜トランジスタの信頼性の改善につながる。

【発明を実施するための最良の形態】

【0031】

以下、添付図面に基づき、本発明の好適な実施の形態について詳細に説明する。

【0032】

図1は、本発明による薄膜トランジスタ基板の概略平面図であり、図2は、図1のI-I線に沿う断面図である。

【0033】

図1及び図2を参照すると、薄膜トランジスタ基板100は、透明な絶縁性基板101、この基板101の上に一方向に延設され、ゲート電極110を含むゲートラインGL、基板の上にゲートラインGLと所定の間隔を隔てて形成された共通電圧ライン120、ゲートラインGLと共通電圧ライン120の上に形成され、共通電圧ライン120の一部を露出させる第1のコンタクトホール150が形成されたゲート絶縁膜130、ゲート絶縁膜130の上に形成され、第1のコンタクトホール150を介して共通電圧ライン120と接続される共通電極160、ゲート絶縁膜130の上にゲートラインGLと交差する方向に延設され、ソース電極171とドレイン電極173を含むデータラインDL、このゲー

トラインGLとデータラインDLとの交差領域に形成され、ゲートラインGL及びデータラインDLと接続されると共に、ゲート電極110、ソース電極171及びドレイン電極173を含む薄膜トランジスタ、この薄膜トランジスタと共通電極160の上に形成され、ドレイン電極173の一部を露出させる第2のコンタクトホール185が形成された保護膜180及び保護膜180の上に形成され、第2のコンタクトホール185を介して薄膜トランジスタのドレイン電極173と接続される画素電極190を備える。

【0034】

ゲートラインGLは、基板101の上に横方向に延設され、その一端にはゲートパッド（図示せず）が形成される。共通電圧ライン120は、ゲートラインGLの間に形成され、この実施の形態においては、ゲートラインと同様に横方向に延設されているが、共通電圧ライン120の形状及び位置がこれに制限されるものではなく、種々に変形可能である。

10

【0035】

ゲートラインGLと共通電圧ライン120の上にはゲート絶縁膜130が形成され、ゲート絶縁膜130の上に活性層141及びオーミックコンタクト層143が形成された後、パターニングされて活性領域140が形成される。また、ゲート絶縁膜130には、共通電圧ライン120の一部を露出させる第1のコンタクトホール150が形成される。

【0036】

データラインDLは、ゲート絶縁膜130上に縦方向に形成され、その一端にはデータパッド（図示せず）が形成される。このとき、データラインDLは2重の導電性膜から形成され、下部の導電性膜は共通電極160として用いられる。

20

【0037】

活性領域140の上には2重の導電性膜から形成されたソース電極171とドレイン電極173が形成され、活性領域140を除くゲート絶縁膜130の所定の領域の上には、所定の形状、例えば、面状に形成された共通電極160が形成され、この共通電極160は、ゲート絶縁膜130の上に形成された第1のコンタクトホール150を介して共通電圧ライン120と接続される。また、共通電極160は、この実施の形態と同様に、ゲートラインGLとデータラインDLとの交差領域内に形成されてもよい。

【0038】

このように、ゲート絶縁膜130、活性層141及びオーミックコンタクト層143を含む3層膜を形成した後、共通電極160を形成した場合、3層膜の蒸着時に高温にて蒸着工程を行う場合であっても、共通電極に影響しなくなり、共通電極を考慮して低温にて3層膜を蒸着することが不要になるほか、3層膜の界面特性を維持し、且つ、共通電極の内部組成物間の結合力を維持することが可能になり、薄膜トランジスタの信頼性を高めることが可能になる。

30

【0039】

上述の薄膜トランジスタは、ゲートラインGLに接続されたゲート電極110と、データラインDLに接続されたソース電極171と、画素電極190に接続されたドレイン電極173と、ゲート電極110とソース電極171及びドレイン電極173の間に順次に形成されたゲート絶縁膜130及び活性層141と、活性層141の少なくとも一部の領域に形成されたオーミックコンタクト層143とを備え、このとき、オーミックコンタクト層143は、チャンネル部を除く活性層141の上に形成されてもよい。

40

【0040】

薄膜トランジスタと共通電極160の上には保護膜180が形成され、保護膜180にはドレイン電極173の一部を露出させる第2のコンタクトホール185が形成され、保護膜180の上には画素電極190が形成される。

【0041】

画素電極190は所定の形状、例えば、ライン状に形成された複数の画素電極パターン191乃至195を含む。

【0042】

このとき、各画素電極パターンは互いに離隔されるように形成され、且つ、互いに電氣的

50

に接続されている。この実施の形態において、各画素電極パターン的一端は互いに接続されて、他端は接続されておらず、データラインと平行な方向に延設される。しかしながら、この画素電極パターンの形状及び配置はこれに制限されるものではなく、種々に変形可能である。

【0043】

共通電極160及び画素電極190は、透明な導電性の材料、例えば、ITOまたはIZOから形成されてもよい。

【0044】

図3A及び図3Bは、本発明による薄膜トランジスタ基板の製造工程の平面図及び断面図である。

10

【0045】

図3A及び図3Bを参照すると、まず、透明な絶縁性基板101の上にCVD法、PVD法及びスパッタリング法などを用いた蒸着方法により第1の導電性膜を形成する。このとき、第1の導電性膜としては、Cr、MoW、Cr/Al、Cu、Al(Nd)、Mo/Al、Mo/Al(Nd)及びCr/Al(Nd)のうち少なくともいずれか1種類を用いることが好ましく、この第1の導電性膜は多層膜に形成可能である。この後、感光膜を塗布した後、第1のマスク（図示せず）を用いたフォトリソグラフィ工程を行い、第1の感光膜マスクパターン（図示せず）を形成する。第1の感光膜マスクパターンをエッチングマスクとするエッチング工程を行い、図3A及び図3Bに示すように、ゲート電極110を含むゲートラインGL及び共通電圧ライン120を形成する。この後、ストリップ工程を行い、第1の感光膜マスクパターンを除去する。

20

【0046】

図4A及び図4Bを参照すると、図3に示す基板の上にゲート絶縁膜130、活性層141及びオーミックコンタクト層143を順次に形成した後、第2の感光膜マスクパターン（図示せず）を用いたエッチング工程を行い、薄膜トランジスタの活性領域を形成する。

【0047】

基板の上にPECVD法、スパッタリング法などを用いた蒸着方法によりゲート絶縁膜130を形成する。このとき、ゲート絶縁膜130としては、酸化シリコンまたは窒化シリコンを含む無機絶縁物質を用いることができる。ゲート絶縁膜130の上に上述の蒸着方法により活性層141及びオーミックコンタクト層143を順次に形成する。活性層141としては、アモルファスシリコン層を用い、オーミックコンタクト層143としては、シリサイドまたはN型不純物が高濃度にてドーパされたアモルファスシリコン層を用いる。この後、オーミックコンタクト層143の上に感光膜を塗布し、第2のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第2の感光膜マスクパターン（図示せず）を形成する。前記第2の感光膜マスクパターンをエッチングマスクとして、ゲート絶縁膜130をエッチングストップ膜とするエッチング工程を行うことにより、オーミックコンタクト層143及び活性層141を除去し、ゲート電極110の上部に所定の形状の活性領域140を形成する。この後、所定のストリップ工程を行うことにより、残留する第2の感光膜マスクパターンを除去する。

30

【0048】

図5A及び図5Bを参照すると、ゲート絶縁膜130の上に感光膜を塗布した後、第3のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第3の感光膜マスクパターン（図示せず）を形成する。第3の感光膜マスクパターンをエッチングマスクとするエッチング工程を行うことにより、図5に示すように、ゲート絶縁膜130の上に共通電圧ライン120の一部を露出させる第1のコンタクトホール150を形成する。この後、ストリップ工程を行うことにより、第3の感光膜マスクパターンを除去する。

40

【0049】

図6A及び図6Bを参照すると、薄膜トランジスタの活性領域140と第1のコンタクトホール150が形成された基板の上に第2の導電性膜及び第3の導電性膜を順次に形成した後、これに対して第4の感光膜マスクパターン（図示せず）を用いた選択的なエッチン

50

グ工程を行うことにより、データラインD Lと、ソース電極171、ドレイン電極173及び共通電極160を形成する。

【0050】

基板の全面にCVD法、PVD法及びスパッタリング法などを用いた蒸着方法により第2の導電性膜及び第3の導電性膜を順次に形成する。このとき、第2の導電性膜は共通電極として用いられるため、透明な導電性の材料、例えば、ITOまたはIZOなどを用いることができる。第3の導電性膜としては、Mo、Al、Cr、Tiのうち少なくともいずれか1種類を用いることができ、第1の導電性膜と同じ物質を用いることもできる。

【0051】

前記第3の導電性膜の上に感光膜を塗布した後、第4のマスク（図示せず）を用いたフォトリソグラフィ工程を行うことにより、第4の感光膜マスクパターンを形成する。このとき、第4のマスクとしては、ハーフトーンマスクまたはスリットパターンを含んでなるマスクを用いることができ、その結果、所定の領域別に厚さの異なる第4の感光膜マスクパターンが形成される。

【0052】

この第4の感光膜マスクパターンをエッチングマスクとする選択的なエッチング工程を行うことにより、2重層、すなわち、第2の導電性膜及び第3の導電性膜からなるソース電極171、ドレイン電極173及びデータラインD Lと、第2の導電性膜からなる共通電極160を形成する。上述の第4のマスク工程は、以下の図9に基づいて詳細に説明する。

【0053】

図7A及び図7Bを参照すると、薄膜トランジスタ、データラインD L及び共通電極160が形成された基板の上に保護膜180を形成し、保護膜180の上に感光膜を塗布した後、第5のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第5の感光膜マスクパターン（図示せず）を形成する。第5の感光膜マスクパターンを用いたエッチング工程を通じて保護膜180の一部を除去して第2のコンタクトホール185を形成する。

【0054】

図8A及び図8Bを参照すると、保護膜180の上に第4の導電性膜を形成した後、第6のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第6の感光膜マスクパターン（図示せず）を形成する。第6の感光膜マスクパターンを用いて第4の導電性膜をパターンニングして、画素電極パターン191乃至195からなる画素電極190を形成する。このとき、第4の導電性膜としては、ITOやIZOを含む透明な導電性の材料を用いることが好ましい。

【0055】

本発明においては、第6マスク工程を例に挙げて説明しているが、本発明による薄膜トランジスタ基板の製造工程が第6マスク工程に制限されるものではなく、種々に変形可能である。

【0056】

図9Aから図9Dは、本発明による薄膜トランジスタ基板の製造工程のうち、第4のマスク工程を示す断面図である。

【0057】

図9Aを参照すると、第2の導電性膜及び第3の導電性膜が順次に形成された基板の上に感光膜を塗布した後、第4のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第4の感光膜マスクパターン500を形成する。

【0058】

このとき、第4の感光膜マスクパターン500は、所定の領域別に異なる厚さに形成される。第4の感光膜マスクパターン500は、共通電極領域に対応する S_2 領域と、データライン（図示せず）、薄膜トランジスタのソースドレイン電極に対応する S_3 領域と、それ以外の領域に対応する S_1 領域と、により構成される。このとき、 S_2 領域の厚さを d_2 、 S_3 領域の厚さを d_3 としたとき、 S_1 領域には感光膜マスクパターンが形成され

ず、 d_3 は d_2 よりも厚く形成される。

【0059】

上述のように、第4の感光膜マスクパターン500の所定の領域を異なる厚さに形成すべく、第4のマスク（図示せず）としては、ハーフトーンマスクまたはスリットパターンが形成されたマスクを用いることができる。

【0060】

図9Bを参照すると、前記第4の感光膜パターン500をエッチングマスクとして、ゲート絶縁膜130をエッチングストップ膜とするエッチング工程を行うことにより、 S_1 領域に対応する領域の第2の導電性膜及び第3の導電性膜を除去し、データライン（図示せず）、ソース電極171及びドレイン電極173を形成する。

10

【0061】

図9Bを参照すると、アッシング工程を行い、第4の感光膜パターン500の厚さを全体として薄くする。このとき、アッシング工程は、酸素（ O_2 ）プラズマを用いて行うことができ、 S_2 領域の第3の導電性膜が露出されるまで1次アッシング工程を行う。

【0062】

図9Cを参照すると、第2の導電性膜をエッチングマスクとして第3の導電性膜をエッチングすることにより、共通電極160を形成する。また、薄膜トランジスタのチャンネル領域において、ソース電極171とドレイン電極173を接続しているオーミックコンタクト層143をエッチングする。この実施の形態においては、オーミックコンタクト層143のエッチングは、第3の導電性膜をエッチングした後に行っているが、本発明はこれ

20

【0063】

図9Dを参照すると、ストリップ工程を行うことにより、基板の上に残存する第4の感光膜マスクパターンを除去する。

【0064】

図10は、本発明による薄膜トランジスタ基板を含む液晶表示パネルの概略断面図である。

30

【0065】

図10を参照すると、液晶表示パネルは、薄膜トランジスタ基板100と、薄膜トランジスタ基板100と相対するように配置されるカラーフィルター基板200と、両基板間のセルギャップを維持するためのスペーサー240及び両基板の間に注入された液晶300を備える。このとき、カラーフィルター基板200は、透明な絶縁性基板201、基板201の上に形成されたブラックマトリックス210、ブラックマトリックス210が形成された基板201の上に形成された多数のカラーフィルター220及び多数のカラーフィルター220の上に形成されたオーバーコート膜230を備える。

【0066】

以上、本発明による薄膜トランジスタ基板と、この製造方法及びこれを備えた液晶表示パネルを説明したが、これは単なる例示的なものに過ぎず、本発明はこれらの実施の形態に全く限定されるものではない。特許請求の範囲において請求するように、本発明の要旨から逸脱することなく、当該発明が属する分野において通常の知識を有する者であれば、誰でも各種の変更実施が可能な範囲まで本件発明範囲に属する。

40

【図面の簡単な説明】

【0067】

【図1】本発明による薄膜トランジスタ基板の概略平面図である。

【図2】図1のI-I線に沿う断面図である。

【図3A】本発明による薄膜トランジスタ基板の製造工程の平面図である。

【図3B】本発明による薄膜トランジスタ基板の製造工程の断面図である。

50

【図４Ａ】本発明による薄膜トランジスタ基板の製造工程の平面図である。

【図４Ｂ】本発明による薄膜トランジスタ基板の製造工程の断面図である。

【図５Ａ】本発明による薄膜トランジスタ基板の製造工程の平面図である。

【図５Ｂ】本発明による薄膜トランジスタ基板の製造工程の断面図である。

【図６Ａ】本発明による薄膜トランジスタ基板の製造工程の平面図である。

【図６Ｂ】本発明による薄膜トランジスタ基板の製造工程の断面図である。

【図７Ａ】本発明による薄膜トランジスタ基板の製造工程の平面図である。

【図７Ｂ】本発明による薄膜トランジスタ基板の製造工程の断面図である。

【図８Ａ】本発明による薄膜トランジスタ基板の製造工程の平面図である。

【図８Ｂ】本発明による薄膜トランジスタ基板の製造工程の断面図である。

10

【図９Ａ】本発明による薄膜トランジスタ基板の製造工程のうち、第４のマスク工程を示す断面図である。

【図９Ｂ】本発明による薄膜トランジスタ基板の製造工程のうち、第４のマスク工程を示す断面図である。

【図９Ｃ】本発明による薄膜トランジスタ基板の製造工程のうち、第４のマスク工程を示す断面図である。

【図９Ｄ】本発明による薄膜トランジスタ基板の製造工程のうち、第４のマスク工程を示す断面図である。

【図１０】本発明による薄膜トランジスタ基板を含む液晶表示パネルの概略断面図である。

20

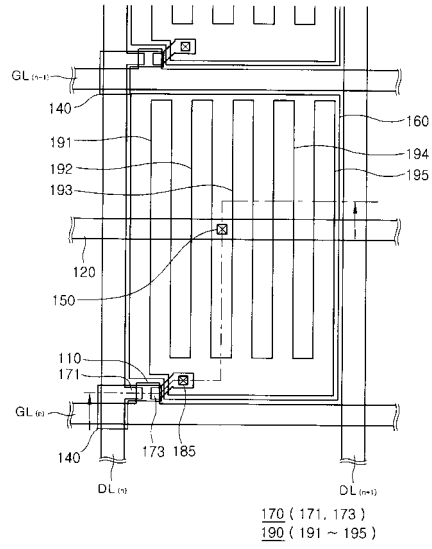
【符号の説明】

【００６８】

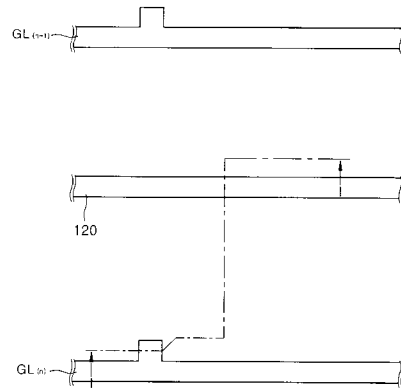
- １００ 薄膜トランジスタ基板
- １１０ ゲート電極
- １２０ 共通電極ライン
- １３０ ゲート絶縁膜
- １６０ 共通電極
- １７０ ソースドレイン電極
- １８０ 保護膜
- １９０ 画素電極
- ２００ カラーフィルター基板
- ２１０ ブラックマトリックス
- ２２０ カラーフィルター
- ２３０ オーバーコート膜
- ２４０ スペーサー
- ３００ 液晶

30

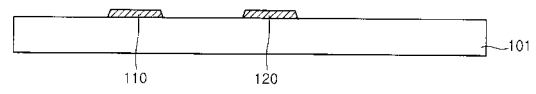
【図 1】



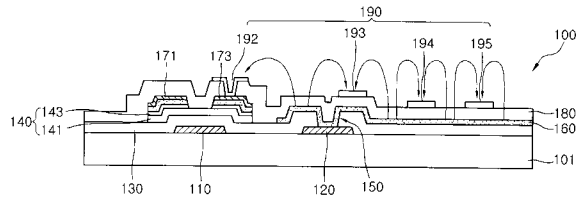
【図 3 A】



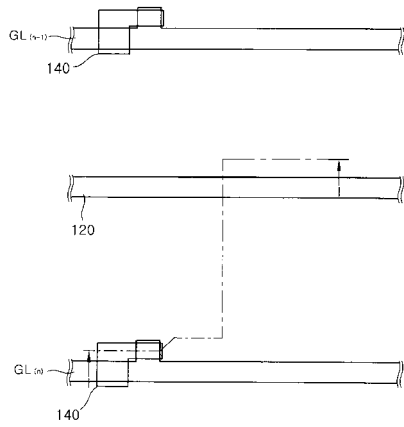
【図 3 B】



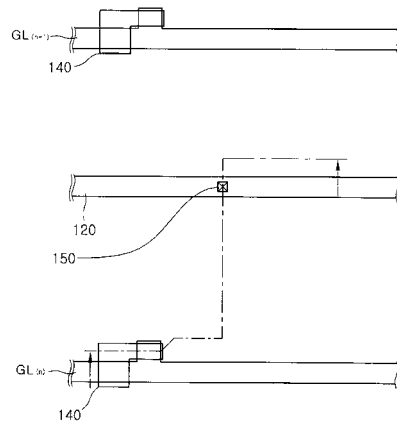
【図 2】



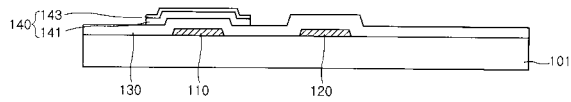
【図 4 A】



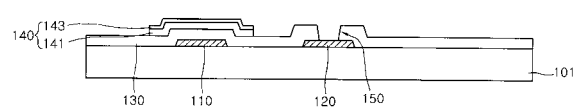
【図 5 A】



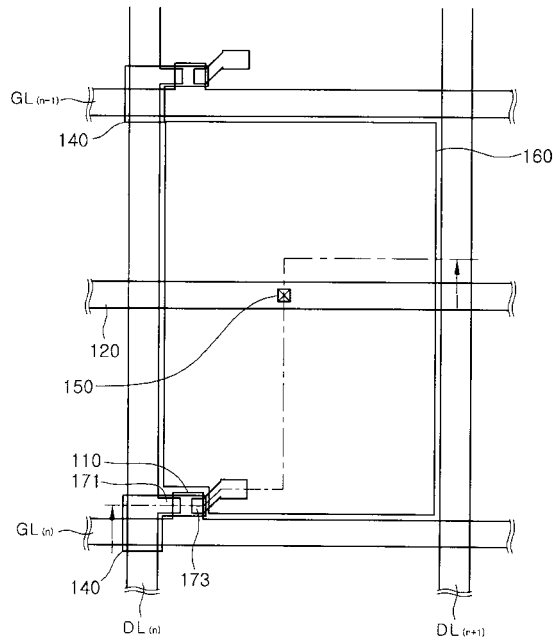
【図 4 B】



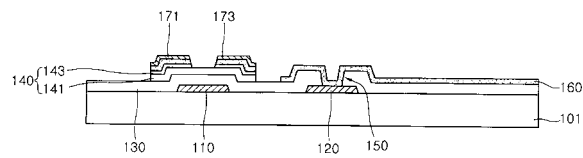
【図 5 B】



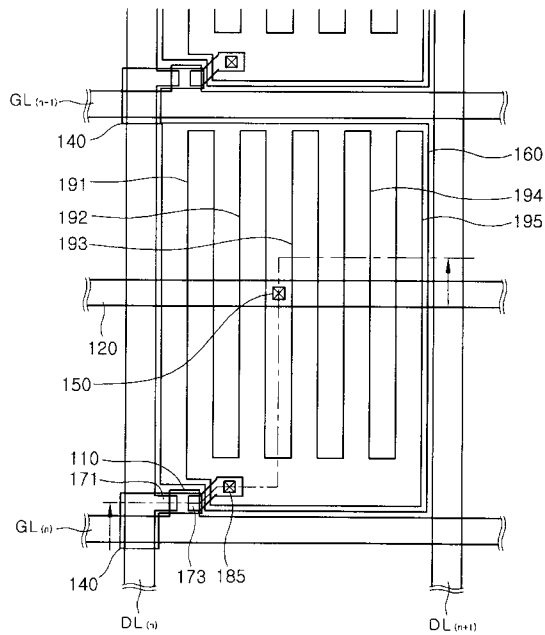
【図 6 A】



【図 6 B】

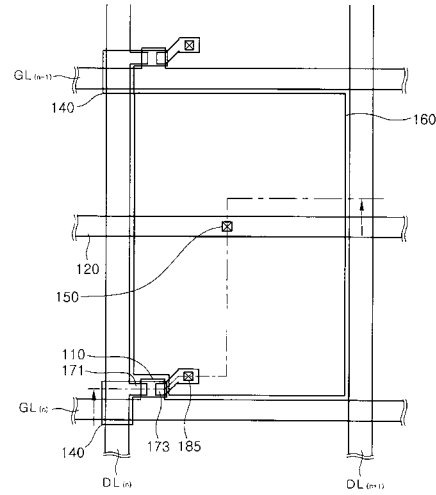


【図 8 A】

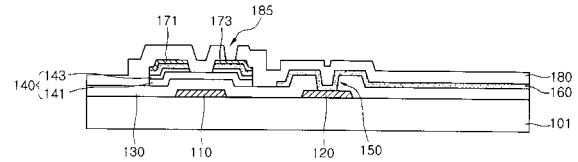


170 (171, 173)
190 (191 ~ 195)

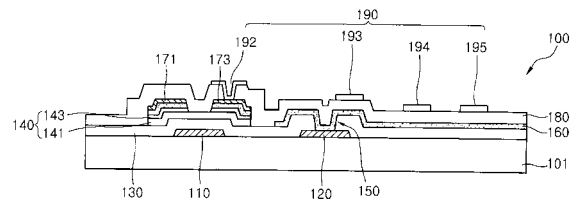
【図 7 A】



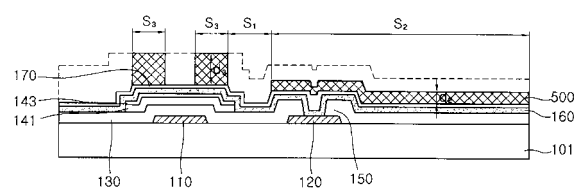
【図 7 B】



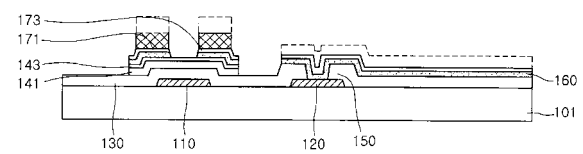
【図 8 B】



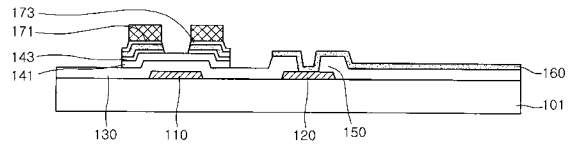
【図 9 A】



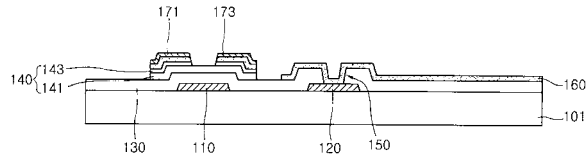
【図 9 B】



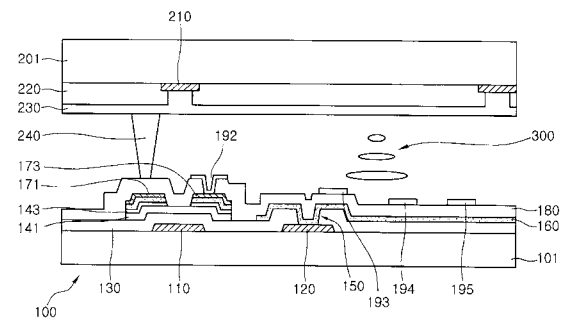
【図 9 C】



【図 9 D】



【図 10】



フロントページの続き

(72)発明者 柳 春 基

大韓民国京畿道華城市餅店洞 グボンマウルウランファストビルアパートメント105-1205

審査官 瀬川 勝久

(56)参考文献 特開2000-089255 (JP, A)

特開2002-090781 (JP, A)

(58)調査した分野(Int.Cl., DB名)

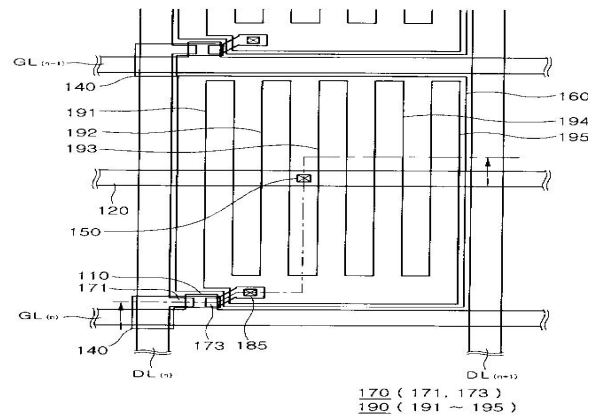
G02F 1/13

专利名称(译)	薄膜晶体管基板及其制造方法，以及薄膜晶体管基板 -		
公开(公告)号	JP5190593B2	公开(公告)日	2013-04-24
申请号	JP2007011807	申请日	2007-01-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金奉柱 柳春基		
发明人	金 奉 柱 柳 春 基		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 H01L21/768		
CPC分类号	G02F1/134363 G02F1/136227 H01L27/124 H01L29/41733		
FI分类号	G02F1/1368 H01L29/78.612.Z H01L21/90.A		
F-TERM分类号	2H092/GA11 2H092/HA04 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB52 2H092/MA07 2H092/MA08 2H092/MA13 2H092/MA14 2H092/MA17 2H092/NA25 2H092/PA01 2H092/PA03 2H092/PA08 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC72 2H192/DA32 2H192/EA22 2H192/EA43 2H192/EA74 2H192/HA44 2H192/JA32 5F033/HH08 5F033/HH10 5F033/HH11 5F033/HH17 5F033/HH18 5F033/HH20 5F033/HH22 5F033/HH35 5F033/HH38 5F033/JJ01 5F033/JJ35 5F033/JJ38 5F033/KK05 5F033/KK08 5F033/KK17 5F033/KK18 5F033/KK20 5F033/KK25 5F033/MM05 5F033/PP06 5F033/PP15 5F033/QQ08 5F033/QQ09 5F033/QQ37 5F033/RR04 5F033/RR06 5F033/VV06 5F033/VV15 5F033/XX00 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF02 5F110/FF03 5F110/FF28 5F110/FF30 5F110/GG02 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HK05 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK22 5F110/NN72 5F110/QQ10		
优先权	1020060093519 2006-09-26 KR		
其他公开文献	JP2008083662A JP2008083662A5		
外部链接	Espacenet		

摘要(译)

提供一种薄膜晶体管基板，该制造方法以及具有该液晶显示面板。和基板，其在一个方向上在衬底上延伸的栅极线，以及设置在栅极线形成所述公共电压线和基板，栅极线和公共电压线以预定间隔形成在其上，在形成栅绝缘膜上，其中第一接触孔被形成以暴露所述公共电压线的一部分的栅绝缘膜，通过第一接触孔连接到公共电压线在栅极线的交叉点和数据线，形成一个公共电极，其是在它的方向延伸横过所述栅极绝缘膜在栅极线的数据线，其连接到栅极线和数据线薄膜晶体管基板，其包括栅电极，薄膜晶体管包括源电极和漏电极，以及连接到薄膜晶体管的像素电极。 .The

【 図 1 】



【 図 2 】