

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5100993号
(P5100993)

(45) 発行日 平成24年12月19日 (2012.12.19)

(24) 登録日 平成24年10月5日 (2012.10.5)

(51) Int.Cl.

F I

G O 9 G 3 / 3 6 (2 0 0 6 . 0 1)

G O 9 G 3 / 2 0 (2 0 0 6 . 0 1)

G O 2 F 1 / 1 3 3 (2 0 0 6 . 0 1)

G O 9 G 3 / 3 6

G O 9 G 3 / 2 0 6 2 2 E

G O 9 G 3 / 2 0 6 2 2 G

G O 9 G 3 / 2 0 6 2 1 M

G O 9 G 3 / 2 0 6 8 O G

請求項の数 10 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2005-262762 (P2005-262762)	(73) 特許権者	507058373
(22) 出願日	平成17年9月9日 (2005.9.9)		ティービーオー、ホンコン、ホールディング、リミテッド
(65) 公開番号	特開2007-78717 (P2007-78717A)		TPO HONG KONG HOLDING LIMITED
(43) 公開日	平成19年3月29日 (2007.3.29)		中華人民共和国、ホンコン、シャティン、サイエンス、パーク、イースト、アベニュー、5、フィリップス、エレクトロニクス、ビルディング、フロアー、2
審査請求日	平成20年8月18日 (2008.8.18)	(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
			最終頁に続く

(54) 【発明の名称】 液晶駆動回路およびこれを有する液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

ドレインに前ラインのイネーブル出力データ (Ren-1) が供給され、ドレインとゲートが接続された第 1 のトランジスタ (Q 1) と、ゲートに次ラインのイネーブル出力 (Ren+1) が供給されてソースにリセットレベル電圧 (Vreset) が与えられ、ドレインに前記第 1 のトランジスタのソースが接続された第 2 のトランジスタ (Q 2) と、前記第 1 のトランジスタと前記第 2 のトランジスタの接続ノードであり、出力端をなす第 1 の接続ノード (N 1) に一端が接続され、他端に反転されたパルス信号 (inv P) が与えられた第 1 のキャパシタ (C 1) と、前記第 1 の接続ノードに一端が接続された第 2 のキャパシタ (C 2) と、前記第 1 の接続ノードにゲートが接続され、ドレインにパルス信号 (P) が与えられた第 3 のトランジスタ (Q 3) と、前記第 1 の接続ノードにドレインが接続され、ソースにはリセットレベル電圧が与えられた第 4 のトランジスタ (Q 4) と、前記第 3 のトランジスタのソースにドレインが接続され、ソースにはリセットレベル電圧が与えられた第 5 のトランジスタ (Q 5) とを備え、前記第 4、第 5 のトランジスタの各ゲートにはリセット信号 (reset) が入力され、前記第 3 のトランジスタと前記第 5 のトランジスタの接続点には前記第 2 のキャパシタの他端が接続されて、イネーブル出力を生じる第 2 の接続ノード (NE 1) となっており、画像を表示する画素アレイのラインアドレスを進め、駆動すべき表示対象ラインについてのみイネーブル信号を出力し、少なくとも 1 つのパルス信号により駆動される第 1 のシフトレジスタと、

前記第 1 のシフトレジスタでイネーブルとされたラインに対して、前記イネーブル信号

に対応して当該ラインの駆動のための信号を出力する駆動手段とを備えたことを特徴とする液晶駆動回路。

【請求項 2】

前記駆動手段は、前記第 1 の接続ノードにゲートが接続され、ソースにイネーブルパルス信号（P e）が与えられた第 6 のトランジスタ（Q 6）と、前記第 6 のトランジスタのソースに接続され、ソースにはリセットレベル電圧が与えられた第 7 のトランジスタ Q 7 と、前記第 6 のトランジスタのソースと前記第 7 のトランジスタのドレインの接続点が出力（R n）を取り出す出力ノードとなす、ライン駆動信号の通過を制御するトランジスタスイッチであることを特徴とする請求項 1 に記載の液晶駆動回路。

【請求項 3】

前記駆動手段は、当該ラインのスキャンを許可するイネーブルスイッチと、前記第 1 のシフトレジスタのイネーブル信号出力が前記イネーブルスイッチを介して内部端子に接続され、その出力が前記画素アレイのライン駆動信号を出力する、前記第 1 のシフトレジスタと同様の構成を有する第 2 のシフトレジスタであることを特徴とする請求項 1 に記載の液晶駆動回路。

【請求項 4】

前記駆動手段は、前記画素アレイの片側に配置されたことを特徴とする請求項 2 または 3 に記載の液晶駆動回路。

【請求項 5】

前記駆動手段は、前記第 1 のシフトレジスタに対して、前記画素アレイの反対側に配置され、その出力が前記画素アレイのラインを駆動する信号を出力する、前記第 1 のシフトレジスタと同様の構成を有する第 2 のシフトレジスタと、前記第 1 のシフトレジスタと同じ側にあって、前記第 1 のシフトレジスタのイネーブル信号を前記画素アレイの当該ラインに接続するイネーブルスイッチと、を備えたことを特徴とする請求項 1 に記載の液晶駆動回路。

【請求項 6】

前記第 1 のシフトレジスタは、そのイネーブル出力線に接続された補助容量（C d）を備えたことを特徴とする請求項 1 ないし 5 のいずれかに記載の液晶駆動回路。

【請求項 7】

前記第 1 のシフトレジスタは、前ラインにおけるイネーブル出力をもとに、段階的に変化する当該ラインのイネーブル出力を得る、トランジスタおよびそのゲート・ドレイン間に接続されたキャパシタにより構成されるブートストラップ回路を備えたことを特徴とする請求項 1 ないし 5 のいずれかに記載の液晶駆動回路。

【請求項 8】

前記液晶駆動回路は、ガラス基板上に形成されたことを特徴とする請求項 1 ないし 7 のいずれかに記載の液晶駆動回路。

【請求項 9】

前記液晶駆動回路を構成するトランジスタがアモルファスシリコンで形成されたことを特徴とする請求項 1 ないし 8 のいずれかに記載の液晶駆動回路。

【請求項 10】

請求項 1 ないし 9 のいずれかに記載の液晶駆動回路と、この液晶駆動回路により駆動される画素アレイを備えた液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶駆動装置およびこれを有する液晶表示装置に関するもので、特に、アモルファスシリコンで形成された TFT（薄膜トランジスタ）ゲートドライバで構成され、スタンバイ時に部分駆動が可能な液晶部分駆動装置、およびこの液晶部分駆動装置を備えた液晶表示装置に関する。

【背景技術】

10

20

30

40

50

【0002】

液晶表示装置は消費電力が比較的少ないが、最近は長時間動作の要求等から、特に携帯型電話機等の分野ではさらなる消費電力の低減化が望まれている。例えば、もともとバックライトを用いず消費電力の少ない反射型の液晶表示装置においても、さらに消費電力を低減することが求められている。

【0003】

液晶表示装置の低消費電力化および配線スペースを減らしてスペース効率を向上させるため、シフトレジスタを用いる液晶駆動装置が知られており、表示行をシフトレジスタにより順次選択し、TFTを駆動して液晶に表示を行わせるようにしている。

【0004】

このような選択駆動を前の行からの信号により当該ラインに来たときだけ行い、かつキャパシタを用いてハイインピーダンスを実現したものとしては特許文献1に記載されたものが知られている。また、この特許文献1においては、十分な駆動電圧を得るためにブートストラップ技術も使用されている。

【0005】

一方、スタンバイ時には液晶表示素子全体ではなく、その一部にのみ表示を行って電力をさらに削減する部分駆動（パーシャル駆動）方式が提案され、実用化されている。

【0006】

この部分駆動方式においては、表示させたいラインまで進め、選択的に駆動されるラインに設けられたスイッチをオンさせてTFTにスキャンデータを供給するようにしている。

【特許文献1】米国特許第6,064,713号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、このような部分駆動方式は、ガラス基板の上にアモルファスシリコントランジスタによるゲートを形成したGOG（ゲートドライバオングラス）回路では実現されていない。

【0008】

これは、アモルファスシリコントランジスタで構成されたシフトレジスタはゲート電圧をかけ続けるような使用をすると劣化が進みやすく、しきい値が変動して画質が変化し、あるいは動作の異常を招くという問題があるためである。すなわち、部分駆動のためには、部分駆動されるラインに設けられたトランジスタスイッチは部分駆動される時間の間、ゲートバイアスをかけ続けてトランジスタをオンさせる必要があるため、ゲートバイアスがかけられている時間に比例して劣化が進み、正常な動作を長期間にわたって保証できなくなるためである。

【0009】

そこで、本発明は、アモルファスシリコンで構成されたGOG回路の場合でも、部分駆動の際に素子の劣化を最小限にした液晶部分駆動装置およびこれを適用した液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明によれば、ドレインに前ラインのイネーブル出力データ（Ren-1）が供給され、ドレインとゲートが接続された第1のトランジスタ（Q1）と、ゲートに次ラインのイネーブル出力（Ren+1）が供給されてソースにリセットレベル電圧（Vreset）が与えられ、ドレインに前記第1のトランジスタのソースが接続された第2のトランジスタ（Q2）と、前記第1のトランジスタと前記第2のトランジスタの接続ノードであり、出力端をなす第1の接続ノード（N1）に一端が接続され、他端に反転されたパルス信号（inv P）が与えられた第1のキャパシタ（C1）と、前記第1の接続ノードに一端が接続された第2のキャパシタ（C2）と、前記第1の接続ノードにゲートが接続され、ドレインにパルス信号（P）が与えられた第3のトランジスタ（Q3）と、前記第1の接続ノードに

10

20

30

40

50

ドレインが接続され、ソースにはリセットレベル電圧が与えられた第4のトランジスタ（Q4）と、前記第3のトランジスタのソースにドレインが接続され、ソースにはリセットレベル電圧が与えられた第5のトランジスタ（Q5）とを備え、前記第4、第5のトランジスタの各ゲートにはリセット信号（reset）が入力され、前記第3のトランジスタと前記第5のトランジスタの接続点には前記第2のキャパシタの他端が接続されて、イネーブル出力を生じる第2の接続ノード（NE1）となっており、画像を表示する画素アレイのラインアドレスを進め、駆動すべき表示対象ラインについてのみイネーブル信号を出力し、少なくとも1つのパルス信号により駆動される第1のシフトレジスタと、前記第1のシフトレジスタでイネーブルとされたラインに対して、前記イネーブル信号に対応して当該ラインの駆動のための信号を出力する駆動手段とを備えたことを特徴とする液晶駆動回路が提供される。

10

【0011】

前記駆動手段は、前記第1のシフトレジスタの出力端にゲートが接続され、ライン駆動信号の通過を制御するトランジスタスイッチであると良く、あるいは当該ラインのスクランを許可するイネーブルスイッチと、前記第1のシフトレジスタのイネーブル信号出力が前記イネーブルスイッチを介して内部端子に接続され、その出力が前記画素アレイのライン駆動信号を出力する第2のシフトレジスタで構成されると良い。

【0012】

また、前記駆動手段は、前記第1のシフトレジスタに対して、前記画素アレイの反対側に配置され、その出力が前記画素アレイのラインを駆動する信号を出力する第2のシフトレジスタと、前記第1のシフトレジスタと同じ側において、前記第1のシフトレジスタのイネーブル信号を前記画素アレイの当該ラインに接続するイネーブルスイッチと、で構成されると良い。

20

【発明の効果】

【0013】

以上のように、本発明にかかる液晶駆動装置および液晶表示装置によれば、シフトレジスタにより駆動すべき表示対象ラインについてのみイネーブル信号を出力し、このイネーブル信号をもとに別の駆動手段でライン駆動信号を供給するようにしているので、駆動回路がアモルファスシリコンで形成されているような場合に部分駆動を行っても、各トランジスタのゲートに高電圧がかかる時間は著しく短縮され、劣化を防止して長寿命化を実現することができる。

30

【0014】

また、部分駆動を実現するのに各ラインアドレスを直接指定するのではなく、シフトレジスタを用いて順次指定をしているため、外部への接続線の数的大幅に削減できるとともに、歩留まりの向上およびコストの削減が可能となる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態のいくつかを図面を参照して詳細に説明する。

【実施の形態1】

【0016】

図1は本発明にかかる液晶駆動装置の第1の実施の形態にかかる構成の一部を簡略的に示す構成図であって、液晶表示素子がマトリクス状に配設された画素アレイ10に対して2つの行ライン（nおよびn+1）に駆動信号を送る構成を例示している。

40

【0017】

ラインnに対してはシフトレジスタ21の出力によってイネーブルスイッチ／バッファ31を介してイネーブルラインPe1上の信号を画素アレイ10に対する信号Rnとして出力しており、同様にラインn+1に対してはシフトレジスタ22の出力によってイネーブルスイッチ／バッファ32を介してイネーブルラインPe2上の信号を画素アレイ10に対する信号Rn+1として出力している。

【0018】

50

シフトレジスタはそのラインのノード（ R_n ノード）への出力の他にイネーブル出力 Ren を有しており、このイネーブル出力 Ren でダミーキャパシタ C_d を充電するとともに、1つ前および1つ後のシフトレジスタに入力している。

【0019】

シフトレジスタとイネーブルスイッチ／バッファの部分の具体的な回路を図2に示す。以下の回路図においてはトランジスタはすべて n チャネル型として説明するものとし、ライン n を中心として説明するが、他のラインでも同様の構成になっている。

【0020】

ドレインに前ラインのイネーブル出力 $Ren-1$ が供給され、ドレインとゲートが接続されたトランジスタ $Q1$ のソースと、ゲートに次ラインのイネーブル出力 $Ren+1$ が供給されてソースにリセットレベル電圧である V_{reset} が与えられるトランジスタ $Q2$ のドレインが接続され、その接続ノード $N1$ には2つのキャパシタ $C1$ および $C2$ が接続されると共にトランジスタ $Q3$ および $Q6$ のゲートに接続されている。ノード $N1$ にはさらにトランジスタ $Q4$ のドレインも接続され、そのソースには V_{reset} 電位が与えられる。トランジスタ $Q3$ のドレインにはパルス信号 P が与えられ、 $Q3$ のソースはトランジスタ $Q5$ のドレインと接続されている。キャパシタ $C1$ の他端には反転されたパルス信号 $invP$ が与えられている。トランジスタ $Q6$ のソースはトランジスタ $Q7$ のドレインと接続され、この接続点が出力ノードとなって出力 R_n が取り出される。トランジスタ $Q4$ 、 $Q5$ 、 $Q7$ のゲートにはリセット信号が入力されるようになっている。トランジスタ $Q3$ と $Q5$ の接続点は接続ノードは接続ノード $NE1$ であり、このノードにはキャパシタ $C2$ の他端が接続され、イネーブル出力 Ren が現れると共に V_{reset} との間にダミーキャパシタ C_d が接続されている。このダミーキャパシタはシフトレジスタの動作を維持するために必要な容量であるため、寄生容量を十分に吸収できるような値の容量が必要である。

【0021】

以上から、図2に示した回路と図1のブロック図との関係はトランジスタ $Q6$ がゲートドライブを行うイネーブルスイッチ／バッファに相当し、他の部分はシフトレジスタおよびダミーキャパシタに相当する。

【0022】

以下、この液晶駆動回路の動作を図3のタイミングチャートを参照して説明する。

【0023】

まず、上述した構成のうち、トランジスタ $Q4$ 、 $Q5$ 、 $Q7$ のゲートに $reset$ 信号が印加されてリセットが行われるが、これは動作を確実にするために、回路内の不要な電荷を排出するために各フレームに対して1回だけ全ライン共通に行われるものであるため、これらのトランジスタは動作上無視して考えてよい。

【0024】

図3においては、実線はスキャンを跳ばす場合、破線はシフトレジスタを順次動かす場合について示している。

【0025】

今、第 n ラインに着目すると、図2から明らかなように、第 n ラインの出力 R_n と Ren を得るには1ライン前の R_{n-1} が必要となるため、1ライン前の動作から検討する。なお、トランジスタ $Q2$ のゲートには次のラインにおけるイネーブル信号 $Ren+1$ も入力されるが、これは n ラインにおいてはロウであるため、 $Q2$ はオフ状態である。

【0026】

これに対し、1ライン前では $Ren-1$ はハイとなるため、トランジスタ $Q1$ はオンとなって、 R_n ノードは、ハイレベルよりトランジスタ $Q1$ のしきい値電圧分少ない電圧まで上昇し、トランジスタ $Q3$ および $Q6$ はオンとなる。スキャンを行う場合には $Pe1$ がハイになることにより出力 R_n もハイとなるが、スキャンを跳ばす場合には Pe のパルスが与えられないため、トランジスタ $Q6$ がオンとなっても R_n はロウ状態のままである。

【0027】

一方、スキャンを跳ばす場合には、スキャンパルス $P1$ が与えられ、トランジスタ $Q3$

がオンとなっていることから、ノードNE1におけるイネーブル出力Renはハイとなり、ダミーキャパシタCdが充電される。同時にキャパシタC2とトランジスタQ3はブートストラップ回路を構成していることから、Rnノードの電位は図3に示すようにRn-1ノードにおける立下りのタイミングでさらに上昇する。すなわち、n-1ラインとnラインの2期間でレベルが2段階に変化する信号が得られる。

【0028】

なお、スキャンパルスとしてP1およびP2として2系統の信号を準備したのは、ラインごとの動作を確実にするためである。また、図2から明らかなように反転されたパルスinvPも用いられているが、この信号は各シフトレジスタ内で反転手段を設けて反転信号を作り出しても、スキャンパルスとして独立の信号供給線を準備するようにしても良い。

10

【0029】

後者の場合、P1、invP1、P2、invP2の4本の信号供給線からラインごとに正逆の1対の信号を交互に取り出すことになる。

【0030】

以上のような関係は連続する任意の2期間において同様であり、各ラインごとに同様の動作が繰り返される。

【0031】

図2の回路を用いることにより、シフトレジスタは順次各ラインのノードをオンにしていくが、イネーブルスイッチQ6がオンされない限りそのラインの駆動は行われず、表示も行われない。したがって、シフトレジスタで表示開始ラインまで進め、イネーブルスイッチをオンとすることにより液晶の部分駆動が可能になる。

20

【0032】

そして、各トランジスタのゲートには必要なタイミングでのみハイ電位が供給されるようになっており、また、イネーブルスイッチを介して画素アレイのラインに供給されるパルスはPeについてはイネーブルスイッチを構成するトランジスタのゲートに印加されるのではなく、ドレインに供給されるのであるから、トランジスタをアモルファスシリコンで形成した場合にもトランジスタの劣化は抑制され、駆動回路の寿命を長くすることができる。

【実施の形態2】

【0033】

30

図4ないし図6は本発明にかかる液晶駆動装置の第2の実施の形態にかかる構成および動作を示すものである。図4はその構成を簡略的に示す図であって、図1の構成とは異なり、液晶画素アレイ10の両側にシフトレジスタを配置し、一方側を表示すべきラインに移動させるものとし、他方側を画素アレイのゲート線に選択パルスを供給するようにしたものである。

【0034】

図4にあっては、nおよびn+1の2つのラインについての構成を示しており、右側のシフトレジスタ51、52はラインを進める第2のシフトレジスタ、左側のシフトレジスタ41、42は画素アレイ10にライン駆動を行わせる第1のシフトレジスタとなっている。また、画素アレイ10に隣接してスキャン信号により第2のシフトレジスタの出力ラインと第1のシフトレジスタの出力ラインとを接続するスイッチSWが設けられている。

40

【0035】

図5は図4の構成を具体的に示す回路図であり、nラインの構成について記述しているが、他のラインでも同様の構成となっている。

【0036】

左側の5つのトランジスタQ11からQ15を有して構成されるシフトレジスタは、図2において説明した、トランジスタQ1からQ5を有して構成されたシフトレジスタ部分と回路的には全く同じ構成となっており、参照番号を10番台としているが、入力される信号は図1のようなイネーブル信号Ren-1、Ren+1ではなく、前ラインおよび次ラインのシフトレジスタの出力であるRn-1、Rn+1となっており、得られる出力がRnのみである点

50

が異なる。

【0037】

一方、右側の5つのトランジスタQ21からQ25を有して構成されるシフトレジスタは図2において説明した、トランジスタQ1からQ5を有して構成されたシフトレジスタ部分とダミーキャパシタCdを含めて回路的には全く同じ構成となっており、参照番号を20番台としているが、図2のキャパシタC1、C2に対応するものはイネーブル信号に関係するため、それぞれCe21、Ce22としている。

【0038】

図2の構成と大きく異なるのは、左側のシフトレジスタの出力Rnが画素アレイ10に供給された後、右側において、イネーブルスイッチであるトランジスタQ31の一方側端子に接続され、他方側に右側のシフトレジスタの出力であるRenが接続されており、このスイッチトランジスタのゲートには画素アレイに対してスキャンを行わせるscan信号が与えられる点である。

10

【0039】

このscan信号を発生させる回路構成は、ソースとゲートが接続されたトランジスタQ41のドレインに各ラインのゲートを共通接続するゲートラインが接続され、ソースにはScanEnable1信号が供給され、トランジスタQ41のソースはキャパシタCscとトランジスタQ42のソースの接続点と接続されている。キャパシタCscの他端にはScanEnable2信号が供給され、トランジスタQ42のドレインにはVreset電位が与えられ、ゲートにはスキャンのリセットを行うためのScanReset信号が与えられる。

20

【0040】

この回路の動作を図6のタイミングチャートを用いて説明する。

【0041】

各フレームの最初に各シフトレジスタのリセットを行う。そしてまず右側のシフトレジスタを動作させ、所望のラインアドレスまで進める。今、ラインnに達したものとすると、ノードNE12ではブートストラップ作用で2段階に増加されたレベルとなっており、イネーブル信号Renが発生しており、ダミーキャパシタも充電されている。

【0042】

このラインnを部分駆動の開始ラインとして、ScanEnable1信号がハイとなるとダイオード接続されたトランジスタQ41を介してScan信号レベルが上昇し、続いてScanEnable1信号がハイである期間内でScanEnable2信号がハイになると、スキャン用のキャパシタCscが充電され、このキャパシタ内の電荷がScan信号に加わるため、Scan信号は2段階の上昇を示す。

30

【0043】

これにより、トランジスタQ31は導通し、ノードNE22に現れる電圧レベルは画素アレイのラインnを駆動させるRnとして作用する。

【0044】

このRnの値が決まることにより、これが次ラインのシフトレジスタに送られ、またパルスP1およびP2が供給されるため、左側のシフトレジスタは次々にラインが進み画素アレイの駆動が行われ、部分駆動が実現する。

40

【0045】

このように、右側のシフトレジスタで部分駆動するラインアドレスに到達するとその出力が画素アレイを駆動する信号となり、以後は左側のシフトレジスタが順次画素アレイのラインを順次駆動していくため、部分駆動が可能となる。

【0046】

この部分駆動を停止するには、ScanReset信号を供給してトランジスタQ31をオフし、右側のシフトレジスタにおいてreset信号を供給してRenノードの電位を低下させることにより、次のラインに対するRnの供給を停止させればよい。これにより、図6から明らかなように、左側のシフトレジスタの動作も2ライン先では完全に停止される。

【0047】

50

このような構成を採用することにより、第1の実施の形態と同様に、シフトレジスタを構成するトランジスタのゲートには高電圧が印加され続けることはなく、アモルファスシリコントランジスタの劣化を防止できるとともに、二つのシフトレジスタを液晶表示画面の両側に配置することができるため、スペースに関して制限の多い装置、特に携帯型電話等の用途において、スペース効率の高い液晶表示装置を実現することができる。

【実施の形態3】

【0048】

次に、図7ないし図9を参照して本発明にかかる液晶駆動装置の第3の実施の形態を説明する。

【0049】

図7は本発明にかかる液晶駆動装置の第3の実施の形態における概略構成を示す図であり、他の実施の形態と同様に n ラインと $n+1$ ラインについて示している。参照番号61および62で示される左側の第1のシフトレジスタは所望のアドレスラインまで進めるためのシフトレジスタであり、この出力とスキャンを有効にするScan信号の論理和にさらに前ラインからのイネーブル信号の論理積により画素アレイ10をライン駆動する信号を出力する、参照番号71, 72で示される第2のシフトレジスタを備えている。この回路は、スキャンを有効にさせる信号とイネーブル信号を利用して高い駆動電圧を画素アレイに供給するようにしたものである。なお、図7には論理和ゲートANDと論理積ゲートORが示されているが、これらは機能的に表現したものである。

【0050】

具体的な回路を図8に示す。ここではライン n についての構成を示しているが、他のラインでも同様の構成となっている。

【0051】

5つのトランジスタQ51からQ55で構成される第1のシフトレジスタに相当する部分はイネーブル信号Renを発生するが、 R_n を出力する部分を除き、トランジスタQ1からQ5により構成された図2のシフトレジスタ部分と回路的には全く同じ構成となっているため、参照番号を50番台として対応させてある。したがって、図2で説明したのと全く同じ動作により、順次空スキャンを行い、当該ラインに達したときにそのラインをイネーブルにするRen信号が出力される。

【0052】

この出力信号Renは図5に示したのと同じ構成のイネーブルスイッチQ31に接続され、このトランジスタの他端側は第2のシフトレジスタの入力端となっている。なお、各ラインのイネーブルスイッチのゲートに対してscan信号を発生させる回路構成は、図5と全く同じであるので、同じ参照番号を付してその説明を省略する。

【0053】

このイネーブルスイッチQ31の反対側の第2のシフトレジスタも第1のシフトレジスタとほぼ同様な構成となっているが、トランジスタQ61のドレインとQ62のソースの接続点であるノードN61にはイネーブルスイッチQ31を介して供給されたイネーブル信号Renが接続される。第2のシフトレジスタにより画素アレイ10の当該ラインを駆動する出力 R_n が得られるようになっている。

【0054】

図8の構成における動作を図9のタイミングチャートを参照して説明する。

【0055】

第1のシフトレジスタでは1ラインごとにそのラインを有効にする信号が出力されており、 n ラインに対してもノードNE52には2段階に上昇したレベルのイネーブル信号Renが現れている。しかしこのレベルの信号RenはイネーブルスイッチQ31がオンとならない限り第2のシフトレジスタには影響を及ぼさないで、いわゆる空スキャンを行うことになる。

【0056】

図5の構成につき図6を用いて説明したように、当該ラインでScanEnable1信号およびS

10

20

30

40

50

canEnable2信号が与えられることにより、トランジスタQ 3 1はオンとなり、イネーブル出力Renは前述したように第2のシフトレジスタの内部ノードN 6 1に印加される。このノードN 6 1は回路の内部端子であるから、ハイインピーダンスであり、このノードにはトランジスタQ 6 1を介して前ラインの出力Rn-1が加算され、さらにキャパシタC 6 2とトランジスタQ 6 3によるブートストラップ作用により、2段階で引き上げられるため、ノードN 6 2には例えば1.5 V程度の大きな電圧を発生させることができ、当該ラインから画素アレイを駆動させることができる。

【0057】

この実施の形態では、イネーブル出力を第1のシフトレジスタで得、これをスキャン指示のあったときだけイネーブルスイッチを介して第2のシフトレジスタに接続し、この第2のシフトレジスタの作用によりライン駆動信号を発生させるようにしているので、部分駆動を容易に実現できるとともに、トランジスタのゲートには限られた時間しか高電圧が印加されず、アモルファスシリコンで形成されたトランジスタであっても劣化が著しく抑制されるため、長期にわたって安定した駆動動作を実現することができる。

10

【0058】

以上の各実施の形態では、各シフトレジスタはほぼ同じ構成となっていたが、同様の作用を奏する変形等を適用することが可能である。

【図面の簡単な説明】

【0059】

【図1】本発明の第1の実施の形態にかかる液晶駆動装置の概略構成を示すブロック図である。

20

【図2】図1の構成を詳細に示す回路図である。

【図3】図2における動作を説明するタイミングチャートである。

【図4】本発明の第2の実施の形態にかかる液晶駆動装置の概略構成を示すブロック図である。

【図5】図4の構成を詳細に示す回路図である。

【図6】図5における動作を説明するタイミングチャートである。

【図7】本発明の第3の実施の形態にかかる液晶駆動装置の概略構成を示すブロック図である。

【図8】図7の構成を詳細に示す回路図である。

30

【図9】図8における動作を説明するタイミングチャートである。

【符号の説明】

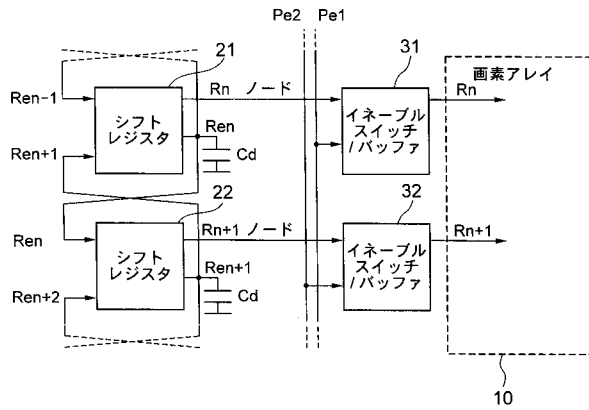
【0060】

10 画素アレイ

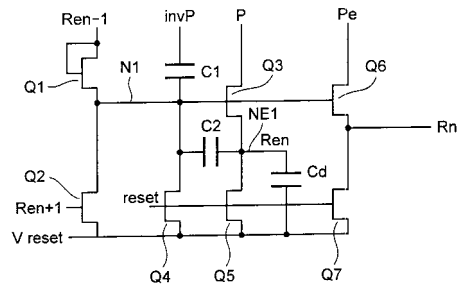
21、22、41、42、51、52、61、62、71、72 シフトレジスタ

31,32 イネーブルスイッチ

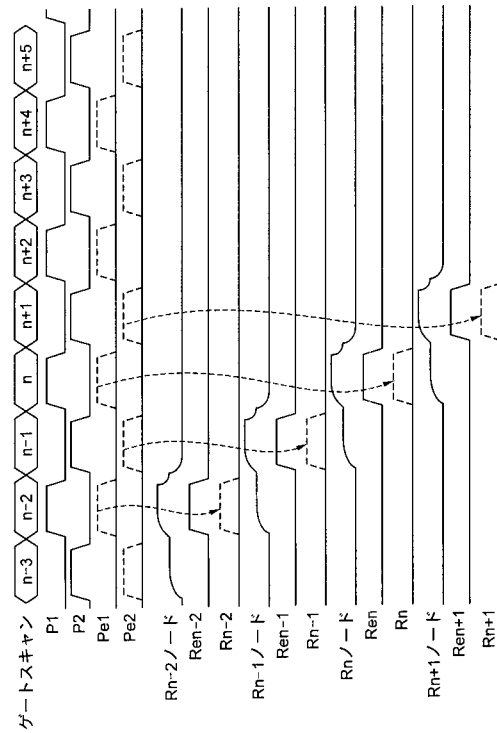
【図 1】



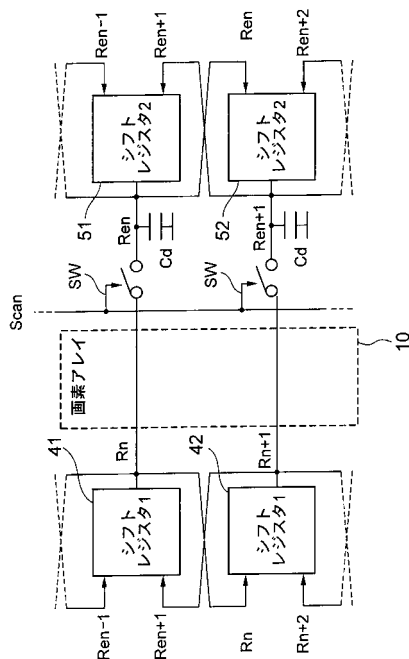
【図 2】



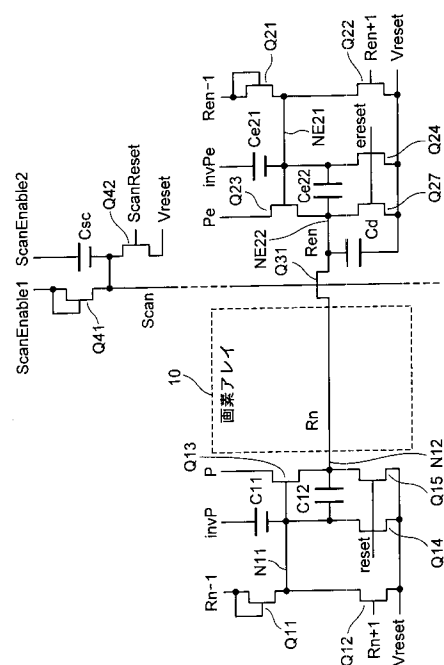
【図 3】



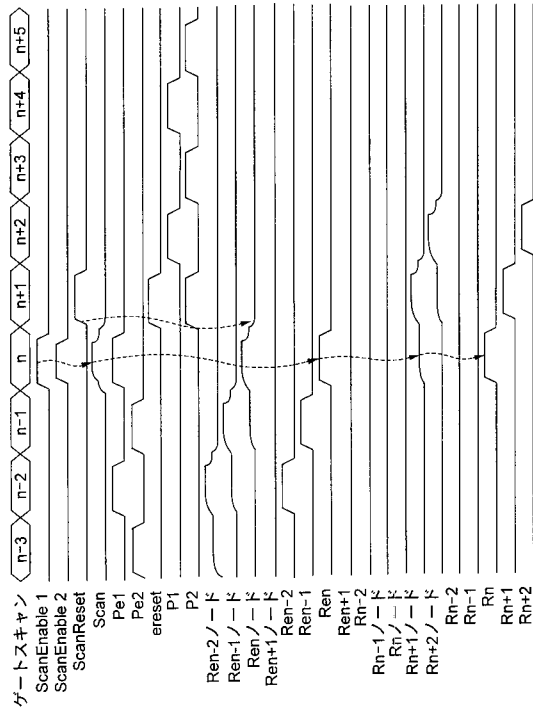
【図 4】



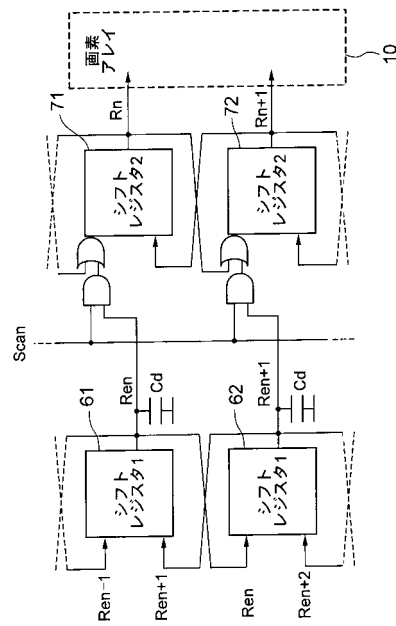
【図 5】



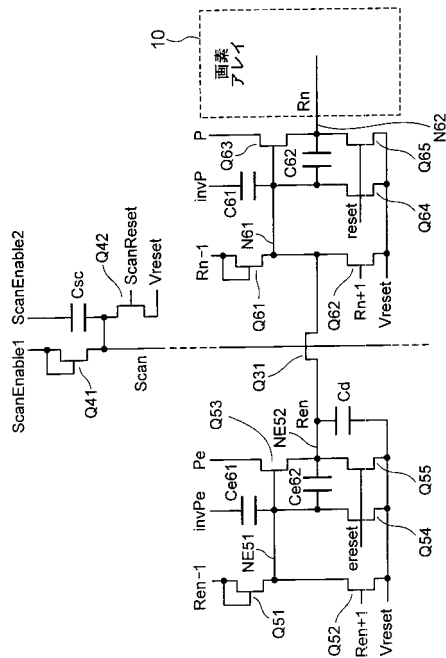
【図 6】



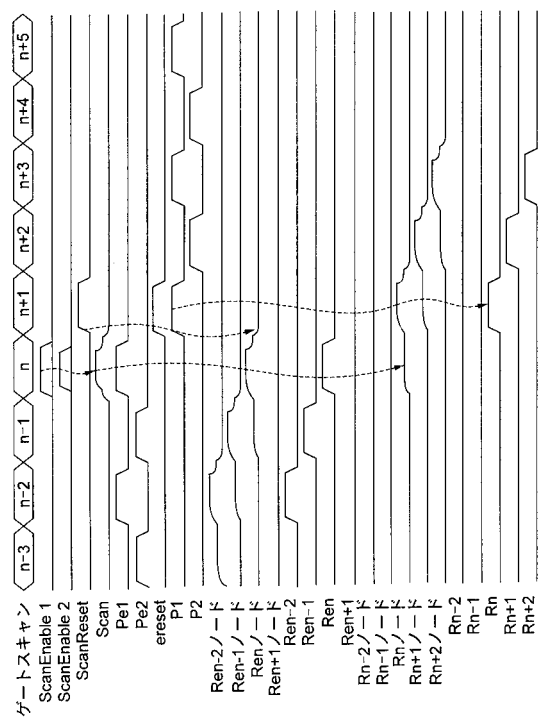
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 D
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 7 0 K
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(72)発明者 山 下 佳大朗

東京都港区港南2丁目13番37号 フィリップスビル 株式会社フィリップスエレクトロニクス
ジャパン内

審査官 森口 忠紀

(56)参考文献 特開昭61-245139 (JP, A)

国際公開第97/025716 (WO, A1)

特開平10-031202 (JP, A)

特開2004-151275 (JP, A)

特開2001-356746 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3/00-3/38

G 0 2 F 1/133, 505-1/133, 580

专利名称(译)	液晶驱动电路和具有该液晶驱动电路的液晶显示装置		
公开(公告)号	JP5100993B2	公开(公告)日	2012-12-19
申请号	JP2005262762	申请日	2005-09-09
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	三通小便哦，香港控股有限公司		
[标]发明人	山下佳大朗		
发明人	山 下 佳大朗		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2300/0417 G09G2310/0286 G09G2320/043 G11C19/184		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.G G09G3/20.621.M G09G3/20.680.G G09G3/20.621.D G09G3/20.611.A G09G3/20.670.K G02F1/133.550 G02F1/133.505 G09G3/20.611.B G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA46 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC34 2H093/NC49 2H093/ND39 2H093/ND47 2H093/ND60 2H193/ZA04 2H193/ZC27 2H193/ZF22 2H193/ZF36 5B074/AA02 5B074/AA10 5B074/CA01 5C006/AF31 5C006/AF50 5C006/AF68 5C006/AF69 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF25 5C006/BF26 5C006/BF28 5C006/BF34 5C006/BF37 5C006/BF42 5C006/EB04 5C006/EB05 5C006/FA05 5C006/FA33 5C006/FA37 5C006/FA42 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD19 5C080/DD25 5C080/DD26 5C080/DD28 5C080/DD29 5C080/EE26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
其他公开文献	JP2007078717A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶驱动电路，其中即使当电路是由非晶硅构成的GOG电路时，部分驱动时元件的劣化也被最小化，并且提供有该晶体驱动电路的液晶显示装置。解决方案：液晶驱动电路包括：第一移位寄存器（21,51,61），其连续地进行像素阵列的线寻址，以被驱动以显示图像并输出使能信号；和驱动装置（31,41,71），对应于使能信号，输出用于将线驱动到由第一移位寄存器使能的线的信号。构成驱动电路的晶体管由非晶硅形成。液晶显示装置还具有由液晶驱动电路驱动的像素阵列。Z

图 3】

