

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5058434号
(P5058434)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int.Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G02F 1/133 (2006.01)	G02F 1/133	505
G09G 3/20 (2006.01)	G09G 3/20	611A
G09G 5/00 (2006.01)	G09G 3/20	612J
	G09G 3/20	622S
請求項の数 15 (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2004-322823 (P2004-322823)	(73) 特許権者	390019839
(22) 出願日	平成16年11月5日(2004.11.5)		三星電子株式会社
(65) 公開番号	特開2005-141231 (P2005-141231A)		Samsung Electronics
(43) 公開日	平成17年6月2日(2005.6.2)		Co., Ltd.
審査請求日	平成19年10月25日(2007.10.25)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	2003-078108		129, Samsung-ro, Yeon
(32) 優先日	平成15年11月5日(2003.11.5)		gtong-gu, Suwon-si, G
(33) 優先権主張国	韓国 (KR)		yeonggi-do, Republic
			of Korea
前置審査		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100110364
			弁理士 実広 信哉
最終頁に続く			

(54) 【発明の名称】 LCD動作電流を減少させるタイミングコントローラとLCDドライバとディスプレイデータ出力方法

(57) 【特許請求の範囲】

【請求項1】

スキャンラインドライビング回路とデータラインドライビング回路の動作タイミングをそれぞれ制御するLCDドライバのタイミングコントローラであって、

垂直同期信号にクロックされて前記垂直同期信号のパルスの個数を計数し、その計数結果としてnビット計数信号を出力するn-ビットカウンタと、

前記nビット計数信号を受信し、受信されたnビット計数信号と所定のnビット基準信号とを比較し、その比較結果を出力する判別回路と、

前記判別回路の出力信号とデータイネーブル信号とを論理積する第1のNANDゲートと、

前記第1のNANDゲートの出力信号とクロック信号とを論理積する第2のNANDゲートと、

前記第1のNANDゲートの出力信号にตอบสนองして第1のディスプレイデータを受信し、貯蔵するためのメモリ装置と、を備え、

前記データイネーブル信号が活性化される区間でもメモリ更新動作が遂行されない区間を設けることにより消費電力を低減し、

前記判別回路の出力信号と前記データイネーブル信号との論理積から生成され、前記データイネーブル信号よりも周期が長い、内部データイネーブル信号が活性化された区間でのみ前記メモリ更新動作が遂行される

ことを特徴とするタイミングコントローラ。

【請求項 2】

前記タイミングコントローラは、前記第 1 の NAND ゲートの出力信号と第 2 のディスプレイデータとを論理積し、その結果として前記第 1 のディスプレイデータを出力する第 3 の NAND ゲートをさらに備える

ことを特徴とする請求項 1 に記載のタイミングコントローラ。

【請求項 3】

前記タイミングコントローラは、グラフィックプロセッサから出力された前記垂直同期信号、前記データイネーブル信号、前記クロック信号及び前記第 2 のディスプレイデータをビデオインターフェースを通じて受信する

ことを特徴とする請求項 2 に記載のタイミングコントローラ。

10

【請求項 4】

スキャンラインドライビング回路とデータラインドライビング回路の動作タイミングをそれぞれ制御する LCD ドライバのタイミングコントローラであって、

垂直同期信号にクロックされて前記垂直同期信号の立上りエッジの個数を計数し、その計数結果を出力するカウンタと、

前記カウンタの出力信号を受信し、前記カウンタの出力信号と所定の基準信号とを比較し、その比較結果を出力する判別回路と、

前記判別回路の出力信号とデータイネーブル信号とを論理積する第 1 の NAND ゲートと、

前記第 1 の NAND ゲートの出力信号とクロック信号とを論理積する第 2 の NAND ゲートと、前記第 1 の NAND ゲートの出力信号に応答して第 1 のディスプレイデータを受信し、貯蔵するメモリ装置と、を備え、

20

前記データイネーブル信号が活性化される区間でもメモリ更新動作が遂行されない区間を設けることにより消費電力を低減し、

前記判別回路の出力信号と前記データイネーブル信号との論理積から生成され、前記データイネーブル信号よりも周期が長い、内部データイネーブル信号が活性化された区間でのみ前記メモリ更新動作が遂行される

ことを特徴とするタイミングコントローラ。

【請求項 5】

前記タイミングコントローラは、前記第 1 の NAND ゲートの出力信号と第 2 のディスプレイデータとを論理積し、その結果として前記第 1 のディスプレイデータを出力する第 3 の AND ゲートをさらに備える

30

ことを特徴とする請求項 4 に記載のタイミングコントローラ。

【請求項 6】

データラインとスキャンラインとを備える LCD パネルを駆動する LCD ドライバであって、

メモリ装置を備えるタイミングコントローラと、

前記メモリ装置に貯蔵されたディスプレイデータに基づいて前記 LCD パネルのデータラインを駆動するデータラインドライビング回路と、

前記スキャンラインを順次駆動するスキャンラインドライビング回路と、を備え、

40

前記タイミングコントローラは、入力ディスプレイデータ及び垂直同期信号とデータイネーブル信号とを含む制御信号に基づいて前記データラインドライビング回路と前記スキャンラインドライビング回路の動作タイミングを制御し、前記垂直同期信号を計数した計数信号と所定の基準信号とを比較して判別信号として出力し、前記判別信号と前記データイネーブル信号とを論理積して内部データイネーブル信号を発生し、

前記メモリ装置は、前記データイネーブル信号の一つの周期の整数倍の周期を有する前記内部データイネーブル信号に基づいて前記入力ディスプレイデータを受信し貯蔵し、

前記タイミングコントローラは、

前記垂直同期信号にクロックされて前記垂直同期信号のパルスの個数を計数し、その計数結果として、n ビット計数信号を出力する n - ビットカウンタと、

50

前記 n ビット計数信号を受信し、受信された n ビット計数信号と所定の n ビット基準信号とを比較し、その比較結果を出力する判別回路と、

前記判別回路の出力信号と前記データネーブル信号を論理積する第 1 の N A N D ゲートと、

前記第 1 の N A N D ゲートの出力信号とクロック信号を論理積する第 2 の N A N D ゲートと、

前記第 1 の N A N D ゲートの出力信号と前記入力ディスプレイデータとを論理積する第 3 の N A N D ゲートと、

前記第 1 の N A N D ゲートの出力信号に応答して前記第 3 の N A N D ゲートの出力信号を受信する前記メモリ装置を備え、

前記判別回路の出力信号と前記データネーブル信号との論理積から生成され、前記データネーブル信号よりも周期が長い、前記内部データネーブル信号が活性化された区間でのみ前記メモリ更新動作が遂行されるようにして、前記データネーブル信号が活性化される区間でもメモリ更新動作が遂行されない区間を設けることにより消費電力を低減する

ことを特徴とする L C D ドライバ。

【請求項 7】

前記メモリ装置は、前記内部データネーブル信号が活性化される区間でのみ前記入力ディスプレイデータを受信して貯蔵する

ことを特徴とする請求項 6 に記載の L C D ドライバ。

【請求項 8】

前記タイミングコントローラは、

前記垂直同期信号にクロックされて前記垂直同期信号のパルスの個数を計数し、その計数結果として、n ビット計数信号を出力する n - ビットカウンタと、

前記 n ビット計数信号を受信し、受信された n ビット計数信号と所定の n ビット基準信号とを比較し、その比較結果を出力する判別回路と、

前記判別回路の出力信号と前記データネーブル信号とを論理積する第 1 の A N D ゲートと、

前記第 1 の A N D ゲートの出力信号とクロック信号とを論理積する第 2 の A N D ゲートと、

前記第 1 の A N D ゲートの出力信号と前記入力ディスプレイデータとを論理積する第 3 の A N D ゲートと、を備え、

前記メモリ装置は、前記第 1 の A N D ゲートの出力信号に応答して前記第 3 の A N D ゲートの出力信号を受信して貯蔵する

ことを特徴とする請求項 6 に記載の L C D ドライバ。

【請求項 9】

グラフィックプロセッサから出力された前記入力ディスプレイデータ及び前記制御信号は、ビデオインターフェースを通じて前記タイミングコントローラに入力される

ことを特徴とする請求項 6 に記載の L C D ドライバ。

【請求項 10】

データラインとスキャンラインとを備える L C D パネルを駆動する L C D ドライバであって、

メモリ装置を備えるタイミングコントローラと、

前記メモリ装置に貯蔵されたディスプレイデータに基づいて前記 L C D パネルのデータラインを駆動するデータラインドライビング回路と、

前記スキャンラインを順次駆動するスキャンラインドライビング回路と、を備え、

前記タイミングコントローラは、入力ディスプレイデータ及び垂直同期信号とデータネーブル信号とを含む制御信号に基づいて前記データラインドライビング回路と前記スキャンラインドライビング回路の動作タイミングを制御し、前記垂直同期信号を計数した計数信号と所定の基準信号とを比較して判別信号として出力し、前記判別信号と前記データ

10

20

30

40

50

イネーブル信号とを論理積して内部データイネーブル信号を発生し、

前記メモリ装置は、前記データイネーブル信号の一つの周期より長い周期を有する前記内部データイネーブル信号に基づいて前記入力ディスプレイデータを受信して貯蔵し、

前記タイミングコントローラは、

前記垂直同期信号にクロックされて前記垂直同期信号のパルスの個数を計数し、その計数結果として、nビット計数信号を出力するn - ビットカウンタと、

前記nビット計数信号を受信し、受信されたnビット計数信号と所定のnビット基準信号とを比較し、その比較結果を出力する判別回路と、

前記判別回路の出力信号と前記データイネーブル信号を論理積する第1のNANDゲートと、

前記第1のNANDゲートの出力信号とクロック信号を論理積する第2のNANDゲートと、

前記第1のNANDゲートの出力信号と前記入力ディスプレイデータとを論理積する第3のNANDゲートと、

前記第1のNANDゲートの出力信号に応答して前記第3のNANDゲートの出力信号を受信する前記メモリ装置を備え、

前記判別回路の出力信号と前記データイネーブル信号との論理積から生成され、前記データイネーブル信号よりも周期が長い、前記内部データイネーブル信号が活性化された区間でのみ前記メモリ更新動作が遂行されるようにして、前記データイネーブル信号が活性化される区間でもメモリ更新動作が遂行されない区間を設けることにより消費電力を低減する

ことを特徴とするLCDドライバ。

【請求項11】

前記メモリ装置は、前記内部データイネーブル信号が活性化される区間でのみ前記入力ディスプレイデータを受信して貯蔵する

ことを特徴とする請求項10に記載のLCDドライバ。

【請求項12】

データラインとスキャンラインとを備えるLCDパネルのデータラインを駆動するデータラインドライビング回路にメモリ装置に貯蔵されたディスプレイデータを出力する方法であって、

前記データラインドライビング回路は前記メモリ装置を備えたタイミングコントローラを備え、

前記タイミングコントローラが垂直同期信号を計数した計数信号と所定の基準信号とを比較して判別信号として出力し、前記判別信号とデータイネーブル信号とを否定論理積して前記データイネーブル信号の一つの周期の整数倍の周期を有する内部データイネーブル信号を発生する段階と、

前記メモリ装置が、前記内部データイネーブル信号に基づいてディスプレイデータを受信して貯蔵する段階と、

前記タイミングコントローラが入力ディスプレイデータ及び垂直同期信号とデータイネーブル信号を含む制御信号に基づいてデータラインドライビング回路とスキャンラインドライビング回路の動作タイミングを制御する制御信号を出力し、前記制御信号に応答して前記メモリ装置に貯蔵されたディスプレイデータを前記データラインドライビング回路に出力する段階と、を備え、

前記タイミングコントローラは前記データイネーブル信号の一つの周期の整数倍の周期を有する前記内部データイネーブル信号が活性化された区間でのみ前記メモリ更新動作が遂行されるようにして、前記データイネーブル信号が活性化される区間でもメモリ更新動作が遂行されない区間を設けることにより消費電力を低減する

ことを特徴とするディスプレイデータ出力方法。

【請求項13】

前記内部データイネーブル信号を発生する段階は、

10

20

30

40

50

前記垂直同期信号のパルスの個数を計数し、その計数結果を出力する段階と、
 前記計数結果と基準値とを比較し、その比較結果を出力する段階と、
 前記比較結果と前記データイネーブル信号に基づいて前記内部データイネーブル信号を発生する段階と、を備える

ことを特徴とする請求項 1 2 に記載のディスプレイデータ出力方法。

【請求項 1 4】

前記ディスプレイデータを受信し貯蔵する段階は、
 前記内部データイネーブル信号とクロック信号とを論理組み合わせし、データ書き込みイネーブル信号を発生する段階と、

前記内部データイネーブル信号と入力ディスプレイデータとを論理組み合わせして前記ディスプレイデータを生成する段階と、

前記メモリ装置が前記データ書き込みイネーブル信号に応答して生成されたディスプレイデータを受信して貯蔵する段階と、を備える

ことを特徴とする請求項 1 2 に記載のディスプレイデータ出力方法。

【請求項 1 5】

データラインとスキャンラインとを備える LCD パネルのデータラインを駆動するデータラインドライビング回路にメモリ装置に貯蔵されたディスプレイデータを出力する方法であって、

前記データラインドライビング回路は前記メモリ装置を備えたタイミングコントローラを備え、

前記タイミングコントローラが垂直同期信号を計数した計数信号と所定の基準信号とを比較して判別信号として出力し、前記判別信号とデータイネーブル信号とを否定論理積して前記データイネーブル信号の一つの周期より長い周期を有する内部データイネーブル信号を発生する段階と、

前記メモリ装置が、前記内部データイネーブル信号に応答してディスプレイデータを受信して貯蔵する段階と、

前記タイミングコントローラが入力ディスプレイデータ及び垂直同期信号とデータイネーブル信号を含む制御信号に基づいてデータラインドライビング回路とスキャンラインドライビング回路の動作タイミングを制御する制御信号を出力し、前記制御信号に応答して前記メモリ装置に貯蔵されたディスプレイデータを前記データラインドライビング回路に出力する段階と、を備え、

前記タイミングコントローラは前記データイネーブル信号の一つの周期の整数倍の周期を有する前記内部データイネーブル信号が活性化された区間でのみ前記メモリ更新動作が遂行されるようにして、前記データイネーブル信号が活性化される区間でもメモリ更新動作が遂行されない区間を設けることにより消費電力を低減する

ことを特徴とするディスプレイデータ出力方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LCD (Liquid Crystal Display) ドライバに係り、より詳しくはビデオインターフェースを使用しつつメモリ更新を効率的に制御して LCD で消費される電力を減少させることができる装置及び方法に関する。

【背景技術】

【0002】

一般に、携帯用電話機や PDA などのような電子機器に使用される液晶パネルには、パッシブマトリックス方式の液晶パネルと薄膜トランジスタ (thin film transistor; TFT) のようなスイッチング素子を使用するアクティブマトリックス方式の液晶パネルとが使用される。

【0003】

パッシブマトリックス方式の液晶パネルが消費する電力は、アクティブマトリックス方

10

20

30

40

50

式の液晶パネルが消費する電力に比べて小さいという長所がある。すなわち、パッシブマトリックス方式は、アクティブマトリックス方式に比べて低消費電力化が容易であるという長所がある。しかしながら、パッシブマトリックス方式は、アクティブマトリックス方式に比べて多色化及び動映像表示が難しいという短所がある。

【0004】

一方、アクティブマトリックス方式は、多色化及び動映像表示に適している一方、低消費電力化が難しいという短所がある。

【0005】

最近、携帯用電話機やPDAなどのような携帯型電子機器で高品質映像を提供するために多色化及び動映像表示が強く要求されている。これと併せて、前記携帯用電子機器を一回充電して長時間中使用しようとする消費者の要求も高まっている。従って、多色化、動映像表示及び消費電力の問題を解決しようとする研究が必要である。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の技術的課題は、LCDで消費される電力を減少させることができる装置及び方法を提供するところにある。

【課題を解決するための手段】

【0007】

前記技術的課題を達成するために本発明のスクランラインドライビング回路とデータラインドライビング回路の動作タイミングをそれぞれ制御するLCDドライバのタイミングコントローラは、垂直同期信号にクロックされて前記垂直同期信号のパルス(又は立上りエッジ)の個数を計数し、その計数結果としてnビット計数信号を出力するn-ビットカウンタと、前記nビット計数信号を受信し、受信されたnビット計数信号と所定のnビット基準信号とを比較し、その比較結果を出力する判別回路と、前記判別回路の出力信号とデータイネーブル信号とを論理積する第1のNANDゲートと、前記第1のNANDゲートの出力信号とクロック信号とを論理積する第2のNANDゲートと、前記第1のNANDゲートの出力信号に应答して第1のディスプレイデータを受信し、貯蔵するためのメモリ装置と、を備える。

【0008】

前記タイミングコントローラは、前記第1のNANDゲートの出力信号と第2のディスプレイデータとを論理積し、その結果として前記第1のディスプレイデータを出力する第3のNANDゲートをさらに備える。

【0009】

前記技術的課題を達成するために本発明のデータラインとスクランラインとを備えるLCDパネルを駆動するLCDドライバは、メモリ装置を備えるタイミングコントローラと、前記メモリ装置に貯蔵されたディスプレイデータに基づいて前記LCDパネルのデータラインを駆動するデータラインドライビング回路と、前記スクランラインを順次駆動するスクランラインドライビング回路と、を備え、前記タイミングコントローラは、入力ディスプレイデータ及び垂直同期信号とデータイネーブル信号を含む制御信号に基づいて前記データラインドライビング回路と前記スクランラインドライビング回路の動作タイミングを制御し、前記制御信号に基づいて内部データイネーブル信号を発生し、前記メモリ装置は、前記データイネーブル信号の一つの周期の整数倍の周期を有する前記内部データイネーブル信号に基づいて前記入力ディスプレイデータを受信して貯蔵する。

【0010】

前記メモリ装置は、前記内部データイネーブル信号が活性化される区間でのみ前記入力ディスプレイデータを受信して貯蔵する。

【0011】

前記タイミングコントローラは、前記垂直同期信号にクロックされて前記垂直同期信号のパルスの個数を計数し、その計数結果としてnビット計数信号を出力するn-ビットカ

10

20

30

40

50

ウンタと、前記nビット計数信号を受信し、受信されたnビット計数信号と所定のnビット基準信号とを比較し、その比較結果を出力する判別回路と、前記判別回路の出力信号と前記データイネーブル信号とを論理積する第1のNANDゲートと、前記第1のNANDゲートの出力信号とクロック信号とを論理積である第2のNANDゲートと、前記第1のNANDゲートの出力信号と前記入力ディスプレイデータとを論理積する第3のNANDゲートと、を備え、前記メモリ装置は、前記第1のNANDゲートの出力信号に应答して前記第3のNANDゲートの出力信号を受信し貯蔵する。

【0012】

前記技術的課題を達成するために本発明のデータラインとスキャンラインとを備えるLCDパネルを駆動するLCDドライバは、メモリ装置を備えるタイミングコントローラと、前記メモリ装置に貯蔵されたディスプレイデータに基づいて前記LCDパネルのデータラインを駆動するデータラインドライビング回路と、前記スキャンラインを順次駆動するスキャンラインドライビング回路と、を備え、前記タイミングコントローラは、入力ディスプレイデータ及び垂直同期信号とデータイネーブル信号を含む制御信号に基づいて前記データラインドライビング回路と前記スキャンラインドライビング回路の動作タイミングを制御し、前記制御信号に基づいて内部データイネーブル信号を発生し、前記メモリ装置は、前記データイネーブル信号の一つの周期より長い周期を有する前記内部データイネーブル信号に基づいて前記入力ディスプレイデータを受信して貯蔵する。

10

【0013】

前記技術的課題を達成するために本発明のデータラインとスキャンラインとを備えるLCDパネルのデータラインを駆動するデータラインドライビング回路にメモリ装置に貯蔵されたディスプレイデータを出力する方法は、垂直同期信号とデータイネーブル信号に基づいて前記データイネーブル信号の一つの周期の整数倍の周期を有する内部データイネーブル信号を発生する段階と、前記内部データイネーブル信号に基づいてディスプレイデータを受信して貯蔵する段階と、制御信号に应答して前記メモリ装置に貯蔵されたディスプレイデータを前記データラインドライビング回路に出力する段階と、を備える。

20

【0014】

前記内部データイネーブル信号を発生する段階は、前記垂直同期信号のパルスの個数を計数し、その計数結果を出力する段階と、前記計数結果と基準値とを比較し、その比較結果を出力する段階と、前記比較結果及び前記データイネーブル信号に基づいて前記内部データイネーブル信号を発生する段階と、を備える。

30

【0015】

前記ディスプレイデータを受信して貯蔵する段階は、前記内部データイネーブル信号とクロック信号とを論理組み合わせし、データ書き込みイネーブル信号を発生する段階と、前記内部データイネーブル信号と入力ディスプレイデータとを論理組み合わせして前記ディスプレイデータを生成する段階と、前記メモリ装置が前記データ書き込みイネーブル信号に应答して生成されたディスプレイデータを受信して貯蔵する段階と、を備える。

【発明の効果】

【0016】

本発明によるタイミングコントローラ、これを備えるLCDドライバ及びディスプレイデータ出力方法は、ビデオインターフェースを使用しながらもメモリ更新動作電流を相当に減少させることができる。

40

【発明を実施するための最良の形態】

【0017】

本発明と本発明の動作上の利点及び本発明の実施により達成される目的を十分に理解するためには、本発明の好適な実施の形態を例示する添付図面及び添付図面に記載された内容を参照しなければならない。

以下、添付した図面に基づき本発明の好適な実施の形態を詳細に説明する。各図面に提示された同一な参照符号は同一な部材を示す。

【0018】

50

図1は、CPUインターフェースを使用する一般的なLCDのブロック図である。図1を参照すれば、LCD 100は、LCDパネル110、LCDドライバ120、CPU (Central Process Unit) 170及び多数個の周辺装置171及び173を備える。周辺装置171は、携帯用電話機のカメラモジュールになることがあり、周辺装置173は、大容量データを貯蔵するためのメモリ装置であることもある。

【0019】

LCDドライバ120は、タイミングコントローラ130、スキャンラインドライビング回路(一般にゲートドライバブロック140とも言う)及びデータラインドライビング回路(一般にソースドライバブロック150とも言う)を備える。

【0020】

タイミングコントローラ130は、グラフィックRAM(Random Access Memory)131を備え、スキャンライン駆動回路140及びデータラインドライビング回路150の作動タイミングをそれぞれ制御するための各制御信号を出力する。

【0021】

グラフィックRAM 131は、少なくとも60フレームに相応するディスプレイデータを貯蔵し、タイミングコントローラ131の制御下でディスプレイデータ(又は映像データ)をデータラインドライビング回路150に出力する。

【0022】

スキャンライン駆動回路140は、多数個のゲートドライバ(図示せず)を備え、タイミングコントローラ130から出力される制御信号に基づいてLCDパネル110のスキャンラインG1乃至GMを連続的に駆動する。

【0023】

データラインドライビング回路150は、多数個のソースドライバ(図示せず)を備え、グラフィックRAM 131から出力されるディスプレイデータ及びタイミングコントローラ130から出力される制御信号に基づいてLCDパネル60のデータラインS1乃至Snを駆動する。

【0024】

LCDパネル110は、スキャンライン駆動回路140から出力される信号とデータラインドライビング回路150から出力される信号とに基づいてCPU 170から出力されたディスプレイデータをディスプレイする。

【0025】

LCDドライバ120のタイミングコントローラ130は、CPUインターフェース160を通じてCPU 170から出力される各種ディスプレイデータと制御信号とを直接受信し、グラフィックRAM 131に貯蔵されたディスプレイデータを更新する。

【0026】

LCDパネル110に停止映像がディスプレイされる場合でも、CPU 170は、秒当たり数十フレームに相応するディスプレイデータをタイミングコントローラ130に伝送し、タイミングコントローラ130は、同一なディスプレイデータをグラフィックRAM 131に出力するため、グラフィックRAM 131は、秒当たり数十フレームに相応するディスプレイデータを継続的に更新する。こうした動作をメモリ更新動作という。メモリ更新動作時に消費される電流はメモリ更新動作電流になる。

【0027】

すなわち、少ない消費電力を要求する携帯用電子機器で同一なディスプレイデータを更新するための消費電力が増加する問題点がある。

【0028】

また、LCDドライバ120と直接通信するCPU 170のアクセス負担が増加するため、前記CPU 170は、各周辺装置171及び173から入力される多様なグラフィックと動映像とをそのまま支援することができない問題点がある。

【0029】

また、CPU 170のサイズ及び製造コストが増加する。そして、CPU 170が使

10

20

30

40

50

用するシステムクロック信号の周波数とグラフィックRAM 131が使用する周波数と異なる場合、LCDパネル110でディスプレイされる動映像が破れる現象が発生するため、LCDパネル110でディスプレイされる動映像又は停止映像の画質が悪くなる。

【0030】

図2は、本発明によるタイミングコントローラを備えるLCDのブロック図を示す。

図2のLCDは、図1に示されたLCD 100のCPU 170のアクセス負担を減少させ、多様なグラフィックと動映像とを支援し、ディスプレイされる動映像が破れる現象による画質を改善するために、グラフィックプロセッサ240とビデオインターフェース230とを備える。

【0031】

LCD 200は、LCDパネル110と、LCDドライバ210と、グラフィックプロセッサ（又はグラフィックチップセット）240と、CPU 270と、ビデオインターフェース230と、CPUインターフェース260と、多数個の周辺装置215、253と、を備える。

【0032】

LCDドライバ210とグラフィックプロセッサ240とは、ビデオインターフェース230を通じてデータをやり取りし、グラフィックプロセッサ240とCPU 270とは、CPUインターフェース260を通じてデータをやり取りする。

【0033】

LCDドライバ210は、メモリ装置222を備えるタイミングコントローラ220と、スキャンラインドライビング回路140及びデータラインドライビング回路150と、を備える。メモリ装置222は、グラフィックRAMで実現されることができる。

【0034】

タイミングコントローラ220は、グラフィックプロセッサ240から出力され、ビデオインターフェース230を通じて入力される制御信号に基づいて応答して内部データイネーブル信号を発生する。

【0035】

データラインドライビング回路150は、タイミングコントローラ220から出力される制御信号に応答してグラフィックRAM 222に貯蔵されたディスプレイデータを受信し、これらをLCDパネル110に出力する。

【0036】

グラフィックプロセッサ240は、CPU 170及び各周辺装置171と173から出力されるグラフィックデータと映像データとを受信し処理する。

【0037】

図3は、本発明によるタイミングコントローラのブロック図を示す。

図3を参照すれば、タイミングコントローラ220は、nビットカウンタ221と、判別回路223と、第1のNANDゲート225と、第2のNANDゲート227と、第3のNANDゲート229及びメモリ装置222を備える。グラフィックプロセッサ240から出力された垂直同期信号VSYNCH、データイネーブル信号DE、クロック信号CLK及びディスプレイデータDDATAは、ビデオインターフェース230を通じてタイミングコントローラ220に入力される。内部データイネーブル信号IDE_jは、垂直同期信号VSYNCH、データイネーブル信号DE及びクロック信号CLKの組合せにより発生される。

【0038】

図4は、図3に示されたタイミングコントローラの動作タイミング図を示す。図3及び図4を参照してメモリ更新動作が詳細に説明される。

nビットカウンタ221は、垂直同期信号VSYNCHの立上りエッジにクロックされて（又は同期されて）前記立上りエッジの個数（又はパルスの個数）をカウントし、その結果としてnビット計数信号CNT[i]を出力する。nビットカウンタ221は、グラフィックプロセッサ240から出力されるリセット信号RESETに

10

20

30

40

50

ットされる。

【0039】

先ず、 n -ビットカウンタ221が1-ビットカウンタで動作すれば、1-ビットカウンタ221は、1ビット(ハイ1又はロー0)の出力信号CNT[1]を判別回路223に出力する。

【0040】

判別回路223は、1-ビットカウンタ221の出力信号(CNT[i]; $i = 1$)を受信し、所定の1-ビット基準信号と1-ビットカウンタ221の出力信号CNT[1]とを比較し、その比較結果を出力する。例えば、所定の1-ビット基準信号が1に設定され、1-ビットカウンタ221の出力信号CNT[1]が1である場合にその比較結果は1である。

10

【0041】

第1のNANDゲート225は、判別回路223の出力信号CNT[1]とデータイネーブル信号DEとを受信し、これらを論理積し、その結果として内部データイネーブル信号(IDE $_{j}$; $j = 1$)を出力する。従って、第1のNANDゲート225の出力信号IDE $_{1}$ は、垂直同期信号VSYNCの二番目のパルス毎に活性化される。すなわち、第1のNANDゲート225の出力信号IDE $_{1}$ は、1-ビットカウンタ221の出力信号CNT[1]が1である場合に活性化される。

【0042】

この際、内部データイネーブル信号IDE $_{1}$ の周期は、データイネーブル信号DEの周期より長い。又は内部データイネーブル信号IDE $_{1}$ の一つの周期は、データイネーブル信号DEの一つの周期の整数倍であることが望ましい。

20

【0043】

第2のNANDゲート227は、第1のNANDゲート225の出力信号IDE $_{1}$ とクロック信号CLKとを受信し、これらを論理積し、その結果としてデータ書き込みイネーブル信号WR $_{EN}$ を発生する。従って、内部データイネーブル信号IDE $_{1}$ が活性化された区間でデータ書き込みイネーブル信号WR $_{EN}$ はクロック信号CLKのようである。

【0044】

第3のNANDゲート229は、ディスプレイデータDDATAを安定化させるためのものであり、第3のNANDゲート229は、第1のNANDゲート225の出力信号IDE $_{1}$ とディスプレイデータDDATAとを受信し、これらを論理積し、その結果(DDATA $_{k}$; $k = 1$)をメモリ装置222に出力する。

30

【0045】

メモリ装置222は、第3のNANDゲート229の出力信号(DDATA $_{k}$; $k = 1$)を受信し、データ書き込みイネーブル信号WR $_{EN}$ にตอบสนองして受信されたデータ(DDATA $_{k}$; $k = 1$)を貯蔵する。従って、内部データイネーブル信号IDE $_{1}$ が活性化された区間でのみメモリ装置222に貯蔵された既存のディスプレイデータは、新しいディスプレイデータで更新される。そして、メモリ装置222は、グラフィックプロセッサ240から出力される制御信号にตอบสนองして更新されたディスプレイデータDDATA $_{1}$ をデータラインドライビング回路150に出力する。

40

【0046】

ここで、D00乃至D05は、更新されたディスプレイデータDDATA $_{1}$ を示し、B11乃至B15区間は、データイネーブル信号DEが活性化されてもメモリ更新動作が遂行されない区間を示す。

【0047】

従って、本発明によるタイミングコントローラ220を備えるLCDドライバ210で消費される電流は、データイネーブル信号DEが活性化されるたびにメモリ更新動作電流を消費する従来のLCDドライバ100で消費される電流より少ない。

【0048】

50

続けて、 n -ビットカウンタ221が2-ビットカウンタで動作すれば、2-ビットカウンタ221は、2ビットの出力信号(CNT[i]; $i = 2$)を出力する。

【0049】

判別回路223は、2-ビットカウンタ221の出力信号CNT[2]を受信し、所定の2-ビット基準信号と2-ビットカウンタ221の出力信号CNT[2]とを比較し、その比較結果を出力する。例えば、所定の2-ビット基準信号が11として設定され、2-ビットカウンタ221の出力信号CNT[2]が11である場合、その比較結果は1である。

【0050】

第1のNANDゲート225は、データネーブル信号DEと判別回路223の出力信号CNT[2]とを受信し、これらを論理積し、その結果として内部データネーブル信号IDE__2を出力する。内部データネーブル信号IDE__2の一つの周期は、データネーブル信号DEの一つの周期より長い。

10

【0051】

従って、第1のNANDゲート225の出力信号IDE__2は、垂直同期信号VSYNCHの四番目のパルス毎に活性化される。すなわち、第1のNANDゲート225の出力信号IDE__2は、2-ビットカウンタ221の出力信号CNT[2]が11である場合に活性化される。

【0052】

この際、内部データネーブル信号IDE__2の一つの周期は、データネーブル信号DEの一つの周期の4倍である。

20

【0053】

第2のNANDゲート227は、第1のNANDゲート225の出力信号IDE__2とクロック信号CLKとを受信し、これらを論理積し、その結果としてデータ書き込みイネーブル信号WR__ENを発生する。

【0054】

第3のNANDゲート229は、第1のNANDゲート225の出力信号IDE__2とディスプレイデータDDATAとを受信し、これらを論理積し、その結果DDATA__2をメモリ装置222に出力する。

【0055】

30

メモリ装置222は、第3のNANDゲート229の出力信号DDATA__2を受信し、データ書き込みイネーブル信号WR__ENに応答して受信されたデータDDATA__2を貯蔵する。従って、内部データネーブル信号IDE__2が活性化される区間毎にメモリ装置222でメモリ更新動作が遂行される。そして、メモリ装置222は、グラフィックプロセッサ240から出力される制御信号に応答して更新されたディスプレイデータDDATA__2をデータラインドライビング回路150に出力する。

【0056】

ここで、D10乃至D13は、更新されたディスプレイデータDDATA__2を示し、B21乃至B23区間は、データネーブル信号DEが活性化される区間でもメモリ更新動作が遂行されない区間を示す。

40

【0057】

従って、内部データネーブル信号IDE__2が活性化される区間毎にメモリ更新動作を遂行するLCDドライバで消費される電流は、データネーブル信号DEが活性化される区間毎にメモリ更新動作を遂行するLCDドライバで消費される電流より相当に減少する。

【0058】

本発明は、図面に示された一実施の形態を参考に説明されたが、これは、例示的なものに過ぎなく、本技術分野の当業者なら、これより多様な変形及び均等な他実施の形態が可能であるという点を理解するであろう。従って、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想により決められるのである。

50

【産業上の利用可能性】

【0059】

本発明によるタイミングコントローラ及びこれを備えるLCDドライバは、低消費電力を要求する携帯電話機やPDAなどのような携帯型電子機器に用いられうる。

【図面の簡単な説明】

【0060】

【図1】CPUインターフェースを使用する一般的なLCDのブロック図である。

【図2】本発明によるタイミングコントローラを備えるLCDのブロック図である。

【図3】本発明によるタイミングコントローラのブロック図である。

【図4】図3に示されたタイミングコントローラの動作タイミング図である。

10

【符号の説明】

【0061】

220 タイミングコントローラ

221 n - ビットカウンタ

222 メモリ装置

223 判別回路

225 第1のNANDゲート

227 第2のNANDゲート

229 第3のNANDゲート

230 ビデオインターフェース

20

CLK クロック信号

CNT [i] 出力信号

DDATA ディスプレイデータ

DE データイネーブル信号

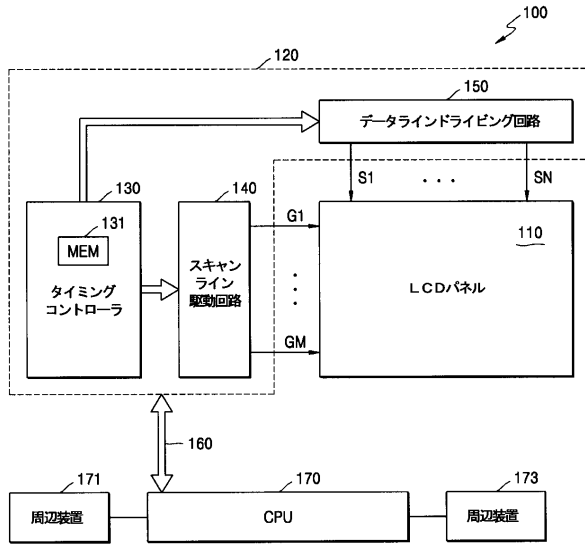
IDE__j 内部データイネーブル信号

RESET リセット信号

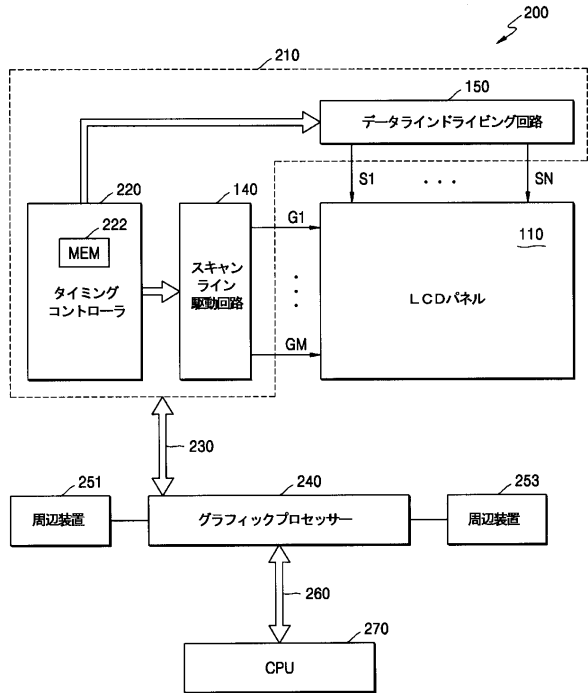
VSYNCH 垂直同期信号

WR__EN データ書き込みイネーブル信号

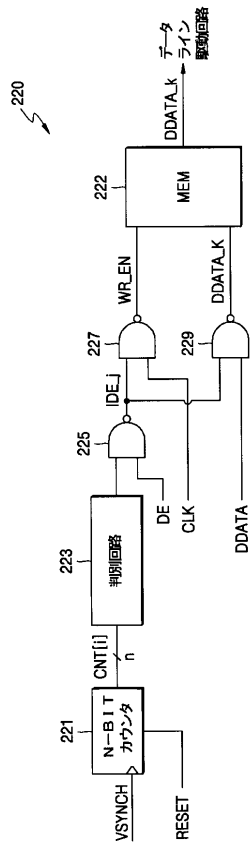
【図1】



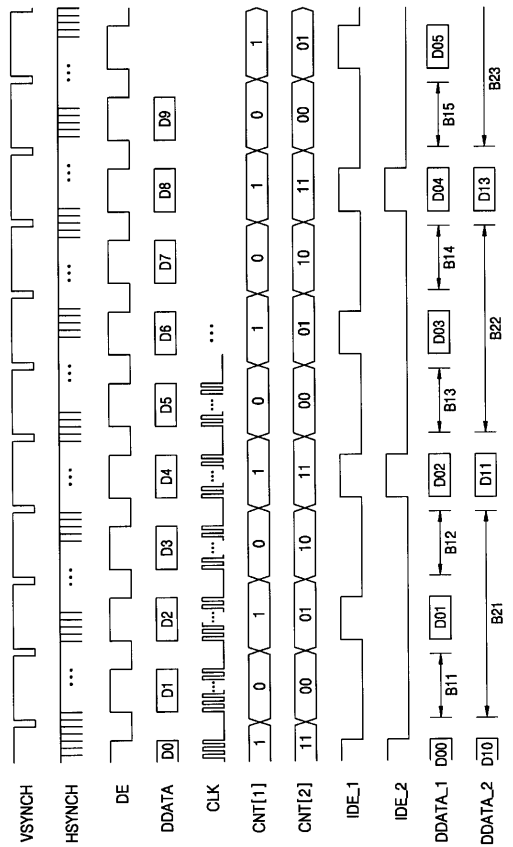
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 1 B
G 0 9 G 3/20 6 3 3 D
G 0 9 G 5/00 5 5 5 T
G 0 9 G 5/00 5 5 5 D

(72)発明者 姜 元植
大韓民国ソウル特別市銅雀區新大方2洞360-17番地 新東亞アパート1棟812號

(72)発明者 李 再九
大韓民国京畿道龍仁市駒城面麻北里621番地 雙龍2次アパート103棟1501號

審査官 西島 篤宏

(56)参考文献 特開平05-027705(JP,A)
特開平09-319341(JP,A)
特開2002-323882(JP,A)
特開2003-177729(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 5 / 4 2
G 0 2 F 1 / 1 3 3

专利名称(译)	定时控制器用于降低LCD工作电流，LCD驱动器和显示数据输出方法		
公开(公告)号	JP5058434B2	公开(公告)日	2012-10-24
申请号	JP2004322823	申请日	2004-11-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	姜元植 李再九		
发明人	姜元植 李再九		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00		
CPC分类号	G09G3/3685 G09G3/3674 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.A G09G3/20.612.J G09G3/20.622.S G09G3/20.631.B G09G3/20.633.D G09G5/00.555.T G09G5/00.555.D		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC28 2H093/NC50 2H093/ND39 5C006/AF03 5C006/AF04 5C006/AF71 5C006/BB16 5C006/BC16 5C006/BF02 5C006/BF14 5C006/BF16 5C006/BF22 5C006/BF26 5C006/FA15 5C006/FA16 5C006/FA48 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD24 5C080/DD26 5C080/DD27 5C080/EE19 5C080/FF11 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 5C082/BA12 5C082/BA41 5C082/BB02 5C082/BB15 5C082/BC03 5C082/BC06 5C082/BD02 5C082/DA54 5C082/DA55 5C082/DA86 5C082/EA14 5C082/MM02 5C082/MM07 5C182/AA03 5C182/AB08 5C182/AC43 5C182/CC24 5C182/DA04 5C182/DA22 5C182/DA44 5C182/DA66 5C182/EA05		
代理人(译)	渡边 隆		
优先权	1020030078108 2003-11-05 KR		
其他公开文献	JP2005141231A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供定时控制器，配备定时控制器的LCD驱动器，以及输出显示数据的方法。Z SOLUTION：定时控制器接收垂直同步信号和数据使能信号，根据垂直同步信号和数据使能信号产生周期长于一个数据使能信号的内部数据使能信号，并执行存储器更新动作使用内部数据使能信号。配备有定时控制器的LCD驱动器使用内部数据使能信号输出存储在存储器件中的显示数据。数据线驱动电路基于输出显示数据驱动数据线。显示数据输出方法由LCD驱动器实现。Z

