

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4731195号
(P4731195)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月28日(2011.4.28)

(51) Int.Cl.	F 1
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 525
G09G 3/20 (2006.01)	G02F 1/133 550
	G09G 3/20 611A
	G09G 3/20 612T
	請求項の数 10 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2005-111439 (P2005-111439)
 (22) 出願日 平成17年4月7日(2005.4.7)
 (65) 公開番号 特開2006-292899 (P2006-292899A)
 (43) 公開日 平成18年10月26日(2006.10.26)
 審査請求日 平成20年3月12日(2008.3.12)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 能勢 崇
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶表示装置、液晶ドライバ、及び液晶表示パネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1及び第2データ線と、

第1期間においては第1画素データに応答して前記第1データ線を第1極性の電位に、前記第1期間の後の第2期間においては第2画素データに応答して前記第2データ線を前記第1極性の電位に駆動する第1オペアンプと、

前記第1期間においては第3画素データに応答して前記第2データ線を前記第1極性と相補の第2極性の電位に、前記第2期間においては第4画素データに応答して前記第1データ線を前記第2極性の電位に駆動する第2オペアンプと、

前記第1期間と前記第2期間との間の短絡期間において前記第1データ線と前記第2データ線を短絡するように構成された短絡回路とを具備し、

前記第2期間における前記第1オペアンプの駆動能力は、前記短絡期間における前記第1及び前記第2データ線の電位である短絡電位と前記第2電位の差に応答して可変であるバイアス電流により制御され、

前記第2期間における前記第2オペアンプの駆動能力は、前記短絡電位と前記第4電位の差に応答して可変であるバイアス電流により制御されることを特徴とする

液晶表示装置。

【請求項2】

請求項1に記載の液晶表示装置であって、

10

20

前記第 1 オペアンプのバイアス電流を制御する第 1 制御データと、前記第 2 オペアンプのバイアス電流を制御する第 2 制御データとを生成する駆動能力切り替え演算回路を更に備え、

前記第 1 制御データは、前記第 1 画素データ及び前記第 3 画素データ並びに前記第 2 画素データに
応答してデジタル演算により決定され、

前記第 2 制御データは、前記第 1 画素データ及び前記第 3 画素データ並びに前記第 4 画素データに
応答してデジタル演算により決定され、

前記第 2 期間における前記第 1 オペアンプ及び前記第 2 オペアンプの駆動能力が、各々前記第 1 制御データ及び前記第 2 制御データに
応答して可変であることを特徴とする
液晶表示装置。

10

【請求項 3】

請求項 2 に記載の液晶表示装置であって、

前記第 1 極性は正の極性であり、

前記第 1 オペアンプは、前記第 1 画素データの値及び前記第 2 画素データの値が大きいほど高い電位を有するように前記第 1 データ線及び前記第 2 データ線に出力電位を生成し、

前記第 2 極性は負の極性であり、

前記第 2 オペアンプは、前記第 3 画素データの値及び前記第 4 画素データの値が大きいほど低い電位を有するように前記第 1 データ線及び前記第 2 データ線に出力電位を生成し、

20

前記第 1 制御データは、前記第 1 画素データと前記第 3 画素データとの差の 2 分の 1 の値と、前記第 2 画素データの値との差に
応答して決定され、

前記第 2 制御データは、前記第 1 画素データと前記第 3 画素データとの差の 2 分の 1 の値と、前記第 4 画素データの値との差に
応答して決定されることを特徴とする

液晶表示装置。

【請求項 4】

請求項 3 に記載の液晶表示装置であって、

当該液晶表示装置が、

前記第 1 及び第 2 データ線を備える液晶パネルと、

前記液晶パネルを駆動する液晶ドライバと、

前記第 1 ~ 第 4 画素データを供給する LCD コントローラ
とを備えてなり、

30

前記液晶ドライバは、前記第 1 及び第 2 オペアンプと前記短絡回路を有し、

前記 LCD コントローラは、前記駆動能力切り替え演算回路を有し、

前記 LCD コントローラの前記駆動能力切り替え演算回路は、前記第 1 画素データ及び前記第 3 画素データ並びに前記第 2 画素データに
応答して生成される前記第 1 制御データと、前記第 1 画素データ及び前記第 3 画素データ並びに前記第 4 画素データに
応答して生成される前記第 2 制御データとを前記液晶ドライバに供給し、

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記第 1 制御データに
応答して制御され、

40

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記第 2 制御データに
応答して制御される

液晶表示装置。

【請求項 5】

複数のデータ線と、

第 1 期間においては第 1 画素データ群に
応答し、前記第 1 期間の後の第 2 期間においては第 2 画素データ群に
応答して正の極性の正極性データ信号をそれぞれに生成し、前記正極性データ信号を、前記第 1 期間においては前記複数のデータ線のうちから
選択された第 1 データ線群に、前記第 2 期間においては残りの第 2 データ線群にそれぞれに出力する複数の第 1 オペアンプと、

50

前記第 1 期間においては第 3 画素データ群に応答し、前記第 2 期間においては第 4 画素データ群に応答して負の極性の負極性データ信号をそれぞれに生成し、前記負極性データ信号を、前記第 1 期間においては前記第 2 データ線群に、前記第 2 期間においては残りの第 1 データ線群にそれぞれに出力する複数の第 2 オペアンプと、

前記第 1 期間と前記第 2 期間との間の短絡期間において前記複数のデータ線を短絡するように構成された短絡回路

とを備え、

前記第 2 期間における前記複数の第 1 オペアンプの駆動能力は、前記短絡期間における前記複数のデータ線の電位と、前記第 2 画素データ群の対応する画素データに応答して可変であるバイアス電流により制御され、

10

前記第 2 期間における前記複数の第 2 オペアンプの駆動能力は、前記短絡期間における前記複数のデータ線の電位と、前記第 4 画素データ群の対応する画素データに応答して可変であるバイアス電流により制御されることを特徴とする

液晶表示装置。

【請求項 6】

請求項 5 に記載の液晶表示装置であって、

前記複数の第 1 オペアンプのバイアス電流をそれぞれに制御する複数の第 1 制御データと、前記複数の第 2 オペアンプのバイアス電流をそれぞれに制御する複数の第 2 制御データとを生成する駆動能力切り替え演算回路を更に備え、

前記複数の第 1 制御データは、前記第 1 画素データ群及び前記第 3 画素データ群並びに前記第 2 画素データ群の対応する画素データに応答してデジタル演算により決定され、

20

前記複数の第 2 制御データは、前記第 1 画素データ及び前記第 3 画素データ並びに前記第 4 画素データに応答してデジタル演算により決定される

液晶表示装置。

【請求項 7】

請求項 6 に記載の液晶表示装置であって、

当該液晶表示装置が、

前記第 1 及び第 2 データ線を備える液晶パネルと、

前記液晶パネルを駆動する液晶ドライバと、

前記第 1 ~ 第 4 画素データ群を供給する LCD コントローラ

30

とを備えてなり、

前記液晶ドライバは、前記複数の第 1 オペアンプ及び複数の第 2 オペアンプ並びに前記短絡回路を有し、

前記 LCD コントローラは、前記駆動能力切り替え演算回路を有し、

前記 LCD コントローラの前記駆動能力切り替え演算回路は、前記第 1 画素データ群及び前記第 3 画素データ群並びに前記第 2 画素データ群の対応する画素データに応答して生成される前記複数の第 1 制御データと、前記第 1 画素データ群及び前記第 3 画素データ群並びに前記第 4 画素データ群の対応する画素データに応答して生成される前記複数の第 2 制御データとを前記液晶ドライバに供給し、

前記第 2 期間における前記複数の第 1 オペアンプの駆動能力は、前記複数の第 1 制御データに応答して制御され、

40

前記第 2 期間における前記複数の第 2 オペアンプの駆動能力は、前記複数の第 2 制御データに応答して制御される

液晶表示装置。

【請求項 8】

液晶パネルを駆動する液晶ドライバであって、

第 1 及び第 2 データ線にそれぞれに接続される第 1 及び第 2 出力端子と、

第 1 期間においては第 1 画素データに応答し、前記第 1 期間の後の第 2 期間においては第 2 画素データに応答して第 1 データ信号を生成し、前記第 1 データ信号を前記第 1 出力端子と前記第 2 出力端子から選択された一方に出力するように構成された第 1 オペアンプ

50

と、

前記第 1 期間においては第 3 画素データに応答し、前記第 2 期間においては第 4 画素データに応答して前記第 1 データ信号とは逆の極性を有する第 2 データ信号を生成し、前記第 2 データ信号を前記第 1 出力端子と前記第 2 出力端子の他方に出力するように構成された第 2 オペアンプと、

前記第 1 期間と前記第 2 期間との間の期間において前記第 1 出力端子と前記第 2 出力端子を短絡する短絡回路と、

前記第 1 オペアンプのバイアス電流を制御する第 1 制御データと、前記第 2 オペアンプのバイアス電流を制御する第 2 制御データを生成する駆動能力切り替え演算回路

とを具備し、

10

前記第 1 制御データは、前記第 1 画素データ及び前記第 3 画素データ並びに前記第 2 画素データに応答してデジタル演算により決定され、

前記第 2 制御データは、前記第 1 画素データ及び前記第 3 画素データ並びに前記第 4 画素データに応答してデジタル演算により決定され、

前記第 2 期間における前記第 1 オペアンプ及び前記第 2 オペアンプの駆動能力が、各々前記第 1 制御データ及び前記第 2 制御データに応答して可変であることを特徴とする

液晶ドライバ。

【請求項 9】

請求項 8 に記載の液晶ドライバであって、

前記第 1 制御データは、下記式：

$$A S_{j, 2k-1} = | (D_{j-1, 2k} - D_{j-1, 2k-1}) / 2 - D_{j, 2k-1} |$$

↓

で決定され、

前記第 2 制御データは、下記式：

$$A S_{j, 2k} = | (D_{j-1, 2k-1} - D_{j-1, 2k}) / 2 - D_{j, 2k} |$$

で決定される

液晶ドライバ。

ただし、 $A S_{j, 2k-1}$ は、前記第 1 制御データであり、 $A S_{j, 2k}$ は前記第 2 制御データであり、 $D_{j-1, 2k}$ は前記第 1 画素データであり、 $D_{j-1, 2k-1}$ は前記第 3 画素データであり、 $D_{j, 2k-1}$ は前記第 2 画素データであり、 $D_{j, 2k}$ は前記第 4 画素データである。

30

【請求項 10】

第 1 期間において、第 1 データ線を第 1 極性の第 1 電位に、第 2 データ線を第 2 極性の第 2 電位に駆動するステップと、

前記第 1 期間の後の第 2 期間において、前記第 2 データ線を前記第 1 極性の第 3 電位に、前記第 1 データ線を第 2 極性の第 4 電位に駆動するステップと、

前記第 1 期間と前記第 2 期間との間の短絡期間において前記第 1 データ線と前記第 2 データ線を短絡するステップ

とを具備し、

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記短絡期間における前記第 1 及び前記第 2 データ線の電位である短絡電位と前記第 2 電位との差に応答して決定されるバイアス電流によって制御され、

40

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記短絡電位と前記第 3 電位との差に応答して決定されるバイアス電流によって制御されることを特徴とする

液晶表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、液晶ドライバ、及び液晶表示パネルの駆動方法に関し、特に、反転駆動によって液晶表示パネルを駆動する技術に関する。

50

【背景技術】

【0002】

液晶表示装置の駆動において広く使用される技術の一つが、反転駆動である。反転駆動とは、いわゆる焼き付き現象を防止するために、データ線（又は信号線）に供給されるデータ信号の極性を、適宜の時間的、空間的な間隔で反転する駆動方法である。反転駆動は、画素の液晶容量に印加される電圧の直流成分を減少させ、焼き付き現象の発生を有効に防止する。

【0003】

反転駆動には、概略的には、コモン一定駆動法とコモン反転駆動法の2種類がある。コモン一定駆動法とは、画素のコモン電極（対向電極）の電位（以下、「共通電位 V_{COM} 」という。）を一定に保ち、データ信号のみの極性を反転する駆動方法である。一方、コモン反転駆動法とは、データ信号と共通電位 V_{COM} の両方を反転する駆動方法である。コモン一定駆動法は、コモン反転駆動法と比較してコモン電極の安定性に優れている、という利点を有している。当業者に広く知られているように、コモン電極の安定性はフリッカの発生の抑制の点で重要である。

10

【0004】

典型的なコモン一定駆動法の一つが、画素に書き込まれるデータ信号の極性を水平方向、及び垂直方向のいずれに関しても反転するドット反転駆動である；本明細書において、データ信号の極性は、共通電位 V_{COM} を基準として定義されていることに留意されたい。ドット反転駆動は、共通電位 V_{COM} の安定性を一層に改善し、これによってフリッカの発生を一層に抑制するために有効である。データ信号の極性が反転される空間的周期は、最も典型的には、水平方向及び垂直方向のいずれについても一画素である。ただし、本明細書にいうドット反転駆動とは、データ信号の極性が反転される空間的周期が複数の画素である場合、及び、データ信号の極性が反転される空間的周期が水平方向と垂直方向とで異なる場合を含むと解釈されなくてはならない。

20

【0005】

ドット反転駆動では、画素に書き込まれるデータ信号の極性を垂直方向について反転させるためにデータ線の電位が反転される必要がある。ある水平ラインの画素にデータ信号が書き込まれた後におけるデータ線の電位の極性は、他の水平ラインの画素にデータ信号を書き込むためにデータ線に生成されるべき電位の極性と反対である場合がある。

30

【0006】

データ線の電位の反転に伴う一つの問題は、データ線の容量が極めて大きいために、データ線の電位の反転に多くの電力が必要であり、従って液晶表示装置の消費電力を不所望に増大させることである。データ線の電位を反転させるために多くの電力を消費することは、特に、携帯端末に搭載される液晶表示装置において重大な問題の一つである。

【0007】

液晶表示装置の消費電力を抑制するための技術として、データ線の電位の反転を反転する前にデータ線を短絡することが提案されている。例えば、特開平11-95729号公報（特許文献1）は、データ信号が反転される空間的周期が1画素である液晶表示装置において、隣接するデータ線をデータ線の電位の反転を反転する前に短絡する技術を開示している。データ線を短絡することにより、データ線に蓄積されている電荷を有効に利用し、もって液晶表示装置の消費電力を抑制することができる。更に、特開2002-62855号公報（特許文献2）は、データ線の電位の極性が反転されない期間においてはデータ線を短絡しないことにより、一層に消費電力を抑制する技術を開示している。

40

【0008】

液晶表示装置の消費電力の低減においてもう一つ重要なことは、データ線を駆動するために使用されるオペアンプの消費電力を抑制することである。

【0009】

オペアンプの消費電力を抑制するための一つの手法は、オペアンプの駆動能力を変化させる、あるいは、不必要な場合にはオペアンプを非活性化することである。例えば、特開

50

平5 - 4 1 6 5 1号公報(特許文献3)は、オペアンプが出力する出力信号と入力信号電圧との差にตอบสนองしてオペアンプの駆動能力を変化させる技術を開示している。この技術では、出力信号と入力信号電圧との差が大きい場合にはオペアンプの駆動能力が増加され、小さい場合にはオペアンプの駆動能力が減少される。オペアンプは、その駆動能力の減少と共に消費電力が減少するから、大きな駆動能力が不必要な場合にオペアンプの駆動能力が減少されることによって、オペアンプの消費電力を抑制することができる。

【0010】

更に、特開2004 - 45839号公報(特許文献4)は、ある水平ラインの画素の画素データと、それに隣接する水平ラインの対応する画素の画素データとに応じてオペアンプを非活性化する技術を開示している。より具体的には、特許文献4に開示されている技術では、ある水平ラインの全ての画素の画素データが、隣接する水平ラインの対応する画素の画素データと同一の場合には、オペアンプを使用せずにD/Aコンバータによってデータ線が駆動される；ある一つ画素の画素データでも相違する場合には、データ線の駆動にオペアンプが使用される。

【特許文献1】特開平11 - 95729号公報

【特許文献2】特開2002 - 62855号公報

【特許文献3】特開平5 - 41651号公報

【特許文献4】特開2004 - 45839号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、特許文献1、特許文献2に開示されている技術には、オペアンプが無駄な電力を消費しているという課題がある。これは、特許文献1、特許文献2に開示されている液晶ドライバでは、オペアンプの駆動能力が制御されていないためである。ある一組のデータ線の電位が反転される前にデータ線が短絡される液晶ドライバのアーキテクチャでは、オペアンプに要求される駆動能力は、データ線のそれぞれを、当該一組のデータ線の平均の電位から、対応する画素データに応じた電位まで充電する(又は放電する)のに十分な駆動能力である。従って、当該一对のデータ線の平均の電位と画素データに対応する電位との差が小さい場合には、オペアンプの駆動能力は小さくてよいはずである。しかしながら、特許文献1及び2に開示されている液晶ドライバにはオペアンプの駆動能力を調節する機能がない。このため、特許文献1及び2に開示されている液晶ドライバでは、当該一对のデータ線の平均の電位から画素データに対応する電位の差が最大の場合に対応した駆動能力を有するように、オペアンプを設計せざるを得ない。これは、オペアンプの消費電力を不所望に増大させる。

【0012】

これに関連して、上述の特許文献3、4は、オペアンプの駆動能力、又は使用/不使用を制御してオペアンプの消費電力を抑制する技術を開示している；しかしながら、これらの技術は、データ線を短絡する技術が採用されたときにおける、オペアンプの駆動能力の最適な制御技術を提供するものではない。

【課題を解決するための手段】

【0013】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

【0014】

本発明による液晶表示装置は、第1データ線(X_{2k-1})及び第2データ線(X_{2k})と、第1オペアンプ(17_{2k-1})と、第2オペアンプ(17_{2k})と、短絡回路(

10

20

30

40

50

21_k)とを備えている。第1オペアンプ(17_{2k-1})は、第1期間においては第1データ線(X_{2k-1})を第1極性の電位に、第1期間の後の第2期間においては第2データ線(X_{2k})を第1極性の電位に駆動する。一方、第2オペアンプ(17_{2k})は、第1期間においては第2データ線(X_{2k})を第1極性と相補の第2極性の電位に、第2期間においては第1データ線(X_{2k-1})を第2極性の電位に駆動する。短絡回路(21_k)は、第1期間と第2期間との間の短絡期間において第1データ線(X_{2k-1})と第2データ線(X_{2k})を短絡するように構成されている。第2期間における第1オペアンプ(17_{2k-1})及び第2オペアンプ(17_{2k})の駆動能力は、短絡期間における第1及び第2データ線(17_{2k-1}、17_{2k})の電位である短絡電位に応じて制御される。

10

【0015】

このような構成の液晶表示装置によれば、短絡されたときの第1及び第2データ線(17_{2k-1}、17_{2k})の電位に応じて、その後第2データ線(X_{2k})を駆動する第1オペアンプ(17_{2k-1})及び第2オペアンプ(17_{2k})の駆動能力を適切に制御し、もって消費電力を低減することができる。

【0016】

より具体的には、第2期間における第1オペアンプ(17_{2k-1})の駆動能力は、前記第2期間において第2データ線(17_{2k})が駆動される電位と短絡電位との差に応じて制御され、第2期間における第2オペアンプ(17_{2k})の駆動能力は、前記第2期間において第1データ線(17_{2k-1})が駆動される電位と短絡電位との差に応じて制御される。このような構成によれば、第1データ線(17_{2k-1})及び第2データ線(17_{2k})が駆動される電位と短絡電位との差が大きな場合には大きな駆動能力で、差が小さな場合には小さな駆動能力で第1データ線(17_{2k-1})及び第2データ線(17_{2k})を駆動し、もって消費電力を低減することができる。

20

【0017】

このような第1データ線(17_{2k-1})及び第2データ線(17_{2k})が駆動される電位と短絡電位との差に応じた制御は、画素データに基づいて行われ得る。例えば、第1オペアンプ(17_{2k-1})が、第1期間においては第1画素データ(D_{j-1,2k-1})に回答して第1データ線(X_{2k-1})を駆動し、第2期間においては第2画素データ(D_{j,2k})に回答して第2データ線(X_{2k})を駆動する場合には、第2期間における第1オペアンプ(17_{2k-1})の駆動能力は、前記短絡電位に加えて第2画素データ(D_{j,2k})に回答して制御され得る。更に、第2オペアンプ(17_{2k})が、第1期間においては第3画素データ(D_{j-1,2k})に回答して第2データ線(X_{2k})を駆動し、第2期間においては第4画素データ(D_{j,2k-1})に回答して第2データ線(X_{2k})を駆動する場合には、第2期間における第2オペアンプ(17_{2k})の駆動能力は、前記短絡電位に加えて第4画素データ(D_{j,2k-1})に回答して制御され得る。

30

【0018】

より実際的には、第1オペアンプ(17_{2k-1})の駆動能力は、第2画素データ(D_{j,2k})に加え、第1画素データ(D_{j-1,2k-1})及び第2オペアンプ(17_{2k})が第1期間において第2データ線(X_{2k})を駆動するのに使用する第3画素データ(D_{j-1,2k})に回答して制御され得る。更に、第2オペアンプ(17_{2k})の駆動能力は、第4画素データ(D_{j,2k-1})に加え、第1画素データ(D_{j-1,2k-1})及び第3画素データ(D_{j-1,2k})に回答して制御され得る。画素データを使用した制御は、第1オペアンプ(17_{2k-1})の駆動能力を制御するための制御データの生成を容易化するため、好ましい。

40

【0019】

他の観点において、本発明による液晶表示装置は、第1及び第2データ線(X_{2k-1}、X_{2k})と、第1及び第2オペアンプ(17_{2k-1}、17_{2k})と、短絡回路(21_k)とを備えている。第1オペアンプ(17_{2k-1})は、第1期間においては第1画素

50

データ ($D_{j-1, 2k-1}$) に応答し、前記第 1 期間の後の第 2 期間においては第 2 画素データ ($D_{j, 2k}$) に応答して第 1 データ信号を生成し、前記第 1 データ信号を、第 1 及び第 2 データ線 (X_{2k-1}, X_{2k}) から選択された一方に出力する。第 2 オペアンプ (17_{2k}) は、第 1 期間においては第 3 画素データ ($D_{j-1, 2k}$) に応答し、前記第 2 期間においては第 4 画素データ ($D_{j, 2k-1}$) に応答して前記第 1 データ信号とは逆の極性を有する第 2 データ信号を生成し、前記第 2 データ信号を第 1 及び第 2 データ線 (X_{2k-1}, X_{2k}) の他方に出力する。短絡回路 (21_k) は、第 1 期間と前記第 2 期間との間の短絡期間において第 1 及び第 2 データ線 (X_{2k-1}, X_{2k}) を短絡するように構成されている。第 2 期間における第 1 オペアンプ (17_{2k-1}) 及び第 2 オペアンプ (17_{2k}) の駆動能力は、第 1 画素データ ($D_{j-1, 2k-1}$) 及び第 3 画素データ ($D_{j-1, 2k}$) に応答して可変である。

10

【0020】

このような液晶表示装置では、第 1 画素データ ($D_{j-1, 2k-1}$) 及び第 3 画素データ ($D_{j-1, 2k}$) から短絡期間における第 1 及び第 2 データ線 ($17_{2k-1}, 17_{2k}$) の電位である短絡電位を認識し、該短絡電位に応じた適切な駆動能力を第 1 オペアンプ (17_{2k-1}) に与えることができる。これは、液晶表示装置の消費電力を有効に低減させる。

【発明の効果】

【0021】

本発明によれば、各データ線の駆動前にデータ線を短絡するドット反転駆動を採用する液晶表示装置の消費電力を有効に低減させることができる。

20

【発明を実施するための最良の形態】

【0022】

以下、添付図面を参照しながら本発明の実施の形態が説明される。図面において同一、又は類似の参照符号は、同一、類似、又は等価な構成要素を示していることに留意されたい。

【0023】

第 1 第 1 の実施形態

1. 液晶表示装置の全体構成

図 1 は、本発明の第 1 の実施形態に係る液晶表示装置 10 の構成を示すブロック図である。液晶表示装置 10 は、LCD (liquid crystal display) パネル 1 と、LCD コントローラ 2 と、複数のデータドライバ 3 と、ゲートドライバ 4 と、基準階調電圧発生部 5 を備えている。LCD パネル 1 は、データ線 $X_1 \sim X_n$ (n は、2 以上の偶数) と、ゲート線 $Y_1 \sim Y_m$ (m は、2 以上の自然数) と、これらが交差する位置のそれぞれに設けられた画素 P とを備えている；ただし、図を見やすくするために、図 1 には 2 つの画素しか図示されていない。以下において、データ線 X_j とゲート線 Y_i とが交差する位置に設けられた画素は、画素 $P_{j, i}$ と記載される。各画素 $P_{j, i}$ は、コモン電極 1a に対向する画素電極 1b と TFT 1c とを備えている。画素 $P_{j, i}$ の TFT 1c がターンオンされた状態でデータ線 X_j にデータ信号が供給されると、画素 $P_{j, i}$ の液晶容量 (即ち、コモン電極 1a と画素電極 1b とで構成される容量) にデータ信号が書き込まれる。

30

40

【0024】

LCD コントローラ 2 は、データドライバ 3 とゲートドライバ 4 を制御し、これによって LCD パネル 1 に所望の画像を表示させる。詳細には、LCD コントローラ 2 は、画像描画用 LSI 6 (例えば、CPU (Central Processor Unit)、及び DSP (Digital signal processor)) から画素データを受け取り、受け取った画素データをデータドライバ 3 に転送する。画素データとは、LCD パネル 1 の各画素の階調を指示するデータであり、以下において、画素 $P_{j, i}$ に対応する画素データは、画素データ $D_{j, i}$ と記載される。更に LCD コントローラ 2 は、垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 、データネーブル信号 DE、クロック信号 CLK その他の制御信号を画像描画用 LSI 6 から受け取り、これらの制御信号に応答してデータドライバ 3 にデータ側制御信号 7 を、

50

ゲートドライバ4にゲート側制御信号8を供給する。本実施の形態では、データ側制御信号7は、スタートパルス信号SPR、シフト方向指示信号R/L、クロック信号CLK、ラッチ信号STB、及び極性信号POLを含んでいる。スタートパルス信号SPRは、データドライバ3に画素データの取り込みを開始させる信号であり、シフト方向指示信号R/Lは、データドライバ3による画素データの取り込みを制御する信号である。ラッチ信号STBは、データドライバ3の内部でのデータ転送を制御する信号であり、極性信号POLは、各データ線に供給されるデータ信号の極性を指定する信号である。

【0025】

データドライバ3は、LCDコントローラ2から受け取った画素データと、データ側制御信号7とにตอบสนองしてLCDパネル1のデータ線 $X_1 \sim X_n$ を駆動する。詳細には、第jラインの画素 $P_{j,1} \sim P_{j,n}$ が駆動される第j水平期間では、データドライバ3は、データ線 $X_1 \sim X_n$ を、それぞれ画素データ $D_{j,1} \sim D_{j,n}$ にตอบสนองして駆動する。データ線 $X_1 \sim X_n$ の駆動には、基準階調電圧発生部5から供給される階調電圧 $V_1 \sim V_{2M}$ が使用される；Mは、画素がとり得る階調の数である。画素データ $D_{j,i}$ がpビットデータである場合、Mは 2^p である。階調電圧 $V_1 \sim V_M$ は、共通電位 V_{COM} （即ち、コモン電極1aの電位）に対して正の極性を有しており、下記の関係：

$$V_1 > V_2 > \dots > V_M > 0,$$

を成立させている。一方、階調電圧 $V_{M+1} \sim V_{2M}$ は負の極性を有しており、下記の関係：

$$0 > V_{M+1} > V_{M+2} > \dots > V_{2M},$$

を成立させている。データ線 $X_1 \sim X_n$ が正の極性の電位に駆動される場合には、階調電圧 $V_1 \sim V_M$ のうちの一の階調電圧が選択され、データ線 $X_1 \sim X_n$ は、選択された階調電圧に対応する正の極性の電位に駆動される。一方、データ線 $X_1 \sim X_n$ が負の極性の電位に駆動される場合には、階調電圧 $V_{M+1} \sim V_{2M}$ のうちの一の階調電圧が選択され、データ線 $X_1 \sim X_n$ は、選択された階調電圧に対応する負の極性の電位に駆動される。

【0026】

ゲートドライバ4は、LCDコントローラ2から受け取ったゲート側制御信号8にตอบสนองして、ゲート線 $Y_1 \sim Y_m$ を駆動する。

【0027】

2. データドライバの構成

図2は、データドライバ3の構成を示すブロック図である。データドライバ3は、1画素を空間的周期とするドット反転駆動を実現するような構成を有している；言い換えれば、データドライバ3は、1対のデータ線 X_{2k-1} 、 X_{2k} を反対の極性のデータ信号で駆動するように構成されている。

【0028】

より具体的には、データドライバ3は、シフトレジスタ回路11と、データレジスタ回路12と、ラッチ回路13と、駆動能力切り替え演算回路30と、入力側スイッチ部14と、レベルシフト回路15と、デコーダ（D/Aコンバータ）16と、ドライバ出力段17と、出力側スイッチ部18と、階調電圧バッファ19と、データ線 $X_1 \sim X_n$ にそれぞれに接続される出力端子 $20_1 \sim 20_n$ とを備えている。データレジスタ回路12は、レジスタ $12_1 \sim 12_n$ を備えており、ラッチ回路13は、レジスタ $12_1 \sim 12_n$ の出力に接続されているラッチ $13_1 \sim 13_n$ を備えている。入力側スイッチ部14は、2つのラッチに対して1つずつ設けられたスイッチ回路 $14_1 \sim 14_{n/2}$ を備えている。レベルシフト回路15は、レベルシフタ $15_1 \sim 15_n$ を備えている。デコーダ16は、レベルシフタ $15_1 \sim 15_n$ の出力に接続されたセクタ $16_1 \sim 16_n$ を備えている。ドライバ出力段17は、オペアンプ $17_1 \sim 17_n$ を備えている。出力側スイッチ部18は、2つのオペアンプに対して1つずつ設けられたスイッチ回路 $18_1 \sim 18_{n/2}$ を備えており、更に、2つの出力端子20に対して1つずつ設けられた短絡スイッチ $21_1 \sim 21_{n/2}$ を備えている。階調電圧バッファ19は、ボルテッジフォロア19a、19bを備えている。

10

20

30

40

50

【 0 0 2 9 】

シフトレジスタ回路 1 1 は、データレジスタ回路 1 2 に画素データを取り込ませるトリガパルス信号 $S R_1 \sim S R_n$ を生成するための回路である。シフトレジスタ回路 1 1 は、各水平期間において一回ずつトリガパルス信号 $S R_1 \sim S R_n$ を順次に活性化する。より具体的には、シフトレジスタ回路 1 1 は、パラレル出力を有する n ビットシフトレジスタで構成されており、スタートパルス信号 $S P R$ 、シフト方向指示信号 R / L 、及びクロック信号 $C L K$ が供給されている。スタートパルス信号 $S P R$ が活性化されると、シフトレジスタ回路 1 1 の内部では、クロック信号 $C L K$ に同期して、且つ、シフト方向指示信号 R / L に指示されている方向に " 1 " を取るビットがシフトされ、" 1 " を取るビットに対応するトリガパルス信号 $S R_1 \sim S R_n$ が順次に活性化される。シフト方向指示信号 R / L が " H " レベルである場合には、トリガパルス信号 $S R_1$ 、 $S R_2$ 、 \dots 、 $S R_n$ は、この順序で活性化される。シフト方向指示信号 R / L が " L " レベルである場合には、逆の順序で活性化される。なお、LCD パネルは、通常、複数のデータドライバによって駆動されるため、データドライバのトリガパルス信号 $S R_n$ と同じタイミングで動作するスタートパルス信号 $S P L$ が次のデータドライバへと出力され、次のデータドライバのスタートパルス $S P R$ として使用される。

10

【 0 0 3 0 】

データレジスタ回路 1 2 は、トリガパルス信号 $S R_1 \sim S R_n$ に応答して、LCD コントローラ 2 から送られる画素データを順次にレジスタ $1 2_1 \sim 1 2_n$ に取り込む。詳細には、第 j ラインの画素 $P_{j, 1} \sim P_{j, n}$ の画素データ $D_{j, 1} \sim D_{j, n}$ は、それぞれトリガパルス信号 $S R_1 \sim S R_n$ に応答して、それぞれレジスタ $1 2_1 \sim 1 2_n$ に取り込まれる。

20

【 0 0 3 1 】

ラッチ回路 1 3 は、データレジスタ回路 1 2 から送られてくる画素データを、ラッチ信号 $S T B$ に応答してラッチ $1 3_1 \sim 1 3_n$ に取り込む。ラッチ $1 3_1 \sim 1 3_n$ に取り込まれた画素データが、現水平期間におけるデータ線 $X_1 \sim X_n$ の駆動に使用される。上述のデータレジスタ回路 1 2 に取り込まれている画素データは、次の水平期間におけるデータ線 $X_1 \sim X_n$ の駆動に使用される画素データであることに留意されたい。

【 0 0 3 2 】

入力側スイッチ部 1 4 は、極性信号 $P O L$ に応答してラッチ $1 3_1 \sim 1 3_n$ とレベルシフタ $1 5_1 \sim 1 5_n$ の間の接続関係を切り替える。詳細には、図 3 に示されているように、入力側スイッチ部 1 4 の各スイッチ回路 $1 4_k$ は、4 つの接点 $2 2 \sim 2 5$ を備えている。接点 $2 2$ は、ラッチ $1 3_{2k-1}$ とレベルシフタ $1 5_{2k-1}$ の間に設けられ、接点 $2 3$ は、ラッチ $1 3_{2k}$ とレベルシフタ $1 5_{2k}$ の間に設けられている。一方、接点 $2 4$ は、ラッチ $1 3_{2k-1}$ とレベルシフタ $1 5_{2k}$ の間に設けられ、接点 $2 5$ は、ラッチ $1 3_{2k}$ とレベルシフタ $1 5_{2k-1}$ の間に設けられている。このように構成されたスイッチ回路 $1 4_k$ は、ラッチ $1 3_{2k-1}$ 、 $1 3_{2k}$ の一方をレベルシフタ $1 5_{2k-1}$ の入力に接続し、他方をレベルシフタ $1 5_{2k}$ の入力に接続する。

30

【 0 0 3 3 】

図 2 に戻り、レベルシフト回路 1 5、デコーダ 1 6、及びドライバ出力段 1 7 は、ラッチ $1 3_1 \sim 1 3_n$ から送られる画素データに応答してデータ信号を生成する回路群である。レベルシフト回路 1 5、デコーダ 1 6、及びドライバ出力段 1 7 は、正の極性のデータ信号を生成するための専用の部分と、負の極性のデータ信号を生成するための専用の部分とに分けられる。奇数番目のレベルシフタ $1 5_1$ 、 $1 5_3$ 、 \dots 、 $1 5_{n-1}$ 、セレクト $1 6_1$ 、 $1 6_3$ 、 \dots 、 $1 6_{n-1}$ 、及びオペアンプ $1 7_1$ 、 $1 7_3$ 、 \dots 、 $1 7_{n-1}$ は、正の極性のデータ信号を生成するために使用される。一方、偶数番目のレベルシフタ $1 5_2$ 、 $1 5_4$ 、 \dots 、 $1 5_n$ 、セレクト $1 6_2$ 、 $1 6_4$ 、 \dots 、 $1 6_n$ 、及びオペアンプ $1 7_2$ 、 $1 7_4$ 、 \dots 、 $1 7_n$ は、負の極性のデータ信号を生成するために使用される。

40

【 0 0 3 4 】

50

より具体的には、図3に示されているように、奇数番目のレベルシフト15_{2k-1}は、それに接続されたラッチ（即ち、ラッチ13_{2k-1}又はラッチ13_{2k}）の出力の信号レベルを、セクタ16_{2k-1}の入力の信号レベルに変換する。セクタ16_{2k-1}には、ボルテッジフォロア19aを介して正の極性の階調電圧V₁～V_Mが供給されている。セクタ16_{2k-1}は、それに接続されているラッチから送られる画素データに
10 応答して階調電圧V₁～V_Mのうちから対応する階調電圧を選択し、選択された階調電圧をオペアンプ17_{2k-1}に供給する。セクタ16_{2k-1}が選択する階調電圧は、画素データの値（即ち、対応する画素の階調）が大きいほど高い。オペアンプ17_{2k-1}は、供給された階調電圧に
20 応答して、正の極性の電位を有するデータ信号を生成する。オペアンプ17_{2k-1}が出力する電位は、画素データの値（即ち、対応する画素の階調）が大きいほど高い。

【0035】

同様に、偶数番目のレベルシフト15_{2k}は、それに接続されたラッチ（即ち、ラッチ13_{2k-1}又はラッチ13_{2k}）の出力の信号レベルを、セクタ16_{2k}の入力の信号レベルに変換する。セクタ16_{2k}には、ボルテッジフォロア19bを介して負の極性の階調電圧V_{M+1}～V_{2M}（0>V_{M+1}>V_{M+2}>・・・>V_{2M}）が供給されている。セクタ16_{2k}は、それに接続されているラッチから送られる画素データに
20 応答して階調電圧V_{M+1}～V_{2M}のうちから対応する階調電圧を選択し、選択された階調電圧をオペアンプ17_{2k}に供給する。セクタ16_{2k-1}が選択する階調電圧は、画素データの値（即ち、対応する画素の階調）が大きいほど低い。オペアンプ17_{2k}は、供給された階調電圧に
30 応答して、負の極性の電位を有するデータ信号を生成する。オペアンプ17_{2k}が出力する電位は、画素データの値（即ち、対応する画素の階調）が大きいほど低い。

【0036】

出力側スイッチ部18は、極性信号POLに
30 応答してオペアンプ17₁～17_nの出力と出力端子20₁～20_nとの間の接続関係を切り替える。図3に示されているように、出力側スイッチ部18の各スイッチ回路18_kは、4つの接点26～29を備えている。接点26は、オペアンプ17_{2k-1}と出力端子20_{2k-1}の間に設けられ、接点27は、オペアンプ17_{2k}と出力端子20_{2k}の間に設けられている。一方、接点28は、オペアンプ17_{2k-1}と出力端子20_{2k}の間に設けられ、接点29は、オペアンプ17_{2k}と出力端子20_{2k-1}の間に設けられている。このような構成のスイッチ回路18_kは、オペアンプ17_{2k-1}、17_{2k}の一方を出力端子20_{2k-1}に接続し、他方を出力端子20_{2k}に接続する。

【0037】

出力側スイッチ部18は、更に、隣接する一対の出力端子20（即ち、一対のデータ線）を短絡する役割も有している。各水平期間の先頭に用意されているブランキング期間においてラッチ信号STBが活性化されると、出力側スイッチ部18の短絡スイッチ21_kは、隣接する出力端子20_{2k-1}、20_{2k}（即ち、データ線X_{2k-1}、X_{2k}）を短絡する。

【0038】

このような構成のデータドライバ3では、極性信号POLに
40 応答して、出力端子20₁～20_n（即ち、データ線X₁～X_n）に出力されるデータ信号の極性が切り替えられる。データ信号の極性の切り替えは、入力側スイッチ部14及び出力側スイッチ部18によって実現されている。極性信号POLが”H”レベルの場合、出力側スイッチ部18は、奇数番目のオペアンプ17₁、17₃、・・・を奇数番目の出力端子20₁、20₃、・・・（即ち、奇数番目のデータ線X₁、X₃、・・・）に接続し、偶数番目のオペアンプ17₂、17₄、・・・を偶数番目の出力端子20₂、20₄、・・・（即ち、偶数番目のデータ線X₂、X₄、・・・）に接続する。これにより、奇数番目のデータ線X₁、X₃、・・・は、正の極性のデータ信号で駆動され、偶数番目のデータ線X₂、X₄、・・・は、負の極性のデータ信号で駆動される。極性信号POLが”L”レベルの場合には、
50

この逆である。入力側スイッチ部 14 は、オペアンプ $17_1 \sim 17_n$ の出力とデータ線 $X_1 \sim X_n$ との間の接続関係に整合するように、ラッチ $13_1 \sim 13_n$ とセレクトア $16_1 \sim 16_n$ の接続関係を切り替える。ラッチ $13_1 \sim 13_n$ に記憶されている画素データのうち、正の極性のデータ信号で駆動されるデータ線に対応する画素データは奇数番目のセレクトア 16_1 、 16_3 、 \dots に送られ、負の極性のデータ信号で駆動されるデータ線に対応する画素データは偶数番目のセレクトア 16_2 、 16_4 、 \dots に送られなくてはならない。入力側スイッチ部 14 は、このような接続関係を実現する。

【0039】

本実施の形態の液晶表示装置 10 の一つの主題は、上記のように構成されたデータドライバ 3 のオペアンプ $17_1 \sim 17_n$ の駆動能力の制御を最適化し、液晶表示装置 10 の消費電力を低減することにある。より具体的には、本実施の形態では、オペアンプ 17_{2k-1} 、 17_{2k} の駆動能力が、第 j 水平期間のブランキング期間においてデータ線 X_{2k-1} 、 X_{2k} が短絡された時におけるこれらのデータ線の電位に応じて最適に駆動される。

10

【0040】

詳細には、データ線 X_{2k-1} を駆動するオペアンプ 17_{2k-1} (又はオペアンプ 17_{2k}) の駆動能力は、データ線 X_{2k-1} 、 X_{2k} が短絡された時におけるデータ線 X_{2k-1} の電位と、その後データ線 X_{2k-1} が駆動されるべき電位との差が小さい場合に減少される。これにより、オペアンプ 17_{2k-1} における不必要な電力消費が抑えられる。一方、データ線 X_{2k-1} 、 X_{2k} が短絡された時におけるデータ線 X_{2k-1} の電位と、その後データ線 X_{2k-1} が駆動されるべき電位との差が大きい場合には、オペアンプ 17_{2k-1} (又はオペアンプ 17_{2k}) の駆動能力は増大される。これは、データ線 X_{2k-1} の駆動に必要な時間を短縮するために重要である。データ線 X_{2k} についても同様にして駆動される。

20

【0041】

かかる主題を達成するために、データドライバ 3 には、オペアンプ $17_1 \sim 17_n$ の駆動能力を制御する制御データを生成する駆動能力切り替え演算回路 30 が設けられている。オペアンプ $17_1 \sim 17_n$ は、駆動能力切り替え演算回路 30 から送られる制御データに応じて駆動能力が可変であるように構成されている。以下では、駆動能力切り替え演算回路 30 とオペアンプ $17_1 \sim 17_n$ の構成が詳細に説明される。

30

【0042】

3. 駆動能力切り替え回路、及びオペアンプの構成

駆動能力切り替え演算回路 30 は、データ演算部 $31_1 \sim 31_{n/2}$ と、制御データラッチ $32_1 \sim 32_n$ とを備えている。データ演算部 $31_1 \sim 31_{n/2}$ は、2つのデータ線あたりに1つ設けられ、制御データラッチ $32_1 \sim 32_n$ は、オペアンプ $17_1 \sim 17_n$ のそれぞれに対応して設けられている。データ演算部 $31_1 \sim 31_{n/2}$ は、オペアンプ $17_1 \sim 17_n$ の駆動能力を制御する制御データを生成する機能を有しており、制御データラッチ $32_1 \sim 32_n$ は、生成された制御データをオペアンプ $17_1 \sim 17_n$ に転送する。

【0043】

図 4 は、駆動能力切り替え演算回路 30 の構成の詳細を示す回路図であり、駆動能力切り替え演算回路 30 のうちデータ演算部 31_k と、制御データラッチ 32_{2k-1} 、 32_{2k} の部分の構成を示している。データ演算部 31_k は、オペアンプ 17_{2k-1} 、 17_{2k} の駆動能力を制御するために使用される一組の制御データ AS_{2k-1} 、 AS_{2k} を生成する。データ演算部 31_k は制御データ AS_{2k-1} 、 AS_{2k} の一方を制御データラッチ 32_{2k-1} に、他方を制御データラッチ 32_{2k} に送信する。制御データラッチ 32_{2k-1} は、データ演算部 31_k から送られてくる制御データをラッチ信号 STB に応答してラッチし、ラッチした制御データをオペアンプ 17_{2k-1} に転送する。同様に、制御データラッチ 32_{2k} は、データ演算部 31_k から送られてくる制御データをラッチ信号 STB に応答してラッチし、制御データをオペアンプ 17_{2k} に転送する。

40

50

【0044】

詳細には、データ演算部31_kは、差分電位算出回路33と、制御データレジスタ34、35と、スイッチ回路36とを備えている。差分電位算出回路33は、次の水平期間のブランキング期間でデータ線X_{2k-1}、X_{2k}が短絡されたときのデータ線X_{2k-1}、X_{2k}の電位と、次の水平期間においてデータ線X_{2k-1}、X_{2k}が駆動されるべき電位との差に応じた制御データAS_{2k-1}、AS_{2k}を生成する。より具体的には、差分電位算出回路33は、ラッチ回路13のラッチ13_{2k-1}、13_{2k}から現水平期間の画素データを受け取り、データレジスタ回路12のレジスタ12_{2k-1}、12_{2k}から、次の水平期間の画素データを受け取り、これらの画素データからオペアンプ17_{2k-1}、17_{2k}の駆動能力を制御するために使用される制御データAS_{2k-1}、AS_{2k}を生成する。より具体的には、第j水平期間において画素D_{j,2k-1}、D_{j,2k}を駆動する際に使用される制御データAS_{j,2k-1}、AS_{j,2k}は、下記式によって算出される：

$$AS_{j,2k-1} = | (D_{j-1,2k} - D_{j-1,2k-1}) / 2 - D_{j,2k-1} |, \dots (1a)$$

$$AS_{j,2k} = | (D_{j-1,2k-1} - D_{j-1,2k}) / 2 - D_{j,2k} |, \dots (1b)$$

【0045】

このようにして算出された制御データAS_{j,2k-1}、AS_{j,2k}は、第j水平期間のブランキング期間においてデータ線X_{2k-1}、X_{2k}が短絡された時におけるこれらのデータ線の電位と、第j水平期間においてデータ線X_{2k-1}、X_{2k}が駆動される電位との差に対応する値を有している。具体的には、式(1a)の(D_{j-1,2k} - D_{j-1,2k-1}) / 2は、短絡された時のデータ線X_{2k-1}、X_{2k}の電位に対応しており、D_{j,2k-1}は、その後にデータ線X_{2k-1}が駆動されるべき電位に対応している。同様に、式(1b)の(D_{j-1,2k-1} - D_{j-1,2k}) / 2は、短絡された時のデータ線X_{2k-1}、X_{2k}の電位に対応しており、D_{j,2k}は、その後にデータ線X_{2k}が駆動されるべき電位に対応している。後述されるように、制御データAS_{j,2k-1}、AS_{j,2k}が大きいほど、オペアンプ17_{2k-1}、17_{2k}には大きな駆動能力が与えられ、これにより、オペアンプ17_{2k-1}、17_{2k}の駆動能力の最適な制御が実現される。

【0046】

厳密には、データ線の電位は、画素データに示されている階調値には比例しておらず、データ線の電位と画素データに示されている階調値とは、いわゆるガンマカーブと呼ばれる曲線によって表わされる。短絡された時におけるデータ線X_{2k-1}、X_{2k}の電位と第j水平期間においてデータ線X_{2k-1}、X_{2k}が駆動される電位との差に、より厳密に対応した制御を行うためには、下記式：

$$AS_{j,2k-1} = | \{ (D_{j-1,2k}) + (D_{j-1,2k-1}) \} / 2 - (D_{j,2k-1}) |, \dots (1a)'$$

$$AS_{j,2k} = | \{ (D_{j-1,2k}) + (D_{j-1,2k-1}) \} / 2 - (D_{j,2k}) |, \dots (1b)'$$

によって制御データAS_{j,2k-1}、AS_{j,2k}が決定されることも可能である；ここで(D_{j,i})は、ガンマカーブにおいて画素データD_{j,i}に対応する電位である。ただし、上記の式(1a)、(1b)による演算は、その実装が簡便である点では有利であることに留意されたい。

【0047】

制御データレジスタ34、35は、トリガパルス信号SR₁ ~ SR_nのうち、最も遅く活性化されるトリガパルス信号の立下りに応答して、それぞれ制御データAS_{2k-1}、AS_{2k}をラッチする。これは、データレジスタ回路12に蓄えられた次の水平期間の画素データを、ラッチ信号STBに応答してラッチ13₁ ~ 13_nに取り込む前に、差分電位算出回路33による制御データAS_{2k-1}、AS_{2k}の算出と、制御データレジスタ

10

20

30

40

50

34、35へのラッチを完了させるためである。

【0048】

スイッチ回路36は、極性信号POLに応答して、制御データレジスタ34、35と、制御データラッチ32_{2k-1}、32_{2k}の間の接続関係を切り替える。詳細には、スイッチ回路36は、4つの接点：接点37、38、39、40を備えている。接点37は、制御データレジスタ34と制御データラッチ32_{2k-1}の間に接続され、接点38は、制御データレジスタ35と制御データラッチ32_{2k}の間に接続されている。一方、接点39は、制御データレジスタ34と制御データラッチ32_{2k}に接続され、接点40は、制御データレジスタ35と制御データラッチ32_{2k-1}の間に接続されている。このような構成のスイッチ回路36は、制御データレジスタ34、35にラッチされた制御データAS_{2k-1}、AS_{2k}の一方を制御データラッチ32_{2k-1}に、他方を制御データラッチ32_{2k}に転送する。制御データAS_{2k-1}、AS_{2k}の転送先は、極性信号POLに応じて切り替えられる。このような機能を有するスイッチ回路36が設けられているのは、ラッチ回路13のラッチ13_{2k-1}、13_{2k}に保持されている画素データの転送先が、スイッチ回路14_kによって切り替えられるからである。例えば、画素データD_{j, 2k-1}がセクタ16_{2k}に送られ、オペアンプ17_{2k}が画素データD_{j, 2k-1}に
10
20
30
40
50
60
70
80
90
100
110
120
130
140
150
160
170
180
190
200
210
220
230
240
250
260
270
280
290
300
310
320
330
340
350
360
370
380
390
400
410
420
430
440
450
460
470
480
490
500
510
520
530
540
550
560
570
580
590
600
610
620
630
640
650
660
670
680
690
700
710
720
730
740
750
760
770
780
790
800
810
820
830
840
850
860
870
880
890
900
910
920
930
940
950
960
970
980
990
1000
1010
1020
1030
1040
1050
1060
1070
1080
1090
1100
1110
1120
1130
1140
1150
1160
1170
1180
1190
1200
1210
1220
1230
1240
1250
1260
1270
1280
1290
1300
1310
1320
1330
1340
1350
1360
1370
1380
1390
1400
1410
1420
1430
1440
1450
1460
1470
1480
1490
1500
1510
1520
1530
1540
1550
1560
1570
1580
1590
1600
1610
1620
1630
1640
1650
1660
1670
1680
1690
1700
1710
1720
1730
1740
1750
1760
1770
1780
1790
1800
1810
1820
1830
1840
1850
1860
1870
1880
1890
1900
1910
1920
1930
1940
1950
1960
1970
1980
1990
2000
2010
2020
2030
2040
2050
2060
2070
2080
2090
2100
2110
2120
2130
2140
2150
2160
2170
2180
2190
2200
2210
2220
2230
2240
2250
2260
2270
2280
2290
2300
2310
2320
2330
2340
2350
2360
2370
2380
2390
2400
2410
2420
2430
2440
2450
2460
2470
2480
2490
2500
2510
2520
2530
2540
2550
2560
2570
2580
2590
2600
2610
2620
2630
2640
2650
2660
2670
2680
2690
2700
2710
2720
2730
2740
2750
2760
2770
2780
2790
2800
2810
2820
2830
2840
2850
2860
2870
2880
2890
2900
2910
2920
2930
2940
2950
2960
2970
2980
2990
3000
3010
3020
3030
3040
3050
3060
3070
3080
3090
3100
3110
3120
3130
3140
3150
3160
3170
3180
3190
3200
3210
3220
3230
3240
3250
3260
3270
3280
3290
3300
3310
3320
3330
3340
3350
3360
3370
3380
3390
3400
3410
3420
3430
3440
3450
3460
3470
3480
3490
3500
3510
3520
3530
3540
3550
3560
3570
3580
3590
3600
3610
3620
3630
3640
3650
3660
3670
3680
3690
3700
3710
3720
3730
3740
3750
3760
3770
3780
3790
3800
3810
3820
3830
3840
3850
3860
3870
3880
3890
3900
3910
3920
3930
3940
3950
3960
3970
3980
3990
4000
4010
4020
4030
4040
4050
4060
4070
4080
4090
4100
4110
4120
4130
4140
4150
4160
4170
4180
4190
4200
4210
4220
4230
4240
4250
4260
4270
4280
4290
4300
4310
4320
4330
4340
4350
4360
4370
4380
4390
4400
4410
4420
4430
4440
4450
4460
4470
4480
4490
4500
4510
4520
4530
4540
4550
4560
4570
4580
4590
4600
4610
4620
4630
4640
4650
4660
4670
4680
4690
4700
4710
4720
4730
4740
4750
4760
4770
4780
4790
4800
4810
4820
4830
4840
4850
4860
4870
4880
4890
4900
4910
4920
4930
4940
4950
4960
4970
4980
4990
5000
5010
5020
5030
5040
5050
5060
5070
5080
5090
5100
5110
5120
5130
5140
5150
5160
5170
5180
5190
5200
5210
5220
5230
5240
5250
5260
5270
5280
5290
5300
5310
5320
5330
5340
5350
5360
5370
5380
5390
5400
5410
5420
5430
5440
5450
5460
5470
5480
5490
5500
5510
5520
5530
5540
5550
5560
5570
5580
5590
5600
5610
5620
5630
5640
5650
5660
5670
5680
5690
5700
5710
5720
5730
5740
5750
5760
5770
5780
5790
5800
5810
5820
5830
5840
5850
5860
5870
5880
5890
5900
5910
5920
5930
5940
5950
5960
5970
5980
5990
6000
6010
6020
6030
6040
6050
6060
6070
6080
6090
6100
6110
6120
6130
6140
6150
6160
6170
6180
6190
6200
6210
6220
6230
6240
6250
6260
6270
6280
6290
6300
6310
6320
6330
6340
6350
6360
6370
6380
6390
6400
6410
6420
6430
6440
6450
6460
6470
6480
6490
6500
6510
6520
6530
6540
6550
6560
6570
6580
6590
6600
6610
6620
6630
6640
6650
6660
6670
6680
6690
6700
6710
6720
6730
6740
6750
6760
6770
6780
6790
6800
6810
6820
6830
6840
6850
6860
6870
6880
6890
6900
6910
6920
6930
6940
6950
6960
6970
6980
6990
7000
7010
7020
7030
7040
7050
7060
7070
7080
7090
7100
7110
7120
7130
7140
7150
7160
7170
7180
7190
7200
7210
7220
7230
7240
7250
7260
7270
7280
7290
7300
7310
7320
7330
7340
7350
7360
7370
7380
7390
7400
7410
7420
7430
7440
7450
7460
7470
7480
7490
7500
7510
7520
7530
7540
7550
7560
7570
7580
7590
7600
7610
7620
7630
7640
7650
7660
7670
7680
7690
7700
7710
7720
7730
7740
7750
7760
7770
7780
7790
7800
7810
7820
7830
7840
7850
7860
7870
7880
7890
7900
7910
7920
7930
7940
7950
7960
7970
7980
7990
8000
8010
8020
8030
8040
8050
8060
8070
8080
8090
8100
8110
8120
8130
8140
8150
8160
8170
8180
8190
8200
8210
8220
8230
8240
8250
8260
8270
8280
8290
8300
8310
8320
8330
8340
8350
8360
8370
8380
8390
8400
8410
8420
8430
8440
8450
8460
8470
8480
8490
8500
8510
8520
8530
8540
8550
8560
8570
8580
8590
8600
8610
8620
8630
8640
8650
8660
8670
8680
8690
8700
8710
8720
8730
8740
8750
8760
8770
8780
8790
8800
8810
8820
8830
8840
8850
8860
8870
8880
8890
8900
8910
8920
8930
8940
8950
8960
8970
8980
8990
9000
9010
9020
9030
9040
9050
9060
9070
9080
9090
9100
9110
9120
9130
9140
9150
9160
9170
9180
9190
9200
9210
9220
9230
9240
9250
9260
9270
9280
9290
9300
9310
9320
9330
9340
9350
9360
9370
9380
9390
9400
9410
9420
9430
9440
9450
9460
9470
9480
9490
9500
9510
9520
9530
9540
9550
9560
9570
9580
9590
9600
9610
9620
9630
9640
9650
9660
9670
9680
9690
9700
9710
9720
9730
9740
9750
9760
9770
9780
9790
9800
9810
9820
9830
9840
9850
9860
9870
9880
9890
9900
9910
9920
9930
9940
9950
9960
9970
9980
9990
10000

【0049】

制御データラッチ32_{2k-1}に転送された制御データは、更にオペアンプ17_{2k-1}に送られてオペアンプ17_{2k-1}の駆動能力の制御に使用される。同様に、制御データラッチ32_{2k}に転送された制御データは、更にオペアンプ17_{2k}に送られてオペアンプ17_{2k}の駆動能力の制御に使用される。

【0050】

オペアンプ17₁～17_nの駆動能力は、それに送られてくる制御データの値が大きいほど増加される。これにより、各オペアンプには、対応する一对の隣接データ線が短絡された時の電位とその後に各データ線が駆動される電位との差に応じた適切な駆動能力が与えられる。例えば、第j水平期間にオペアンプ17_{2k-1}が画素データD_{j, 2k-1}に
30
40
50
60
70
80
90
100
110
120
130
140
150
160
170
180
190
200
210
220
230
240
250
260
270
280
290
300
310
320
330
340
350
360
370
380
390
400
410
420
430
440
450
460
470
480
490
500
510
520
530
540
550
560
570
580
590
600
610
620
630
640
650
660
670
680
690
700
710
720
730
740
750
760
770
780
790
800
810
820
830
840
850
860
870
880
890
900
910
920
930
940
950
960
970
980
990
1000
1010
1020
1030
1040
1050
1060
1070
1080
1090
1100
1110
1120
1130
1140
1150
1160
1170
1180
1190
1200
1210
1220
1230
1240
1250
1260
1270
1280
1290
1300
1310
1320
1330
1340
1350
1360
1370
1380
1390
1400
1410
1420
1430
1440
1450
1460
1470
1480
1490
1500
1510
1520
1530
1540
1550
1560
1570
1580
1590
1600
1610
1620
1630
1640
1650
1660
1670
1680
1690
1700
1710
1720
1730
1740
1750
1760
1770
1780
1790
1800
1810
1820
1830
1840
1850
1860
1870
1880
1890
1900
1910
1920
1930
1940
1950
1960
1970
1980
1990
2000
2010
2020
2030
2040
2050
2060
2070
2080
2090
2100
2110
2120
2130
2140
2150
2160
2170
2180
2190
2200
2210
2220
2230
2240
2250
2260
2270
2280
2290
2300
2310
2320
2330
2340
2350
2360
2370
2380
2390
2400
2410
2420
2430
2440
2450
2460
2470
2480
2490
2500
2510
2520
2530
2540
2550
2560
2570
2580
2590
2600
2610
2620
2630
2640
2650
2660
2670
2680
2690
2700
2710
2720
2730
2740
2750
2760
2770
2780
2790
2800
2810
2820
2830
2840
2850
2860
2870
2880
2890
2900
2910
2920
2930
2940
2950
2960
2970
2980
2990
3000
3010
3020
3030
3040
3050
3060
3070
3080
3090
3100
3110
3120
3130
3140
3150
3160
3170
3180
3190
3200
3210
3220
3230
3240
3250
3260
3270
3280
3290
3300
3310
3320
3330
3340
3350
3360
3370
3380
3390
3400
3410
3420
3430
3440
3450
3460
3470
3480
3490
3500
3510
3520
3530
3540
3550
3560
3570
3580
3590
3600
3610
3620
3630
3640
3650
3660
3670
3680
3690
3700
3710
3720
3730
3740
3750
3760
3770
3780
3790
3800
3810
3820
3830
3840
3850
3860
3870
3880
3890
3900
3910
3920
3930
3940
3950
3960
3970
3980
3990
4000
4010
4020
4030
4040
4050
4060
4070
4080
4090
4100
4110
4120
4130
4140
4150
4160
4170
4180
4190
4200
4210
4220
4230
4240
4250
4260
4270
4280
4290
4300
4310
4320
4330
4340
4350
4360
4370
4380
4390
4400
4410
4420
4430
4440
4450
4460
4470
4480
4490
4500
4510
4520
4530
4540
4550
4560
4570
4580
4590
4600
4610
4620
4630
4640
4650
4660
4670
4680
4690
4700
4710
4720
4730
4740
4750
4760
4770
4780
4790
4800
4810
4820
4830
4840
4850
4860
4870
4880
4890
4900
4910
4920
4930
4940
4950
4960
4970
4980
4990
5000
5010
5020
5030
5040
5050
5060
5070
5080
5090
5100
5110
5120
5130
5140
5150
5160
5170
5180
5190
5200
5210
5220
5230
5240
5250
5260
5270
5280
5290
5300
5310
5320
5330
5340
5350
5360
5370
5380
5390
5400
5410
5420
5430
5440
5450
5460
5470
5480
5490
5500
5510
5520
5530
5540
5550
5560
5570
5580
5590
5600
5610
5620
5630
5640
5650
5660
5670
5680
5690
5700
5710
5720
5730
5740
5750
5760
5770
5780
5790
5800
5810
5820
5830
5840
5850
5860
5870
5880
5890
5900
5910
5920
5930
5940
5950
5960
5970
5980
5990
6000
6010
6020
6030
6040
6050
6060
6070
6080
6090
6100
6110
6120
6130
6140
6150
6160
6170
6180
6190
6200
6210
6220
6230
6240
6250
6260
6270
6280
6290
6300
6310
6320
6330
6340
6350
6360
6370
6380
6390
6400
6410
6420
6430
6440
6450
6460
6470
6480
6490
6500
6510
6520
6530
6540
6550
6560
6570
6580
6590
6600
6610
6620
6630
6640
6650
6660
6670
6680
6690
6700
6710
6720
6730
6740
6750
6760
6770
6780
6790
6800
6810
6820
6830
6840
6850
6860
6870
6880
6890
6900
6910
6920
6930
6940
6950
6960
6970
6980
6990
7000
7010
7020
7030
7040
7050
7060
7070
7080
7090
7100
7110
7120
7130
7140
7150
7160
7170
7180
7190
7200
7210
7220
7230
7240
7250
7260
7270
7280
7290
7300
7310
7320
7330
7340
7350
7360
7370
7380
7390
7400
7410
7420
7430
7440
7450
7460
7470
7480
7490
7500
7510
7520
7530
7540
7550
7560
7570
7580
7590
7600
7610
7620
7630
7640
7650
7660
7670
7680
7690
7700
7710
7720
7730
7740
7750
7760
7770
7780
7790
7800
7810
7820
7830
7840
7850
7860
7870
7880
7890
7900
7910
7920
7930
7940
7950
7960
7970
7980
7990
8000
8010
8020
8030
8040
8050
8060
8070
8080
8090
8100
8110
8120
8130
8140
8150
8160
8170
8180
8190
8200
8210
8220
8230
8240
8250
8260
8270
8280
8290
8300
8310
8320
8330
8340
8350
8360
8370
8380
8390
8400
8410
8420
8430
8440
8450
8460
8470
8480
8490
8500
8510
8520
8530
8540
8550
8560
8570
8580
8590
8600
8610
8620
8630
8640
8650
8660
8670
8680
8690
8700
8710
8720
8730
8740
8750
8760
8770
8780
8790
8800
8810
8820
8830
8840
8850
8860
8870
8880
8890
8900
8910
8920
8930
8940
8950
8960
8970
8980
8990
9000
9010
9020
9030
9040
9050
9060
9070
9080
9090
9100
9110
9120
9130
9140
9

バイアス電流 I_b が増大され、従って、オペアンプ 17_{2k-1} (17_{2k}) の駆動能力も増大される。

【0052】

図5Bは、オペアンプ $17_1 \sim 17_n$ の構成の他の例を示す回路図である。図5Bのオペアンプでは、バイアス電圧発生回路41と、電流源42の代わりに、複数のスイッチ $SW_1 \sim SW_q$ と、同一の大きさの電流を発生する定電流源 $44_1 \sim 44_q$ とが設けられる。スイッチ SW_i と定電流源 44_i は、ボルテッジフォロア43と接地端子の間に直列に接続されている。スイッチ $SW_1 \sim SW_q$ のうち、制御データASの大きさに応じた数のスイッチがターンオンされる。ボルテッジフォロア43には、オンされているスイッチSWの数に比例した大きさのバイアス電流 I_b が供給される。従って、図5Bの構成でも、
10

【0053】

4. データドライバの動作

続いて、データドライバ3の動作、特に第j水平期間においてオペアンプ $17_1 \sim 17_n$ の駆動能力の制御に使用される制御データの生成の手順、及び制御データを用いた駆動能力の制御の手順が詳細に説明される。図6は、第j-1水平期間(即ち、第j-1ラインの画素が駆動される期間)及び第j水平期間におけるデータドライバ3の動作を示すタイミングチャートである。

【0054】

第j水平期間においてオペアンプ $17_1 \sim 17_n$ の駆動能力の制御に使用される制御データの生成は、第j-1水平期間に行われる。実際に使用される前の水平期間である第j-1水平期間に制御データを生成することは、第j水平期間におけるオペアンプ $17_1 \sim 17_n$ の駆動能力の制御を速やかに行う上で好適である；第j水平期間において使用される制御データを当該第j水平期間において生成することは、第j水平期間においてオペアンプ $17_1 \sim 17_n$ がデータ信号の出力を開始する時刻を遅らせる結果になるため好ましくない。
20

【0055】

より詳細には、第j-1水平期間のブランキング期間においてラッチ信号STBが活性化されると、データ線 $X_1 \sim X_n$ の隣接する2つのデータ線が、短絡スイッチ $21_1 \sim 21_n$ によって短絡される。更に、ラッチ信号STBの活性化にตอบสนองして、第j-1水平期間においてデータ信号の生成に使用される画素データ $D_{j-1,1} \sim D_{j-1,n}$ がデータレジスタ回路12からラッチ回路13に転送される。第j-1水平期間におけるデータ線 $X_1 \sim X_n$ の駆動は、ラッチ回路13に転送されたこれらの画素データ $D_{j-1,1} \sim D_{j-1,n}$ にตอบสนองして行われる。各データ線に供給されるデータ信号の極性は、極性信号POLによって指定される。本実施の形態では、極性信号POLが"H"レベルであることにตอบสนองして、奇数番目のデータ線 X_1, X_3, \dots には正の極性のデータ信号が、偶数番目のデータ線 X_2, X_4, \dots には負の極性のデータ信号が供給される。
30

【0056】

データ線 $X_1 \sim X_n$ が駆動されている間、第j水平期間においてデータ線 $X_1 \sim X_n$ の駆動に使用される画素データが、LCDコントローラ2からデータレジスタ回路12に転送される。より具体的には、スタートパルス信号SPRの活性化にตอบสนองしてトリガパルス信号 $SR_1 \sim SR_n$ が、順次に活性化され、更に、画素データ $D_{j,1} \sim D_{j,n}$ がトリガパルス信号 $SR_1 \sim SR_n$ の活性化に同期して順次に転送される。これにより、データレジスタ回路12のレジスタ $12_1 \sim 12_n$ には、それぞれ画素データ $D_{j,1} \sim D_{j,n}$ が格納される。
40

【0057】

画素データ $D_{j,1} \sim D_{j,n}$ がレジスタ $12_1 \sim 12_n$ に格納されると、駆動能力切り替え演算回路30のデータ演算部 $31_1 \sim 31_n$ は、第j水平期間において使用されるべき制御データを算出する。詳細には、図7に示されているように、データ演算部 31_k
50

の差分電位算出回路 33 は、レジスタ 12_{2k-1} 、 12_{2k} に格納された画素データ $D_{j, 2k-1}$ 、 $D_{j, 2k}$ 及び、ラッチ 13_{2k-1} 、 13_{2k} に格納された画素データ $D_{j-1, 2k-1}$ 、 $D_{j-1, 2k}$ から、上記式 (1a)、(1b) によって制御データ $AS_{j, 2k-1}$ 、 $AS_{j, 2k}$ を算出する。

【0058】

算出された制御データは、第 $j-1$ 水平期間が終了する時に、データ演算部 $31_1 \sim 31_n$ の制御データレジスタ 34 、 35 にラッチされる。具体的には、最も遅く活性化されるトリガパルス SR_n の立ち下がりに応答して、データ演算部 31_k の制御データレジスタ 34 に制御データ $AS_{j, 2k-1}$ がラッチされ、制御データレジスタ 35 に制御データ $AS_{j, 2k}$ がラッチされる。

10

【0059】

第 j 水平期間が開始されると、図 6 に示されているように、ブランキング期間に極性信号 POL が反転され、更に、ラッチ信号 STB が活性化される。ラッチ信号 STB の活性化に応答して、データ線 $X_1 \sim X_n$ の隣接する 2 つのデータ線が、短絡スイッチ $21_1 \sim 21_n$ によって短絡される。詳細には、データ線 X_{2k-1} 、 X_{2k} は、短絡スイッチ 21_k によって短絡される。データ線 X_{2k-1} 、 X_{2k} の短絡後の電位は、第 $j-1$ 水平期間においてデータ線 X_{2k-1} 、 X_{2k} が駆動されていた電位の平均である。

【0060】

更に、図 7 に示されているように、データ演算部 $31_1 \sim 31_n$ の制御データレジスタ 34 、 35 に保持されている制御データが、制御データラッチ $32_1 \sim 32_n$ を介してオペアンプ $17_1 \sim 17_n$ に転送される。詳細には、第 $j-1$ 水平期間のブランキング期間においてラッチ信号 STB が活性化されると、データ演算部 31_k の制御データレジスタ 34 に保持されている制御データ $AS_{j, 2k-1}$ が、制御データラッチ 32_{2k-1} 、 32_{2k} の一方に転送され、データ演算部 31_k の制御データレジスタ 35 に保持されている制御データ $AS_{j, 2k}$ が、他方に転送される。

20

【0061】

制御データの転送先は、極性信号 POL に応じて切り替えられる。本実施の形態では、図 7 に示されているように、極性信号 POL が "L" レベルであることに応答して、データ演算部 31_k の制御データレジスタ 34 に格納されている制御データ $AS_{j, 2k-1}$ が制御データラッチ 32_{2k} に転送され、制御データレジスタ 35 に格納されている制御データ $AS_{j, 2k}$ が制御データラッチ 32_{2k-1} に転送される；図 8 に示されているように、極性信号 POL が "H" レベルである場合には逆である。制御データの転送先が極性信号 POL に応じて切り替えられるのは、画素データの転送先に対応する適切な制御データを、オペアンプに供給するためである。図 7 の動作では、オペアンプ 17_{2k} が画素データ $D_{j, 2k-1}$ に応答して駆動されることに応じて、制御データ $AS_{j, 2k-1}$ がオペアンプ 17_{2k} に転送される。

30

【0062】

オペアンプ $17_1 \sim 17_n$ は、それぞれに転送された制御データに対応する駆動能力に設定される。図 7 の動作では、オペアンプ 17_{2k-1} には制御データ $AS_{j, 2k}$ が供給され、オペアンプ 17_{2k-1} の駆動能力が制御データ $AS_{j, 2k}$ に応じて調節される。同様に、オペアンプ 17_{2k} には制御データ $AS_{j, 2k-1}$ が供給され、オペアンプ 17_{2k} の駆動能力が制御データ $AS_{j, 2k-1}$ に応じて調節される。これにより、オペアンプ 17_{2k-1} 、 17_{2k} の駆動能力が最適に調整され、データドライバ 3 の消費電力が低減される。

40

【0063】

図 9 は、データドライバ 3 の動作の例を示すタイミングチャートである。例えば、第 $j-1$ 水平期間にデータ線 X_{2k-1} が正の極性の電位 V_{x11} に、データ線 X_{2k} が負の極性の電位 V_{x21} に駆動されたとする。続く第 j 水平期間のブランキング期間においてデータ線 X_{2k-1} 、 X_{2k} が短絡されると、これらのデータ線の電位は、平均電位 V_r $[= (V_{x11} + V_{x21}) / 2]$ に遷移する。その後、第 j 水平期間においてデータ

50

線 X_{2k-1} が負の極性の電位 V_{x21} に、データ線 X_{2k} が正の極性の電位 V_{x22} に駆動されるとする。平均電位 V_{r2} と電位 V_{x21} との差 V_{x21} が小さいことに対応して、データ線 X_{2k-1} を駆動するオペアンプは、低駆動能力に設定される；このことは、図9においてハッチングによって示されている。不必要な場合にオペアンプが低駆動能力に設定され、オペアンプの静消費電流、即ち、消費電力が低減される。

【0064】

続く第 $j+1$ 水平期間のブランキング期間においてデータ線 X_{2k-1} 、 X_{2k} が短絡されると、これらのデータ線の電位は、平均電位 $V_{r3} [= (V_{x21} + V_{x22}) / 2]$ に遷移する。その後、第 $j+1$ 水平期間においてデータ線 X_{2k-1} が正の極性の電位 V_{x31} に、データ線 X_{2k} が負の極性の電位 V_{x32} に駆動されるとする。平均電位 V_{r3} と電位 V_{x32} との差 V_{x32} が大きいことに対応して、データ線 X_{2k} を駆動するオペアンプは、高駆動能力に設定される；このことは、図9において異なるハッチングによって示されている。このように、必要な場合にはオペアンプが高駆動能力に設定され、データ線が速やかに駆動される。

【0065】

第2 第2の実施形態

図10は、本発明の第2の実施形態に係る液晶表示装置10Aの構成を示すブロック図である。本実施形態の液晶表示装置10Aと、第1の実施形態の液晶表示装置10との最も重要な違いは、制御データASの演算がデータドライバ3AではなくLCDコントローラ2Aで行われることである。

【0066】

具体的には、LCDコントローラ2Aには、一ラインの画素に対応する画素データを記憶する容量を有するラインメモリ51と、オペアンプ17₁～17_nの駆動能力の制御に使用される制御データASの演算を行う駆動能力切り替え演算部52とが設けられる。ラインメモリ51は、第 j 水平期間において画素 $P_{j,1} \sim P_{j,n}$ の駆動の際に使用される制御データ $AS_{j,1} \sim AS_{j,n}$ が算出されるときに必要な、第 $j-1$ ラインの画素の画素データ $D_{j-1,1} \sim D_{j-1,n}$ を格納する。駆動能力切り替え演算部52は、画像描画用LSI6から第 j ラインの画素の画素データ $D_{j,1} \sim D_{j,n}$ がLCDコントローラ2Aに供給されると、その画素データ $D_{j,1} \sim D_{j,n}$ と、ラインメモリ51に格納されている画素データ $D_{j-1,1} \sim D_{j-1,n}$ とから、制御データ $AS_{j,1} \sim AS_{j,n}$ を生成する。制御データ $AS_{j,1} \sim AS_{j,n}$ の算出には、上述の式(1a)、(1b)が使用される。生成された制御データ $AS_{j,1} \sim AS_{j,n}$ は、データドライバ3Aに転送される。制御データ $AS_{j,1} \sim AS_{j,n}$ の転送は、画素データ $D_{j,1} \sim D_{j,n}$ のデータドライバ3Aへの転送に同期して行われる。

【0067】

ラインメモリ51がLCDコントローラ2Aに設けられ、且つ、制御データASの演算がLCDコントローラ2Aで行われることに対応して、データドライバ3Aの構成は、第1の実施形態のデータドライバ3の構成から下記のように変更される。

【0068】

まず、図11に示されているように、データドライバ3Aから入力側スイッチ部14が取り除かれる。その代わりに、本実施形態では、ラインメモリ51が用意されていることを利用して、画素データのデータドライバ3Aへの転送の順番が極性信号POLに対応して入れ替えられる。より具体的には、図12に示されているように、極性信号POLが" L "レベルの場合には、第 j ラインの画素の画素データ $D_{j,1} \sim D_{j,n}$ は、その転送の順番が入れ替えられ、画素データ $D_{j,2}, D_{j,1}, D_{j,4}, D_{j,3} \dots$ という順番でデータドライバ3Aに転送される。一方、極性信号POLが" H "レベルの場合には転送の順番は入れ替えられず、画素データ $D_{j,1}, D_{j,2}, \dots$ は、この順番でデータドライバ3Aに転送される。これにより、入力側スイッチ部14が設けられている図2の構成のデータドライバ3と等価な動作が実現されている。入力側スイッチ部14が設けられていない図11のデータドライバ3Aの構成は、データドライバ3Aの構成の

10

20

30

40

50

簡略化に好適である。

【 0 0 6 9 】

加えて、図 1 1 に示されているように、データドライバ 3 A には制御データレジスタ 5 3₁ ~ 5 3_n と制御データラッチ 5 4₁ ~ 5 4_n とが設けられる。これらのレジスタ及びラッチは、LCD コントローラ 2 A から送られてくる制御データ A S を適切なタイミングでオペアンプ 1 7₁ ~ 1 7_n に転送するためのものである。制御データレジスタ 5 3₁ ~ 5 3_n は、トリガパルス信号 S R₁ ~ S R_n に応答して LCD コントローラ 2 A から制御データ A S を受け取る。制御データラッチ 5 4₁ ~ 5 4_n は、ラッチ信号 S T B に応答して、制御データレジスタ 5 3₁ ~ 5 3_n にラッチされている制御データ A S をラッチし、オペアンプ 1 7₁ ~ 1 7_n に制御データ A S を転送する。制御データレジスタ 5 3₁ ~ 5 3_n には、データレジスタ回路 1 2 と同様に、次の水平期間において使用される制御データ A S を保持するために使用される。一方、制御データラッチ 5 4₁ ~ 5 4_n は、現水平期間において使用される制御データ A S を保持するために使用される。

10

【 0 0 7 0 】

制御データラッチ 5 4₁ ~ 5 4_n からオペアンプ 1 7₁ ~ 1 7_n に制御データが転送され、オペアンプ 1 7₁ ~ 1 7_n の駆動能力は、転送された制御データに応じて制御される。これにより、第 1 の実施形態と同様に、データドライバ 3 A の消費電力が低減されている。

【 0 0 7 1 】

第 3 第 3 の実施形態

図 1 3 を参照して、第 3 の実施形態では、データドライバ 3 B が各水平期間のブランキング期間において、全てのデータ線 X₁ ~ X_n が短絡されるように構成される。より具体的には、図 1 4 に示されているように、n - 1 個の短絡スイッチ 2 1₁ ~ 2 1_(n-1) が全ての隣接するデータ線 X₁ ~ X_n の間に挿入される。短絡スイッチ 2 1₁ ~ 2 1_(n-1) は、各水平期間のブランキング期間にオンされ、これにより、データ線 X₁ ~ X_n が同一の電位になるように短絡される。

20

【 0 0 7 2 】

これに伴い、制御データ A S の算出方法も、オペアンプ 1 7₁ ~ 1 7_n の駆動能力が、短絡された時のデータ線 X₁ ~ X_n の電位に応じて制御されるように修正される。具体的には、LCD コントローラ 2 B の駆動能力切り替え演算部 5 2 B は、第 j 水平期間において使用される制御データ A S_{j,1} ~ A S_{j,n} を下記式に従って算出する：

30

【 数 1 】

$$AS_{j,2k-1} = \left| \sum_{i=1}^{i=n/2} (D_{j-1,2i} - D_{j-1,2i-1}) / n - D_{j,2k-1} \right|, \quad \dots(2a)$$

$$AS_{j,2k} = \left| \sum_{i=1}^{i=n/2} (D_{j-1,2i-1} - D_{j-1,2i}) / n - D_{j,2k} \right|, \quad \dots(2a)$$

式 (2 a) の第 1 項は、短絡された時のデータ線 X₁ ~ X_n の電位に対応しており、第 2 項 (D_{j,2k-1}) は、その後にデータ線 X_{2k-1} が駆動される電位に対応している。式 (2 b) についても同様である。

40

【 0 0 7 3 】

算出された制御データ A S_{j,1} ~ A S_{j,n} は、画素データ D_{j,1} ~ D_{j,n} に同期してデータドライバ 3 B に送られる。データドライバ 3 B は、第 j 水平期間におけるオペアンプ 1 7₁ ~ 1 7_n の駆動能力を制御データ A S_{j,1} ~ A S_{j,n} に応答して制御する。

【 0 0 7 4 】

このようにしてオペアンプ 1 7₁ ~ 1 7_n の駆動能力を制御することにより、第 j 水平期間における各オペアンプの駆動能力は、データ線 X₁ ~ X_n が短絡された時の電位と、

50

その後、対応するデータ線が駆動される電位との差に応じた適切な大きさに制御される。

【0075】

データ線 $X_1 \sim X_n$ の全てが短絡される構成が採用されたときに、制御データ $AS_{j,1} \sim AS_{j,n}$ がLCDコントローラ2Bによって算出されることは、データドライバ3Bを構成する回路構成の簡略化に好適である。式(2a)、(2b)から理解されるように、本実施の形態では、制御データ $AS_{j,1} \sim AS_{j,n}$ の一つを生成するにも、全てのデータ線 $X_1 \sim X_n$ に対応する画素データが必要である。このような演算をデータドライバ3Bの内部で行おうとすると、データドライバ3Bの回路構成が複雑化する。LCDコントローラ2Bにおいて制御データ $AS_{j,1} \sim AS_{j,n}$ を一括して算出することは、データドライバ3Bの回路構成の複雑化を防ぐために有効である。

10

【0076】

図15に示されるように、データドライバ3Bが、全てのデータ線 $X_1 \sim X_n$ が短絡された時に、スイッチ 21_n を介してデータ線 $X_1 \sim X_n$ に中間電位 $1/2V_{LCD} [= (V_1 + V_{2M}) / 2]$ が供給されるように構成されることも可能である。

【0077】

この場合には、第j水平期間において使用される制御データ $AS_{j,1} \sim AS_{j,n}$ が、式(1a)、式(1b)、(2a)、(2b)の代わりに、下記式：

$$AS_{j,2k-1} = |D_{1/2LCD} - D_{j,2k-1}|, \quad \dots (3a)$$

$$AS_{j,2k} = |D_{1/2LCD} - D_{j,2k}|, \quad \dots (3a)$$

20

ここで、 $D_{1/2LCD}$ は、中間電位 $1/2V_{LCD}$ に対応する値の定数である。中間電位 $1/2V_{LCD}$ が共通電位 V_{COM} に等しい場合には、 $D_{1/2LCD}$ は0に設定され得る。このようにして制御データ $AS_{j,1} \sim AS_{j,n}$ が算出されることにより、第j水平期間における各オペアンプの駆動能力は、データ線 $X_1 \sim X_n$ が短絡された時の電位と、その後、対応するデータ線が駆動される電位との差に応じた適切な大きさに制御される。

【0078】

第4 まとめ及び補足

以上に述べられているように、本実施の形態の液晶表示装置では、ブランキング期間においてデータ線が短絡された時におけるこれらのデータ線の電位と、それぞれのデータ線がその後駆動される電位との差に応答してオペアンプの駆動能力が制御される。これは、液晶表示装置の消費電力を有効に抑制する。

30

【0079】

なお、本発明は、実施の形態に記述された液晶表示装置に限定して解釈されてはならない。例えば、本発明は、2本のデータ線が短絡される構成、又は全てのデータ線が短絡される構成に限定されない；例えば、2画素を周期とするドット反転駆動に対応する液晶表示装置では、正の極性の電位に駆動される2本のデータ線と、負の極性の電位に駆動される2本のデータ線とが短絡され得る。

【0080】

加えて、本発明は、単一のデータドライバを備える液晶表示装置に限定して解釈されてはならない；液晶表示装置には、複数のデータドライバが設けられ得る。

40

【図面の簡単な説明】

【0081】

【図1】図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】図2は、第1の実施形態に係る液晶表示装置のデータドライバの構成を示すブロック図である。

【図3】図3は、第1の実施形態に係るデータドライバの構成を示す詳細図である。

【図4】図4は、第1の実施形態に係るデータドライバのデータ演算部の構成を示すブロック図である。

50

【図 5 A】図 5 A は、第 1 の実施形態に係るデータドライバのオペアンプの好適な構成を示す概略図である。

【図 5 B】図 5 B は、第 1 の実施形態に係るデータドライバのオペアンプの他の好適な構成を示す概略図である。

【図 6】図 6 は、第 1 の実施形態に係るデータドライバの動作を示すタイミングチャートである。

【図 7】図 7 は、第 1 の実施形態に係るデータドライバのデータ演算部及び制御データラッチの動作を示す概念図である。

【図 8】図 8 は、第 1 の実施形態に係るデータドライバのデータ演算部及び制御データラッチの動作を示す概念図である。

10

【図 9】図 9 は、第 1 の実施形態に係るデータドライバの動作の例を示すタイミングチャートである。

【図 1 0】図 1 0 は、本発明の第 2 の実施形態に係る液晶表示装置のデータドライバの構成を示すブロック図である。

【図 1 1】図 1 1 は、第 2 の実施形態に係る液晶表示装置のデータドライバの構成を示すブロック図である。

【図 1 2】図 1 2 は、第 2 の実施形態に係るデータドライバの動作を示すタイミングチャートである。

【図 1 3】図 1 3 は、第 3 の実施形態に係る液晶表示装置のデータドライバの構成を示すブロック図である。

20

【図 1 4】図 1 4 は、第 3 の実施形態に係るデータドライバの構成を示すブロック図である。

【図 1 5】図 1 5 は、第 3 の実施形態に係るデータドライバの他の構成を示すブロック図である。

【符号の説明】

【0082】

- 1 : LCD パネル
- 2、2 A、2 B : LCD コントローラ
- 3、3 A、3 B : データドライバ
- 4 : ゲートドライバ
- 5 : 基準階調電圧発生部
- 6 : 画像描画用 L S I
- 7 : データ側制御信号
- 8 : ゲート側制御信号
- 1 0、1 0 A、1 0 B : 液晶表示装置
- 1 1 : シフトレジスタ回路
- 1 2 : データレジスタ回路
- 1 2₁ ~ 1 2_n : レジスタ
- 1 3 : ラッチ回路
- 1 3₁ ~ 1 3_n : ラッチ
- 1 4 : 入力側スイッチ部
- 1 4₁ ~ 1 4_{n / 2} : スイッチ回路
- 1 5 : レベルシフト回路
- 1 5₁ ~ 1 5_n : レベルシフタ
- 1 6 : デコーダ
- 1 6₁ ~ 1 6_n : セレクタ
- 1 7 : ドライバ出力段
- 1 7₁ ~ 1 7_n : オペアンプ
- 1 8 : 出力側スイッチ部
- 1 8₁ ~ 1 8_n : スイッチ回路

30

40

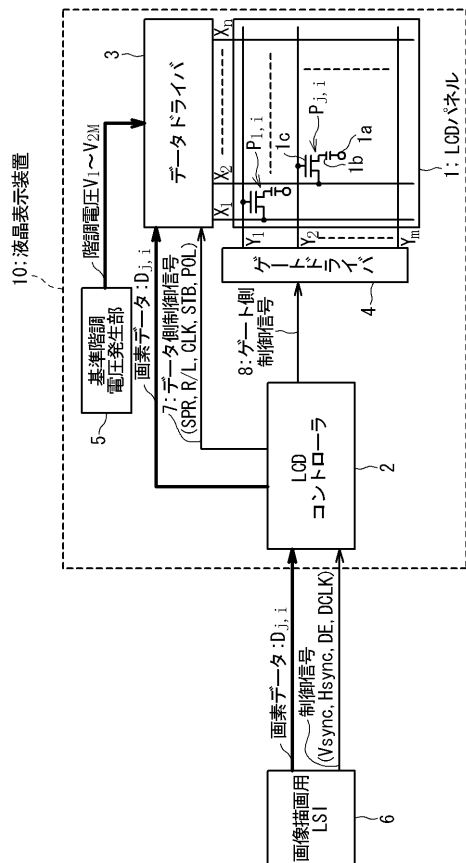
50

- 19 : 階調電圧バッファ
- 19 a、19 b : ボルテッジフォロア
- 20₁ ~ 20_n : 出力端子
- 21₁ ~ 21_n : 短絡スイッチ
- 22、23、24、25、26、27、28、29 : 接点
- 30 : 駆動能力切り替え演算回路
- 31₁、31₂、31_n、31_k : データ演算部
- 32₁ ~ 32_n : 制御データラッチ
- 33 : 差分電位算出回路
- 34、35 : 制御データレジスタ
- 36 : スイッチ回路
- 37、38、39、40 : 接点
- 41 : バイアス電圧発生回路
- 42 : 電流源
- 43 : ボルテッジフォロア
- 44₁、44_i、44_q : 定電流源
- 51 : ラインメモリ
- 52、52B : 駆動能力切り替え演算部
- 53₁、53₂、53_{2k}、53_n : 制御データレジスタ
- 54₁、54₂、54_{2k}、54_n : 制御データラッチ

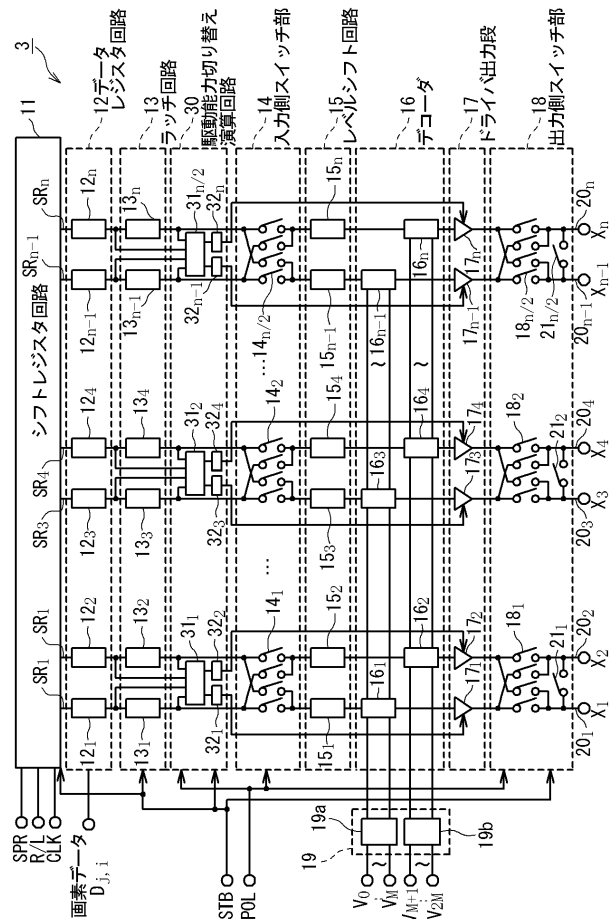
10

20

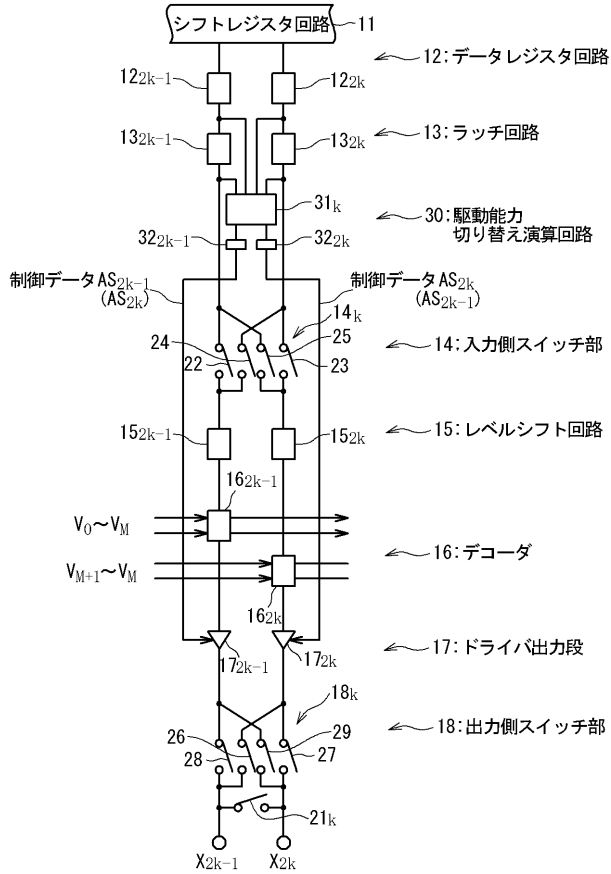
【図1】



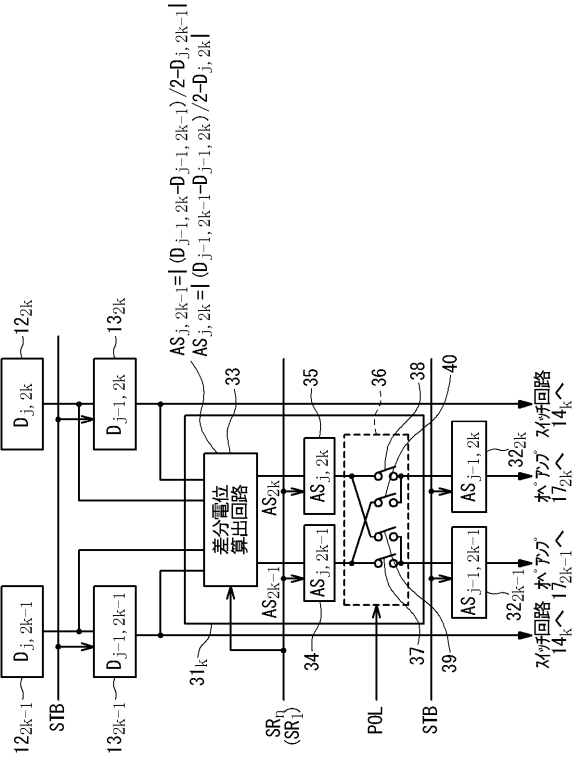
【図2】



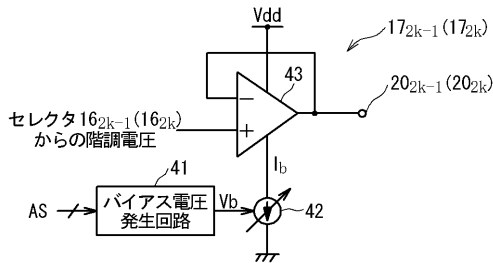
【図3】



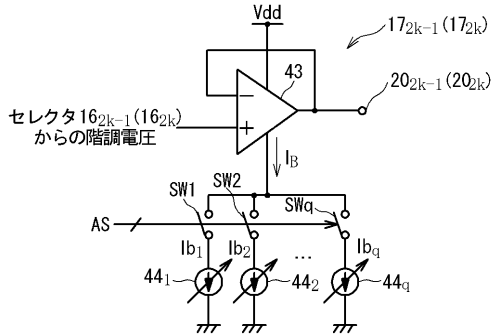
【図4】



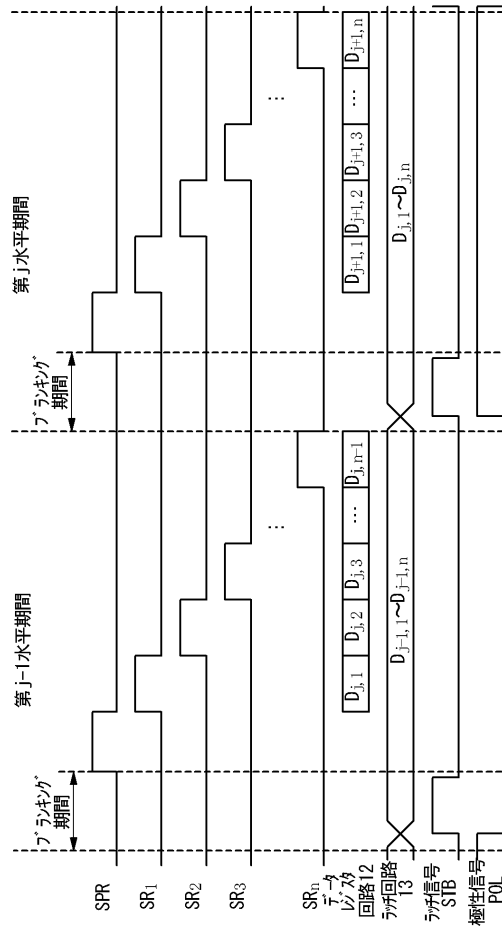
【図5A】



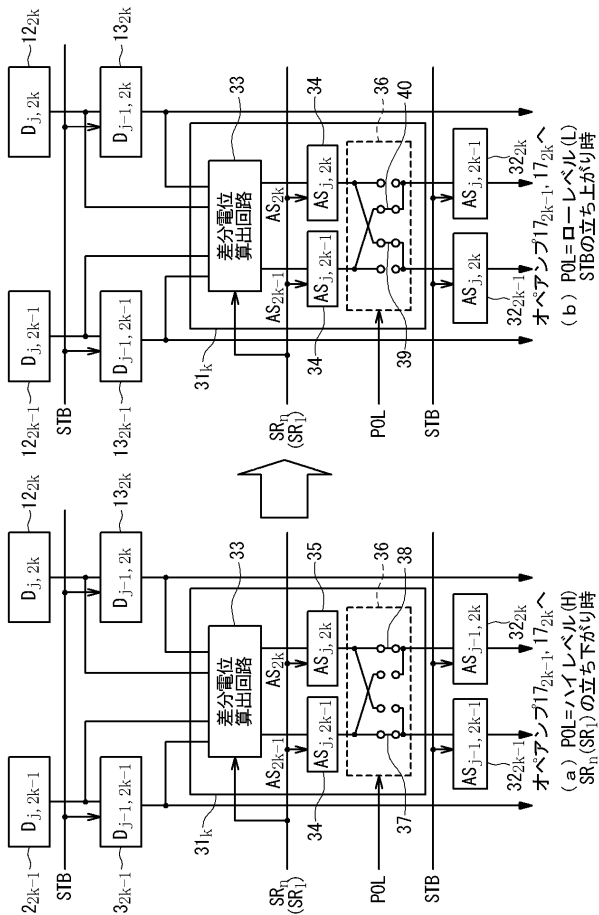
【図5B】



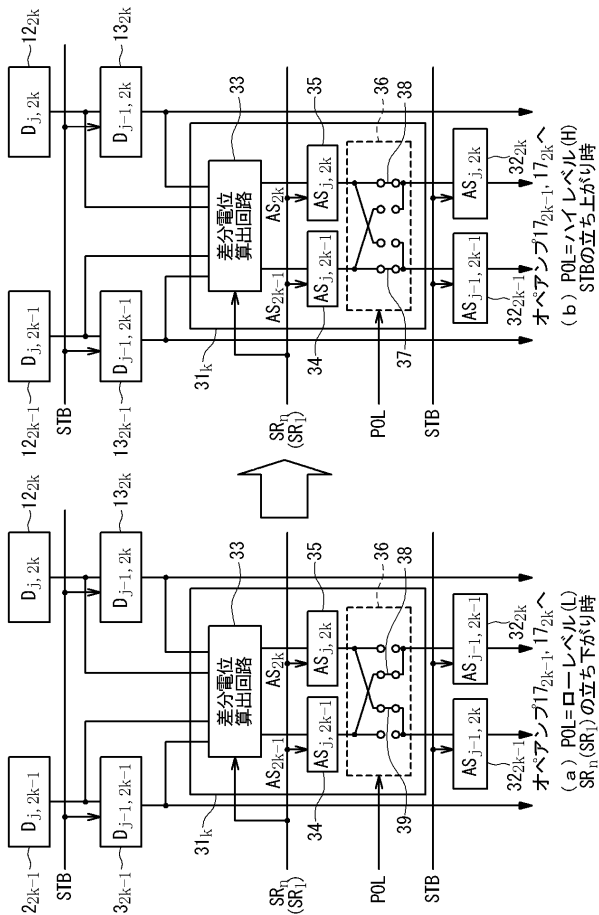
【図6】



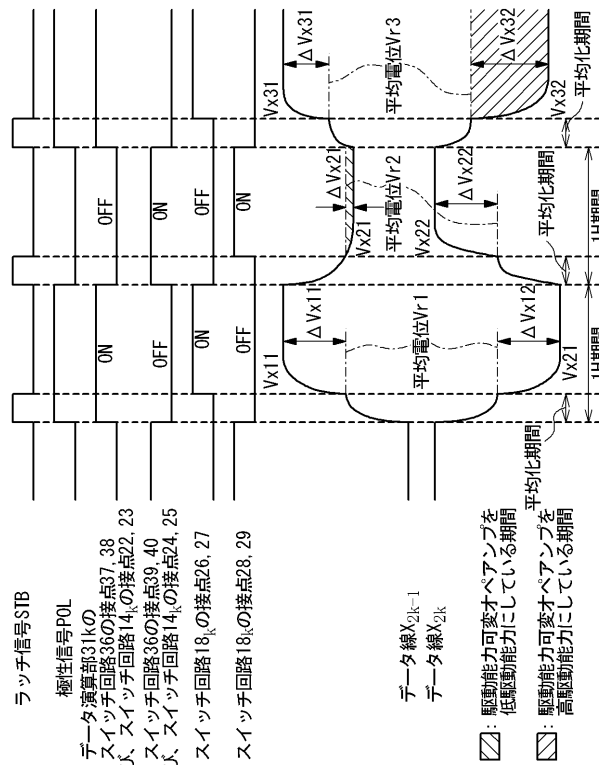
【図7】



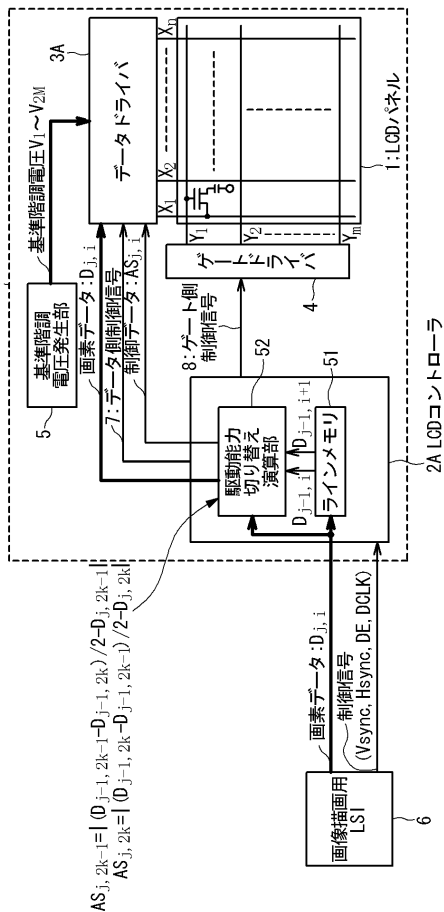
【図8】



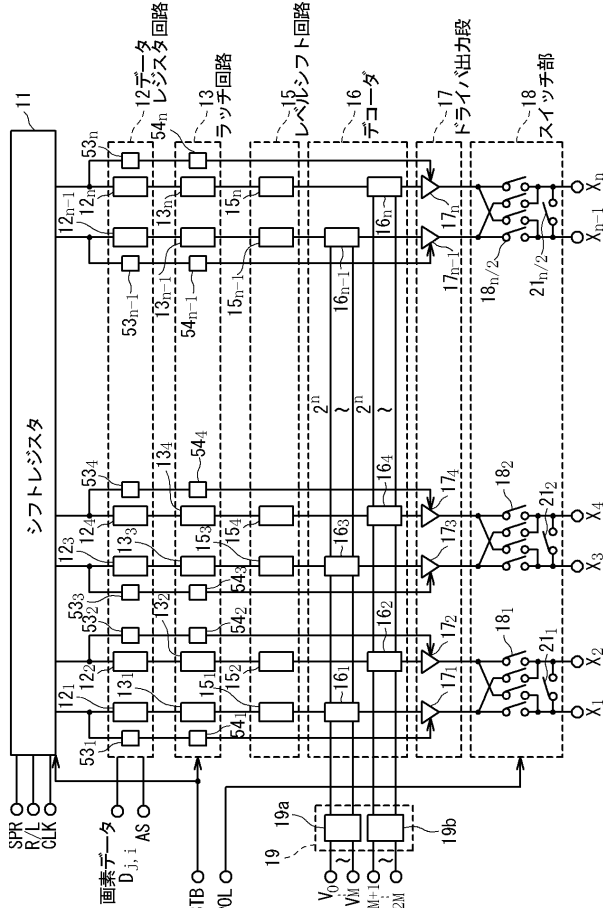
【図9】



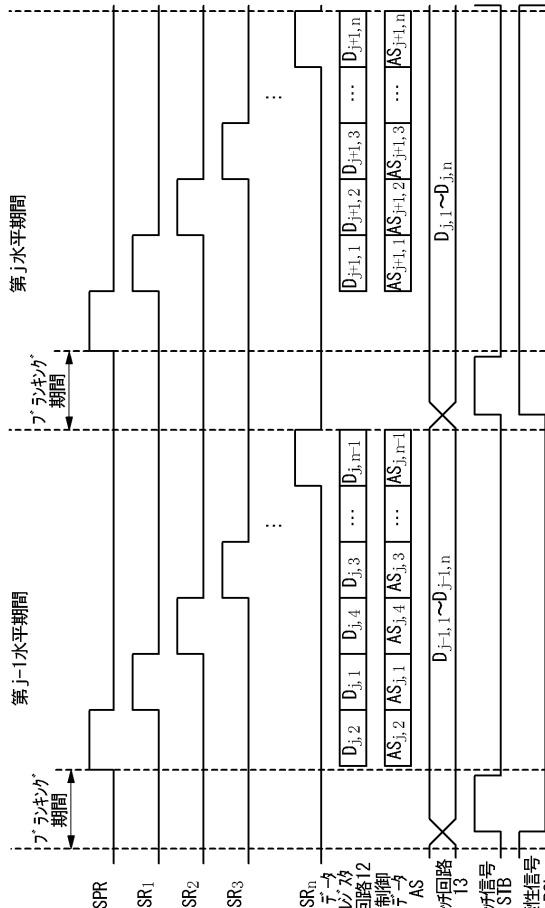
【図10】



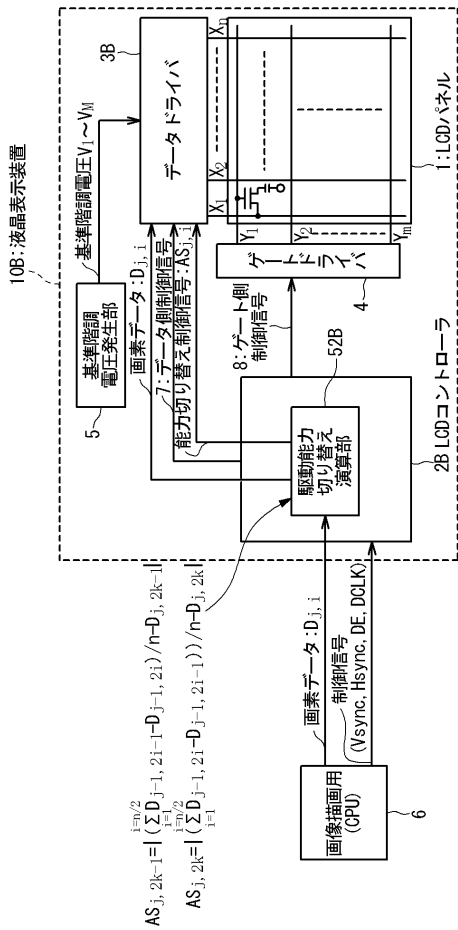
【図11】



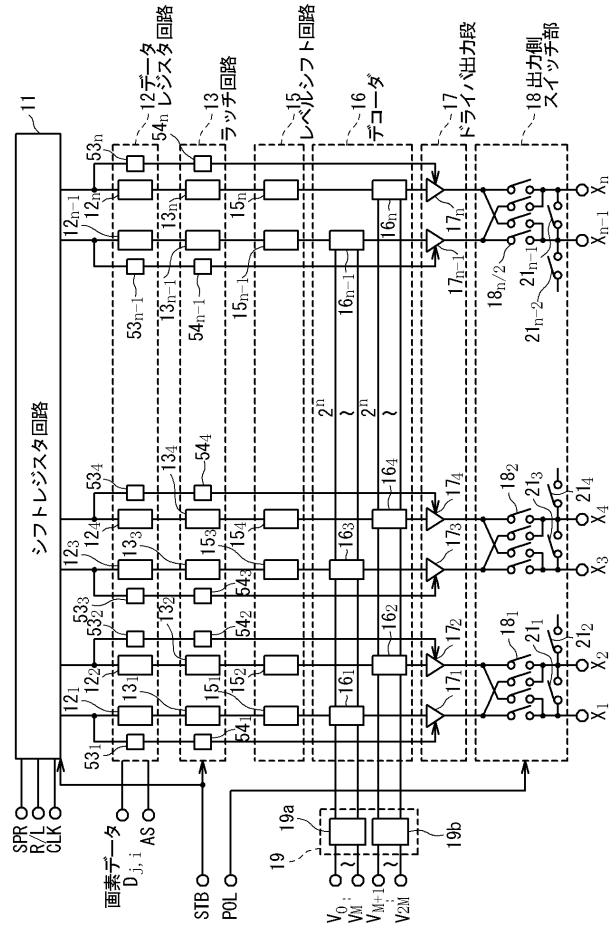
【図12】



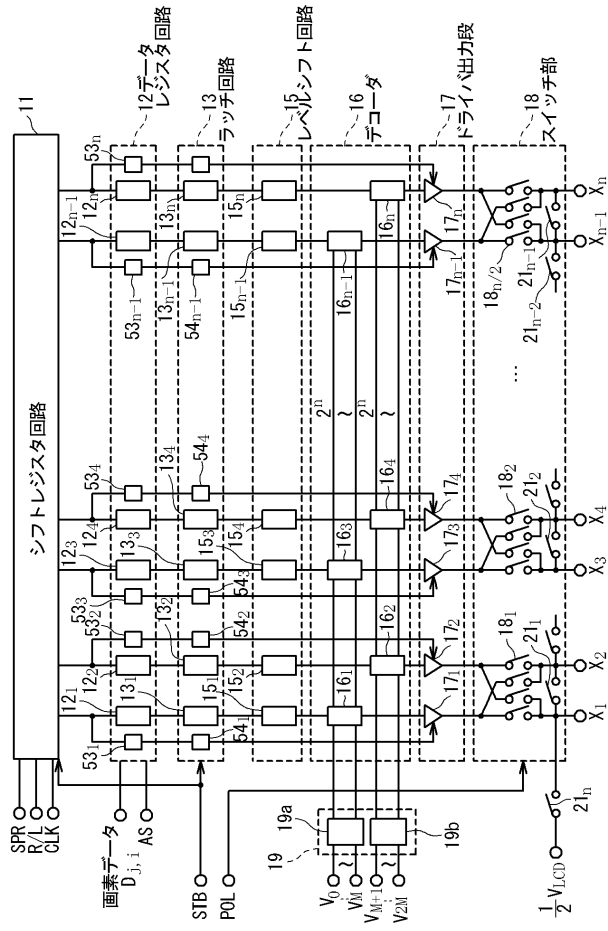
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 3 B

(56)参考文献 特開平 1 1 - 0 9 5 7 2 9 (J P , A)
特開 2 0 0 0 - 2 9 5 0 4 4 (J P , A)
特開 2 0 0 4 - 1 8 0 2 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置，液晶驱动器和液晶显示面板的驱动方法		
公开(公告)号	JP4731195B2	公开(公告)日	2011-07-20
申请号	JP2005111439	申请日	2005-04-07
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	能勢崇		
发明人	能勢崇		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/2092 G09G3/3614 G09G3/3648 G09G2310/0289 G09G2310/0291 G09G2320/0276 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G09G3/20.611.A G09G3/20.612.T G09G3/20.621.B G09G3/20.623.B		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA34 2H093/NA43 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC49 2H093/NC50 2H093/ND35 2H093/ND39 2H193/ZA04 2H193/ZC02 2H193/ZC20 2H193/ZF03 2H193/ZF22 2H193/ZF36 5C006/AC21 5C006/AC26 5C006/AF43 5C006/BB16 5C006/BC12 5C006/BF24 5C006/BF25 5C006/BF26 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	工藤稔		
审查员(译)	中村直之		
其他公开文献	JP2006292899A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了降低采用点反转驱动的液晶显示装置的功耗，其中每个数据线在驱动之前被短路。ZOLUTION：液晶显示装置具有数据线X_{2k-1}和X_{2k}，运算放大器17_{2k-1}和17_{2k}和短路开关21_k。运算放大器17_{2k-1}在第1周期将数据线X_{2k-1}驱动为正电位，数据线17_{2k}在第1个时期之后的第2个时期，以积极的潜力。运算放大器17_{2k}在第1个周期内将数据线X_{2k}驱动为负电位，数据线X_{2k-1}为在第二阶段，负面潜力。短路开关21_k配置为在短路期间使数据线X_{2k-1}和X_{2k}短路在第1和第2期间。根据数据线X_{2k-1}和X_{2k}的驱动能力/ SB>在短路期间。Z

$$AS_{j,2k-1} = \left| \sum_{i=1}^{j=n/2} (D_{j-1,2i} - D_{j-1,2i-1}) / n - D_{j,2k-1} \right| \dots (2a)$$

$$AS_{j,2k} = \left| \sum_{i=1}^{j=n/2} (D_{j-1,2i-1} - D_{j-1,2i}) / n - D_{j,2k} \right| \dots (2a)$$