

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4717582号

(P4717582)

(45) 発行日 平成23年7月6日 (2011.7.6)

(24) 登録日 平成23年4月8日 (2011.4.8)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623A

G09G 3/20 624B

G09G 3/20 623R

G09G 3/20 621A

請求項の数 5 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2005-295764 (P2005-295764)
 (22) 出願日 平成17年10月7日 (2005.10.7)
 (65) 公開番号 特開2007-102132 (P2007-102132A)
 (43) 公開日 平成19年4月19日 (2007.4.19)
 審査請求日 平成20年2月20日 (2008.2.20)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 中野 武俊
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 表示素子駆動回路およびこれを備える液晶表示装置、表示素子駆動方法

(57) 【特許請求の範囲】

【請求項1】

互いに交差して設けられた複数の走査信号線および複数のデータ信号線と、上記走査信号線と上記データ信号線との交差部に薄膜トランジスタを介して接続される画素とを有する表示素子を駆動する表示素子駆動回路であって、

最新走査ラインにおける映像信号と、1走査ライン前における映像信号とを比較して、データ信号線毎に電位レベルの変化方向と電位レベル変化量と算出する比較部と、

上記比較部で算出されたデータ信号線毎の電位レベルの変化方向と電位レベル変化量とに基づいて、データ信号線の中で、変化方向が互いに異なり、電位レベル変化量の合計が0に近いデータ信号線同士を、短絡すべきデータ信号線として順次選択する選択部と、

上記選択部にて選択された各データ信号線同士を短絡させるデータ信号線短絡部とを有していることを特徴とする表示素子駆動回路。

【請求項2】

さらに、データ信号線をプリチャージするプリチャージ部を備えており、

上記比較部において、全てのデータ信号線において信号レベルの変化の方向が同一であると判断された場合は、上記選択部は短絡すべきデータ信号線を選択せず、かつ、上記プリチャージ部によってデータ信号線のプリチャージを行うことを特徴とする請求項1に記載の表示素子駆動回路。

【請求項3】

上記プリチャージ部によるデータ信号線のプリチャージ期間が、最新走査ラインにおけ

10

20

る映像信号と1走査ライン前における映像信号との階調差に応じて可変であることを特徴とする請求項2に記載の表示素子駆動回路。

【請求項4】

請求項1ないし3のいずれか1項に記載の表示素子駆動回路と、上記表示素子としての液晶パネルとを備えることを特徴とする液晶表示装置。

【請求項5】

互いに交差して設けられた複数の走査信号線および複数のデータ信号線と、上記走査信号線と上記データ信号線との交差部に薄膜トランジスタを介して接続される画素とを有する表示素子を駆動する表示素子駆動方法であって、

最新走査ラインにおける映像信号と1走査ライン前における映像信号とを比較して、データ信号線毎に電位レベルの変化方向と電位レベル変化量と算出し、

データ信号線毎の電位レベルの変化方向と電位レベル変化量とに基づいて、データ信号線の中で、変化方向が互いに異なり、電位レベル変化量の合計が0に近いデータ信号線同士を、短絡すべきデータ信号線として順次選択して一定期間短絡し、

その後、本来の映像信号に基づいて上記表示素子の画素に対する充電を行うことを特徴とする表示素子駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の表示素子を駆動する表示素子駆動回路およびこれを備える液晶表示装置、ならびに表示素子駆動方法に関するものである。

【背景技術】

【0002】

ホールド型の表示装置（例えば、液晶表示装置）では、アナログの画像信号を順次サンプリングし、サンプリングされたアナログ信号をマトリクス状に配された画素容量においてホールドしていく駆動方法が取られる。この時、サンプリングされたアナログ信号は、ソースバスラインを介して画素容量に対してデータ書込みを行う。

【0003】

ここで、上記ソースバスラインには寄生容量が発生するため、画素容量に対してデータが書込まれるたびに、画素容量のみならずソースバスラインにおいても充放電が繰り返される。そして、このソースバスラインの寄生容量における充放電の電力が、上記表示装置での低消費電力の障害となっている。

【0004】

このようなソースバスラインでの充放電における消費電力を低減する技術が、特許文献1に開示されている。すなわち、特許文献1の方法では、ソースドライバの出力端子の極性が切り替わるごとにこれらの出力端子間を一定期間短絡させて電荷回収（チャージシェア）を行い、表示装置における消費電力の低減を図ることが開示されている。

【特許文献1】特開2004-279626号公報（公開日 平成16年10月7日）

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記特許文献1の方法では、ソースドライバの出力端子間を短絡させることで、ソースバスライン間で電荷の移動が生じてソースバスラインの電位が平均化される。また、上記特許文献1の方法は、ドット反転駆動を想定しているため、極性が切り替わるごとにソースバスラインの電位を平均化することで、ソースバスライン全体としての充放電量を低下させることができ、消費電力の低減効果が得られる。

【0006】

しかしながら、上記特許文献1の構成では、全てのソースバスラインを同時に短絡させており、この場合、ある程度の消費電力低減効果は認められるものの、最適な消費電力低減効果を得ることはできない。すなわち、全てのソースバスラインにおける電位変化の方

10

20

30

40

50

向が＋方向または－方向に偏っている場合、全てのソースバスラインを同時に短絡させると、上記の偏った電荷がラインの短絡によるチャージシェア効果を妨げる方向に作用する。したがって、上記特許文献１の方法では、消費電力の低減効果が十分であるとは言えない。

【０００７】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、ホールド型の表示装置において、画素容量の充電を行う前に、ソースバスラインを短絡することによるチャージシェアを最適に行い、より高い消費電力の低減効果が得られる表示装置を実現することにある。

【課題を解決するための手段】

10

【０００８】

本発明に係る表示素子駆動回路は、上記課題を解決するために、互いに交差して設けられた複数の走査信号線および複数のデータ信号線と、上記走査信号線と上記データ信号線との交差部に薄膜トランジスタを介して接続される画素とを有する表示素子を駆動する表示素子駆動回路であって、最新走査ラインにおける映像信号と、１走査ライン前における映像信号とを比較して、データ信号線毎に電位レベルの変化方向と電位レベル変化量と算出する比較部と、上記比較部で算出されたデータ信号線毎の電位レベルの変化方向と電位レベル変化量とに基づいて、短絡すべきデータ信号線を選択する選択部と、上記選択部にて選択されたデータ信号線同士を短絡させるデータ信号線短絡部とを有していることを特徴としている。

20

【０００９】

上記の構成によれば、上記比較部によって最新走査ラインにおける映像信号と１走査ライン前における映像信号との比較結果から、データ信号線毎に電位レベルの変化方向と電位レベル変化量と算出される。そして、上記選択部によって上記比較部で算出されたデータ信号線毎の電位レベルの変化方向と電位レベル変化量とに基づいて、短絡すべきデータ信号線が選択され、上記データ信号線短絡部は選択されたデータ信号線同士を短絡させる。これにより、全てのデータ信号線を短絡する場合よりも、効果的な電荷回収を行うことができ、消費電力の低減効果を向上させることができる。

【００１０】

また、上記表示素子駆動回路は、さらに、データ信号線をプリチャージするプリチャージ部を備えており、上記比較部において、全てのデータ信号線において信号レベルの変化の方向が同一であると判断された場合は、上記選択部は短絡すべきデータ信号線を選択せず、かつ、上記プリチャージ部によってデータ信号線のプリチャージを行う構成とすることができる。

30

【００１１】

上記の構成によれば、上記比較部において全てのデータ信号線において信号レベルの変化の方向が同一であると判断された場合には、上述のデータ信号線短絡を行っても特に消費電力の低減効果が得られない。このため、そのような場合は、上記プリチャージ部によってデータ信号線のプリチャージを行うことで、表示素子における画質の向上を図ることができる。また、逆方向に変化する信号がなかった場合は、所定のプリチャージ電圧を印加することによって、本充電のために必要な電荷量を削減でき、消費電力を低減できる。

40

【００１２】

また、上記表示素子駆動回路は、上記プリチャージ部によるデータ信号線のプリチャージ期間が、最新走査ラインにおける映像信号と１走査ライン前における映像信号との階調差に応じて可変である構成とすることができる。

【００１３】

上記の構成によれば、データ信号線をプリチャージする期間を固定にしておく構成よりも、プリチャージ時間を正確に決定することができる。プリチャージ時間を正確に決めることができれば、プリチャージ前の電位とプリチャージ時間とからプリチャージ後の電位が決まるので、所望のプリチャージ後の電位を得ることができる、つまり、精度のよいプ

50

リチャージを行なうことができる。

【発明の効果】

【0014】

本発明に係る表示素子駆動回路は、以上のように、互いに交差して設けられた複数の走査信号線および複数のデータ信号線と、上記走査信号線と上記データ信号線との交差部に薄膜トランジスタを介して接続される画素とを有する表示素子を駆動する表示素子駆動回路であって、最新走査ラインにおける映像信号と、1走査ライン前における映像信号とを比較して、データ信号線毎に電位レベルの変化方向と電位レベル変化量と算出する比較部と、上記比較部で算出されたデータ信号線毎の電位レベルの変化方向と電位レベル変化量とに基づいて、短絡すべきデータ信号線を選択する選択部と、上記選択部にて選択されたデータ信号線同士を短絡させるデータ信号線短絡部とを有している構成である。

10

【0015】

それゆえ、最新走査ラインにおける映像信号と1走査ライン前における映像信号との比較結果から、データ信号線毎に電位レベルの変化方向と電位レベル変化量とが算出され、この算出結果に基づいて、短絡すべきデータ信号線が最適に選択可能となる。そして、選択されたデータ信号線同士を短絡させることにより、全てのデータ信号線を短絡する場合よりも、効果的な電荷回収を行うことができ、消費電力の低減効果を向上させることができるといった効果を奏する。

【発明を実施するための最良の形態】

【0016】

本発明の一実施の形態について図面を用いて説明する。

20

【0017】

〔液晶表示装置の構成〕

図2は、本発明の一実施の形態における表示装置を示す概略構成図である。尚、本実施の形態においては、表示装置として液晶表示装置を例示して説明を行っている。

【0018】

この液晶表示装置は、アクティブマトリクス型の液晶表示装置であり、マトリクス状に配された画素PIXを有する表示部1と、各画素PIXを駆動するソースドライバ（走査信号線ドライバ）2およびゲートドライバ（走査信号線ドライバ）3と、制御回路4と、電源回路5と、互いに直交した複数のデータ信号線SL…（SL1～SLn）および走査信号線GL…（GL1～GLm）とを備えている。制御回路4が各画素PIXの表示状態を示すビデオ信号VIDEOを生成すると、このビデオ信号VIDEOに基づいて、表示部1に画像を表示することができるようになっている。

30

【0019】

表示部1は、液晶パネルからなっており、複数のデータ信号線SL…と走査信号線GL…とが互いに交差して配設されているとともに、各データ信号線SL…と各走査信号線GL…との交点にTFT（Thin film transistor；不図示）を介して画素PIXが接続された、通常のTFT液晶パネルである。

【0020】

ソースドライバ2は、データ信号線SL…およびTFTを介して画素PIXにビデオ信号（データ信号）VIDEOを供給する。また、ゲートドライバ3は、走査信号線GL…を介してTFTのゲートに走査信号を供給する。なお、ソースドライバ2およびゲートドライバ3は、より多くのデータ信号線SL…または走査信号線GL…の駆動を行なう場合には、複数のドライバをカスケード接続して使用することが可能である。

40

【0021】

制御回路4は、GSP（ゲートスタートパルス信号）およびGCK（ゲートクロック信号）をゲートドライバ3に出力し、SSP（ソーススタートパルス信号）、SCK（ソースクロック信号）、およびビデオ信号VIDEOをソースドライバ2に出力する。電源回路5は、ソースドライバ2およびゲートドライバ3にソースドライバ用電源およびゲートドライバ用電源をそれぞれ入力すると共に、制御回路4に制御回路用電源を入力する。

50

【0022】

〔液晶表示装置の駆動回路の構成〕

図1は、上記液晶表示装置の駆動回路（表示素子駆動回路）としてのソースドライバ2および制御回路4の内部構成を示すブロック図である。

【0023】

ソースドライバ2は、D/Aコンバータ(DAC)21、およびサンプルホールド回路22を備えている。また、制御回路4は、入力I/F(インタフェース)41、コントロールロジック42、およびEEPROM43を備えている。また、D/Aコンバータ21は、ショート回路211を備えており、コントロールロジック42は、ラインメモリ421を備えている。

10

【0024】

入力I/F部9は、制御回路4の前段の構成とのインタフェースとしての役割を有しており、入力I/F41を介してビデオ信号がコントロールロジック42に入力されると、その内容がラインメモリ421に一時記憶される。すなわち、ラインメモリ421は、前回のデータ(1ライン前のデータ)を記憶する。

【0025】

コントロールロジック42は、ソースドライバ2に、サンプルホールド回路22用のクロック信号CKおよびその他制御信号を送信する一方、上記ビデオ信号をデジタル信号としてDAC21に出力する。なお、コントロールロジック42を動作させるためのプログラムは、コントロールロジック21に接続されたEEPROM43に格納されている。

20

【0026】

ソースドライバ2におけるD/Aコンバータ21は、制御回路4から入力されたデジタル信号のビデオ信号をアナログビデオ信号に変換する。また、D/Aコンバータ21に備えられたショート回路211は、ソースドライバ2の出力をハイインピーダンス状態にすると共に、ソースドライバ2の各出力間を短絡(ショート)させる機能を有している。ショート回路211の詳細な構成および動作については後述する。

【0027】

サンプルホールド回路22は、2つのスイッチ(不図示)と一方がグランドに接続されたコンデンサ(不図示)とを複数(データ信号線SL…の数)有しており、ホールド時(ホールディング時)に電荷を該コンデンサに充電し、ホールディングからサンプリングへ切り替わる時点の電位をデータ信号線SL…に対して出力する構成となっている。

30

【0028】

続いて、本実施の形態に係る液晶表示装置の動作について説明する。本実施の形態に係る液晶表示装置では、液晶容量への充電(本充電またはプリチャージ)を行う前に、一定期間、ソースバスラインを選択的にショート(チャージシェア)させて低消費電力化を図るものである。すなわち、本発明においては、全てのソースバスラインをショートさせるのではなく、ショートさせるソースバスラインを最適に選択することによって、チャージシェアによる消費電力低減効果を向上させる。

【0029】

ここで、ショートさせるソースバスラインを選択するアルゴリズムについて図3ないし図5を参照して説明する。尚、上記アルゴリズムによるライン選択は、コントロールロジック21にて実行されるものであり、図3は、上記ライン選択を行うためのコントロールロジック21の構成を示す。

40

【0030】

上述したように、入力I/F41を介してコントロールロジック42に入力されるビデオ信号は、ラインメモリ421に一時記憶される。また、ラインメモリ421は、1走査ライン前の信号(階調レベル信号)と、新たに入力された最新走査ラインの信号とを比較することができるように2走査ライン分のラインメモリ(すなわち、ラインメモリn-1およびラインメモリn)を有している。また、コントロールロジック42に入力されるビデオ信号は、データラッチ部424を介してD/Aコンバータ21に送られるが、このデ

50

ータラッチ部 4 2 4 は、D/A コンバータ 2 1 に送られるビデオ信号と、後述するショート選択ライン情報との送信タイミングを整合させるための手段である。

【0031】

比較部 4 2 2 は、ラインメモリ $n-1$ に記憶されている 1 走査ライン前の信号と、ラインメモリ n に記憶される最新走査ライン前の信号とをソースバスライン毎に比較し、その比較結果を並替え演算部 4 2 3 へ送信する。ここで、比較部 4 2 2 から送信される比較結果とは、電位レベルの変化方向と電位レベル変化量とである。

【0032】

並替え演算部 4 2 3 では、ソースバスライン毎のデータ比較結果より、図 4 に示すように、電位レベルの変化が＋方向に変化するソースバスラインと、電位レベルの変化が－方向に変化するソースバスラインとに分け、さらに、それぞれの変化方向について電位レベル変化量が大きいものから順に並べ替える。尚、図 4 では、説明を簡略化するためにソースバスラインの総数を 12 本（ライン 1～12）としている。

【0033】

また、液晶表示装置では、通常、ドット反転駆動等の交流駆動が用いられるため、ソースバスラインへの出力極性が反転する場合がある。この場合、ソースバスラインへの出力極性が－極性から＋極性に変化する場合、電位レベルの変化は＋方向であり、＋極性から－極性に変化する場合、電位レベルの変化は－方向である。例えば、あるソースバスラインにおける出力が、 $-V_{32}$ から $+V_{32}$ に変化する場合は、電位レベルの変化は＋方向であり、そのレベル変化量は 64 である（図 4 では＋64 と表す）。

【0034】

また、ソースバスラインの出力極性が変化しない場合であっても、電位レベルの変化方向や電位レベル変化量は求めることができる。例えば、あるソースバスラインにおける出力が、 $+V_{32}$ から $+V_{20}$ に変化するような場合は、電位レベルの変化は－方向であり、そのレベル変化量は 12 である（図 4 では＋12 と表す）。

【0035】

ソースバスライン毎のデータ比較の結果、並替え演算部 4 2 3 では、ライン 1～12 について図 4 に示すような並べ替えが得られたとする。その後、以下の(1)～(4)の手順にてショートされるソースバスラインの選択が行われる（図 5 参照）。

(1) レベル変化量の最も大きいラインを最初のショート選択ラインとして選ぶ。図 5 の例では、最初の選択ラインとして＋40 のライン 3 が選択されている。

(2) その時点でのショート選択ラインの電位変化レベルの合計を求める。例えば、上記(1)において＋40 のライン 3 が選択された時点では、電位変化レベル合計は＋40 である。

(3) 電位変化方向が、上記(2)で求められた電位変化レベル合計の極性とは逆極性となっているラインの中から、レベル変化量の最も大きいラインを次のショート選択ラインとして選ぶ。図 5 の例では、2 番目の選択ラインとして－37 のライン 7 が選択されている。

(4) 選択可能なラインが無くなるまで、上記(2)～(3)の処理を繰り返す。図 5 の例では、ライン 12、ライン 5、ライン 2、ライン 1、ライン 4、ライン 10、ライン 8、ライン 11 の順序で選択ラインが選ばれる。また、ライン 11 が選択された時点での電位変化レベル合計は－7 であるが、この時点で電位変化方向が＋方向のラインは残っていないため、これ以上のライン選択は不可能となる。

【0036】

こうして、選択可能なラインが無くなった時点で、それまでにショート選択ラインとして選ばれなかったラインについては、ショートされない。すなわち、図 4 の例では、ライン 6 とライン 9 についてはショートされない。

【0037】

尚、本発明において、ソースバスラインの選択アルゴリズムは、上記図 4 および図 5 を用いて説明したアルゴリズムに限定されるものではなく、他のアルゴリズムを用いて選択を行っても良い。本発明において、ショートされるソースバスラインを選択する方法は、

(a)ショートされるソースバスラインとしてより多くのラインを選択すること、(b) ショートされる選択ラインの電位変化レベルの合計が0に近づくこと、の2点を目標とすることで、ソースバスラインをショートさせることによる電荷回収量を増大させることができ、消費電力の低減効果が大きくなる。

【0038】

続いて、ショートさせるソースバスラインが選択された後の動作について説明する。先ず、コントロールロジック42の並替え演算部423において、ショートさせるソースバスラインが選択されると、そのショート選択ラインを示す情報がD/Aコンバータ21のショート回路211に通知される。

【0039】

ショート選択ライン情報が通知されたショート回路211では、D/Aコンバータ21からサンプルホールド回路22への出力を一旦切断し、サンプルホールド回路22以降の回路をハイインピーダンス状態とすると共に、一定期間、該当するソースバスラインをショートさせる。このためのショート回路211の回路構成を図6に示す。

【0040】

ショート回路211は、図6に示すように、第1のスイッチ群211Aと、第2のスイッチ群211Bと、ショート用配線211Cとを備えて構成されている。

【0041】

第1のスイッチ群211Aの各スイッチは、D/Aコンバータ部の後段直後においてソースバスライン毎に設けられており、第1のスイッチ群211Aを同時に開くことでD/Aコンバータ21からサンプルホールド回路22への出力が切断される。

【0042】

第2のスイッチ群211Bの各スイッチは、第1のスイッチの後段においてソースバスライン毎に設けられており、各ソースバスラインは第2のスイッチを介してショート用配線211Cに接続されている。第2のスイッチ群211Bの各スイッチは、コントロールロジック42から通知されるショート選択ライン情報に基づいて個別にオン/オフ制御され、オン状態とされた第2のスイッチに接続されるソースバスラインがショート用配線211Cを介してショートされる。

【0043】

このように、本実施の形態に係る液晶表示装置では、コントロールロジック42において、ショートされるソースバスラインを適切に選択し、選択されたソースバスラインのみをショート回路211にてショートさせる。これにより、ホールド型の表示装置において、画素容量の充電を行う前に、ソースバスラインを短絡することによるチャージシェアを最適に行うことができ、より高い消費電力の低減効果を得ることができる。

【0044】

また、液晶表示装置では、液晶の焼き付き等を防止するために交流駆動が行われ、そのような交流駆動には、ドット反転駆動、ライン反転駆動、およびフレーム反転駆動といった駆動方法がある。ここで、ライン反転駆動は、全てのソースバスラインにおいて電位レベルの変化方向が同一となるため、ソースバスラインをショートさせても特に効果は無く、本発明は適用されない。すなわち、本発明は、ドット反転駆動もしくはフレーム反転駆動への適用となる。また、特にドット反転駆動では、電位レベルの変化方向が互いに逆となるソースバスラインが同数ずつとなるため、ソースバスラインのショートによる電荷回収効果が大きく、本発明が好適に適用される。

【0045】

上記説明の液晶表示装置では、各ソースバスラインにおける電位レベル変化方向の、＋方向／－方向のバランスをとるため、ショートさせるラインを選択している。しかしながら、全てのソースバスラインにおける電位レベル変化方向が、＋方向あるいは－方向のみの変化の場合は、ソースバスラインをショートさせても電荷回収の効果はない。このため、本発明の表示装置においては、さらにプリチャージ回路と組み合わせた構成とし、全てのソースバスラインにおける電位レベル変化方向が一方向の場合は、上述したようなソー

10

20

30

40

50

スバスラインのショートによるチャージシエアを行わず、ソースバスラインに対してプリチャージを行う構成とすることも可能である。

【0046】

ソースバスラインに対してプリチャージを行い得る液晶表示装置の一構成例を、図7を参照して以下に説明する。図7に示すソースドライバ6は、D/Aコンバータ(DAC)21、プリチャージ回路61、およびサンプルホールド回路22を備えており、図1におけるソースドライバ2に代えて用いることが可能である。D/Aコンバータ21およびサンプルホールド回路22は、図1におけるD/Aコンバータ21およびサンプルホールド回路22と同様の構成である。

【0047】

プリチャージ回路61は、容量負荷(サンプルホールド回路22)が安定して所望の電荷量だけ充電されるように、サンプルホールド回路22にビデオ信号VIDEOを供給する前に、サンプルホールド回路22に対してプリチャージ(予備充電)する。なお、ここでは、プリチャージをする容量負荷をサンプルホールド回路22としたが、データ信号線SL…を容量負荷としてプリチャージしてもよい。

【0048】

また、ここでは、プリチャージ回路61をソースドライバ6に内蔵する構成としたが、この構成に限らず、表示部1におけるソースドライバ6が設けられている側とは反対側にプリチャージ回路を設けてもよい。つまり、プリチャージ回路61とソースドライバ6により表示部1を挟みこむ構成としてもよい。この構成により、より多くのデータ信号線SL…または走査信号線GL…の駆動を行なうことができる。つまり、データ信号線SLおよび走査信号線GL…の数が増えてもプリチャージ回路61およびソースドライバ6のスペースを十分に確保することができる。

【0049】

図8は、D/Aコンバータ21およびプリチャージ回路61の具体的な回路構成について示す概略回路図である。

【0050】

D/Aコンバータ21は、同図に示すように、オペアンプ(Op Amp)21Aおよびこのオペアンプ21Aの後段に配されたアナログスイッチ21Bを備えている。なお、アナログスイッチ21Bに限らず、他のスイッチで代用してもよい。

【0051】

オペアンプ21Aは、プリチャージおよび本充電を行なう電圧を供給する役割を有している。アナログスイッチ21Bは、該アナログスイッチ21BをOFFすることにより、D/Aコンバータ21の出力をハイインピーダンス(Hi-Z状態)にする機能を有している。

【0052】

さらに、オペアンプ21Aの一端は、グランドGND(接地電位Vss)に接続されている一方、他端は、5Vの電源電位Vddに接続されている。また、プリチャージ中にオペアンプ21Aの動作を止める(オペアンプ21Aの電源を切る)ことにより、バイアス電流をカットすることができる。これにより、駆動回路の消費電力を下げることもできる。

【0053】

なお、アナログスイッチ21Bは、必ずしも必須の構成要素ではなく、D/Aコンバータ21の出力をハイインピーダンスにする必要がないときは設けなくてもよい。

【0054】

プリチャージ回路61は、+側プリチャージスイッチ(アナログスイッチ)61Aおよび-側プリチャージスイッチ(アナログスイッチ)61Bを有している。+側プリチャージスイッチ61Aと-側プリチャージスイッチ61Bとは、互いに上記のオペアンプ21Aからの出力信号の経路上に設けられたノード61Cを介して接続されている。より詳細には、+プリチャージスイッチ61Aの一端は電源電位Vddに接続されている一方、他

10

20

30

40

50

端はノード 6 1 C に接続されている。また、一側プリチャージスイッチ 6 1 B の一端はグラウンド GND に接続されている一方、他端はノード 6 1 C に接続されている。

【0055】

プリチャージ回路 6 1 のスイッチング動作は、前回のデータの信号レベル（階調 A）と、今回のデータの信号レベル（階調 B）との比較により、階調 A < 階調 B となっている場合には、電源電位 V_{dd} 側に接続された＋プリチャージスイッチ 6 1 A を一定時間導通する。一方、階調 A > 階調 B となっている場合には、接地電位 V_{ss} に接続された一側プリチャージスイッチ 6 1 B を一定時間導通する。なお、＋プリチャージスイッチ 6 1 A または一側プリチャージスイッチ 6 1 B のいずれのスイッチを導通させるかは、コントロールロジック 4 2 から送られてきた極性を示す信号にて制御されている。

10

【0056】

また、表示装置においてプリチャージ回路を組み合わせる構成においては、1 走査ライン前の信号（階調レベル信号）と、新たに入力された最新走査ラインの信号とを比較し、その信号レベルの差（階調差）に応じてプリチャージを行う期間を可変とすることが好ましい。そのためには、信号レベルの差とプリチャージ期間（クロック数）と対応付けて格納したルックアップテーブルをソースドライバ内の不揮発性メモリ（例えば、EEPROM 4 3）に記憶させ、該テーブルを参照することで信号レベルの差に応じたプリチャージ期間の設定が可能となる。

【0057】

このように、ルックアップテーブルを参照してプリチャージ期間の設定を行う場合、該ルックアップテーブルは、例えば図 9 に示すものを用いることができる。

20

【0058】

図 9 に示すルックアップテーブルは、前回のデータ D 1 と、今回のデータ（ビデオ信号 VIDEO；電位；階調）D 2 と、クロック数（プリチャージ時間 T_p）と、が対応付けられている。つまり、任意の前後 2 ラインのデータと、これらのデータに対する所望のプリチャージ時間 T_p とが互いに対応付けられている。

【0059】

より詳細には、前回のデータ D 1 および今回のデータ D 2 が決まれば、クロック数が決まるようなテーブルとなっている。同図では、例えば、「前回のデータ；6 3 階調、今回のデータ；1 階調」であれば、クロック数が「5 クロック」となっている。なお、このルックアップテーブル 1 5 は、6 4 × 6 4 階調のテーブルとなっているが、8 × 8 階調、3 2 × 3 2 階調、1 2 8 × 1 2 8 階調、または 2 5 6 × 2 5 6 階調のテーブルでもよい。また、図 9 で示すルックアップテーブルは、単なる一例にすぎない。

30

【0060】

上記ルックアップテーブルは、例えば、制御回路 4 における EEPROM 4 3 に格納すればよい。そして、プリチャージを行う場合は、コントロールロジック 4 2 が上記ルックアップテーブルにアクセスしてクロック数を読み出し、読み出したクロック数に対応する期間だけ＋プリチャージスイッチ 6 1 A または一側プリチャージスイッチ 6 1 B を同通させるように制御信号を出力すればよい。

【0061】

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

40

【産業上の利用可能性】

【0062】

画像表示装置などの表示装置におけるソースドライバなどに好適に用いることができる。

【図面の簡単な説明】

【0063】

【図 1】本発明の実施形態を示すものであり、ソースドライバおよび制御回路の要部構成

50

を示すブロック図である。

【図２】本発明の実施形態を示すものであり、液晶表示装置（表示装置）を示す概略構成図である。

【図３】本発明の実施形態を示すものであり、コントロールロジックの要部構成を示すブロック図である。

【図４】ショートされるべきソースバスラインの選択を行うにあたって、ソースバスライン毎の電位レベルの変化方向および電位レベルの変化量に基づく、ソースバスラインの並べ替えを説明する図である。

【図５】ショートされるべきソースバスラインの選択順序を説明する図である。

【図６】本発明の実施形態を示すものであり、ショート回路の要部構成を示す図である。

10

【図７】本発明の実施形態を示すものであり、プリチャージ回路を含むソースドライバの要部構成を示すブロック図である。

【図８】本発明の実施の形態を示すものであり、D/Aコンバータおよびプリチャージ回路の具体的な回路構成について示す概略回路図である。

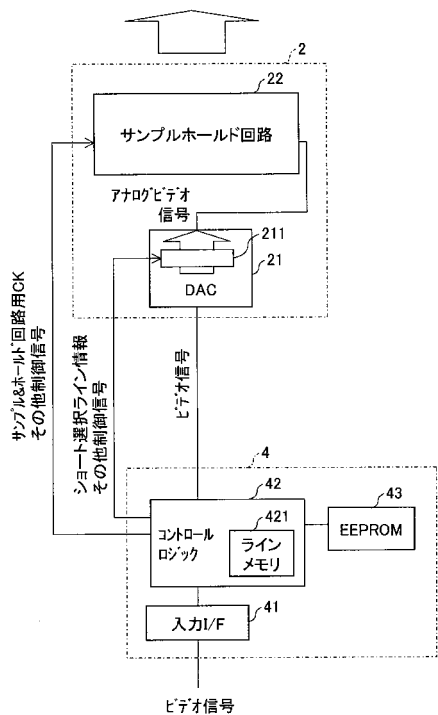
【図９】本発明の実施形態を示すものであり、ルックアップテーブルの概略構成を示す説明図である。

【符号の説明】

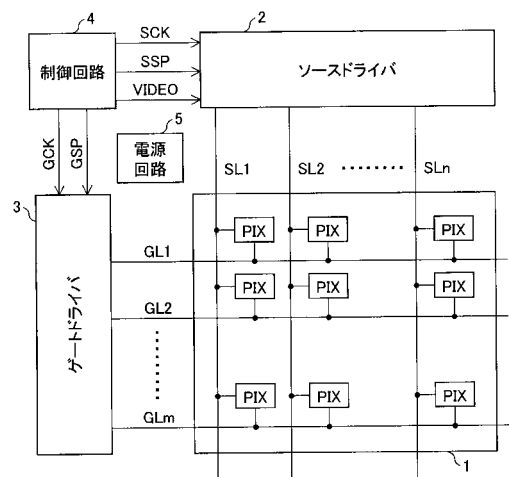
【００６４】

1	表示部（表示素子、液晶パネル）	
2、6	ソースドライバ（表示素子駆動回路）	20
3	ゲートドライバ	
4	制御回路（表示素子駆動回路）	
21	D/Aコンバータ	
61	プリチャージ回路（プリチャージ部）	
421	ラインメモリ（比較部）	
422	比較部（比較部）	
423	並替え演算部（選択部）	
211	ショート回路（データ信号線短絡部）	
G L 1 ~ G L m	走査信号線	
S L 1 ~ S L n	データ信号線	30
P I X	画素	

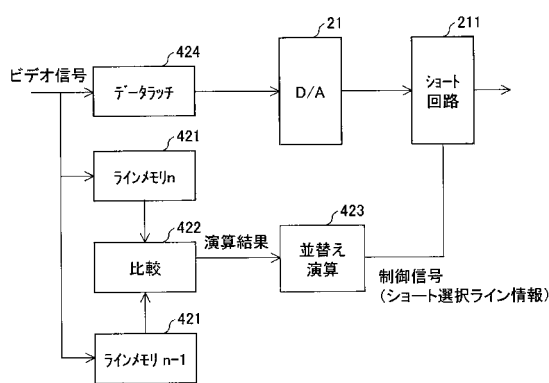
【図 1】



【図 2】



【図 3】



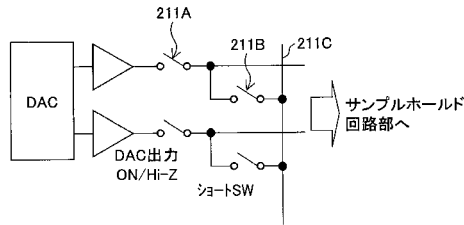
【図 5】

ライン選択順序	選択ラインの電位変化レベル合計
+40(ライン3)	+40
-37(ライン7)	+3
-35(ライン12)	-32
+31(ライン5)	-1
+23(ライン2)	+22
-19(ライン1)	+3
-18(ライン4)	-15
+13(ライン10)	-2
+5(ライン8)	+3
-10(ライン11)	-7

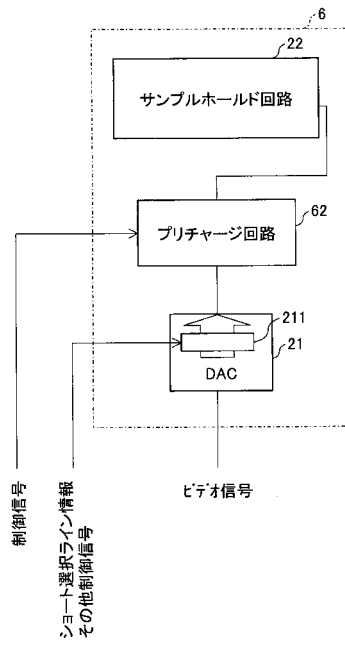
【図 4】

+方向への変化ライン	-方向への変化ライン
+40(ライン3)	-37(ライン7)
+31(ライン5)	-35(ライン12)
+23(ライン2)	-19(ライン1)
+13(ライン10)	-18(ライン4)
+5(ライン8)	-10(ライン11)
	-7(ライン6)
	-4(ライン9)

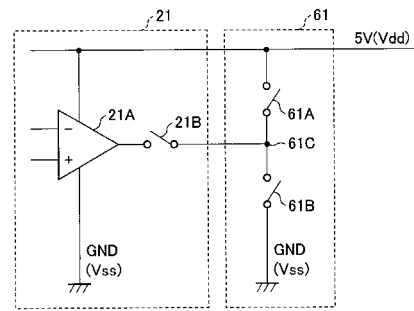
【図 6】



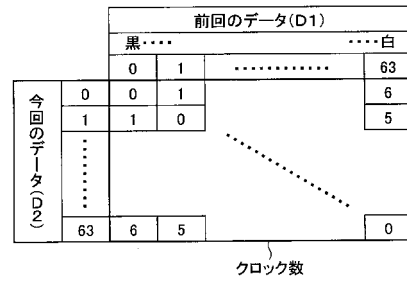
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 U
G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 2 1 F
G 0 2 F 1/133 5 5 0

(56)参考文献 特開2005-196133 (JP, A)
特開2004-093691 (JP, A)
特開2005-208551 (JP, A)
特開2007-011273 (JP, A)
特開2007-093995 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
G 0 2 F 1/133 505-580

专利名称(译)	显示元件驱动电路，包括其的液晶显示装置		
公开(公告)号	JP4717582B2	公开(公告)日	2011-07-06
申请号	JP2005295764	申请日	2005-10-07
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	中野武俊		
发明人	中野 武俊		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.623.A G09G3/20.624.B G09G3/20.623.R G09G3/20.621.A G09G3/20.612.U G09G3/20.611.A G09G3/20.621.F G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC23 2H093/NC25 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC49 2H093/ND39 2H193/ZA04 2H193/ZD23 2H193/ZF22 2H193/ZF36 5C006/AA11 5C006/AC11 5C006/AC21 5C006/AF11 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF50 5C006/AF51 5C006/AF53 5C006/AF64 5C006/AF69 5C006/AF82 5C006/BB16 5C006/BC11 5C006/BC16 5C006/BF05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03		
其他公开文献	JP2007102132A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过在对保持型显示装置中的像素电容充电之前使源极总线短路来最佳地执行电荷共享，以实现能够实现更高功耗降低效果的显示装置。控制逻辑比较存储在行存储器中的最新扫描行中的视频信号和前一扫描行中的视频信号，以选择要被短路的数据信号线。源极驱动器2的短路2通过短路选择和选择的所选数据信号线在源极总线之间执行电荷恢复。点域1

ライン選択順序	選択ラインの 電位変化レベル合計
+40(ライン3)	+40
−37(ライン7)	+3
−35(ライン12)	−32
+31(ライン5)	−1
+23(ライン2)	+22
−19(ライン1)	+3
−18(ライン4)	−15
+13(ライン10)	−2
+5(ライン8)	+3
−10(ライン11)	−7