

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4419897号
(P4419897)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 525
G09G 3/20 (2006.01)	G02F 1/133 550
	G09G 3/20 611E
	G09G 3/20 621B
請求項の数 9 (全 24 頁) 最終頁に続く	

(21) 出願番号	特願2005-100085 (P2005-100085)	(73) 特許権者	304053854
(22) 出願日	平成17年3月30日(2005.3.30)		エプソンイメージングデバイス株式会社
(65) 公開番号	特開2006-276794 (P2006-276794A)		長野県安曇野市豊科田沢6925
(43) 公開日	平成18年10月12日(2006.10.12)	(74) 代理人	100095728
審査請求日	平成17年11月28日(2005.11.28)		弁理士 上柳 雅誉
		(74) 代理人	100107076
			弁理士 藤網 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	小橋 裕
			東京都港区浜松町二丁目4番地1号 三洋
			エプソンイメージングデバイス株式会社内
		(72) 発明者	戸谷 隆史
			東京都港区浜松町二丁目4番地1号 三洋
			エプソンイメージングデバイス株式会社内
			最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動法、液晶表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、前記複数の走査線に交差して配置される複数のデータ線と、前記複数の走査線と前記複数のデータ線の交差に対応して配置された複数の画素電極と、前記走査線の信号に基づいて前記データ線の信号を前記画素電極に供給する複数の画素スイッチング素子と、前記画素電極に対向配置された対向電極と、を備えた液晶表示装置の駆動方法であって、

前記複数の走査線は、前記画素スイッチング素子に選択電位と非選択電位のいずれかの電位を与えるよう各々個別のタイミングで供給され、

前記対向電極は第1の電位と第2の電位の間で反転駆動し、

前記対向電極が前記第1の電位から前記第2の電位へ反転するコモン反転タイミングでは、前記複数の走査線のうち1つが前記選択電位にあり、

前記選択電位にある走査線の走査線選択期間は、前記複数のデータ線の第1のデータ線に映像信号を書き込む第1の選択期間と、前記複数のデータ線全てに映像信号を書き込んでいない第1の非選択期間と、前記複数のデータ線の第2のデータ線に映像信号を書き込む第2の選択期間とを有し、

前記第1の選択期間は前記第1の非選択期間より前であり、

前記第2の選択期間は前記第1の非選択期間より後であり、

前記コモン反転タイミングは前記第1の非選択期間中であることを特徴とする液晶表示装置の駆動方法。

【請求項 2】

前記コモン反転タイミングでは、

前記データ線は映像信号あるいはプリチャージ信号を供給する信号端子と電氣的にハイインピーダンス状態にあり、前記画素電極との間を除きフローティング状態であることを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 3】

前記走査線に供給される前記非選択電位は第 3 の電位と第 4 の電位との間で反転駆動され、

前記走査線の前記非選択電位が前記第 3 の電位から前記第 4 の電位に反転駆動される走査線反転タイミングは前記コモン反転タイミングに略等しく、

第 3 の電位と第 4 の電位の差は第 1 の電位と第 2 の電位の差に略等しいことを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置の駆動方法。

【請求項 4】

前記走査線は前記コモン反転タイミングでは前記非選択電位を供給する電源配線および前記選択電位を供給する電源配線とは電氣的にハイインピーダンス状態であることを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置の駆動方法。

【請求項 5】

複数の走査線と、

前記複数の走査線に交差して配置される複数のデータ線と、

前記複数の走査線と前記複数のデータ線の交差に対応して配置された複数の画素電極と

、
前記走査線の信号に基づいて前記データ線の信号を前記画素電極に供給する複数の画素スイッチング素子と、

前記画素電極に対向配置され、第 1 の電位と第 2 の電位の間で反転するコモン電位が供給される対向電極と、

前記画素スイッチング素子に選択電位と非選択電位のいずれかの電位を与えるよう前記複数の走査線に各々個別のタイミングで供給すると共に、前記対向電極が前記第 1 の電位から前記第 2 の電位へ反転するコモン反転タイミングでは、前記複数の走査線のうち 1 つ が前記選択電位とする走査線駆動回路とを備え、

前記選択電位にある走査線の走査線選択期間は、前記複数のデータ線の第 1 のデータ線に映像信号を書き込む第 1 の選択期間と、前記複数のデータ線全てに映像信号を書き込んでいない第 1 の非選択期間と、前記複数のデータ線の第 2 のデータ線に映像信号を書き込む第 2 の選択期間とを有し、

前記第 1 の選択期間は前記第 1 の非選択期間より前であり、

前記第 2 の選択期間は前記第 1 の非選択期間より後であり、

前記コモン反転タイミングは前記第 1 の非選択期間中であることを特徴とする液晶表示装置。

【請求項 6】

前記走査線の本数を n 、

前記データ線と前記走査線の容量を C_1 、

前記データ線と前記対向電極の容量を C_2 、

前記データ線と前記画素電極との容量、前記 C_1 、前記 C_2 を除く、前記データ線との容量を C_3 としたとき、

$(C_1 \div n + C_3) \div (C_1 + C_2 + C_3) \geq 0.005$ を満たすことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 のデータ線に接続された前記複数の画素電極の第 1 の画素電極と、

前記第 2 のデータ線に接続された前記複数の画素電極の第 2 の画素電極とは同じ走査線に接続されてなり、

かつ互いに同じ色の表示に対応した画素であることを特徴とする請求項 5 又は請求項 6

10

20

30

40

50

に記載の液晶表示装置。

【請求項 8】

前記第 1 の画素電極と前記第 2 の画素電極は同じ走査線に接続された同一色表示に対応する画素としては最も近い画素電極同士であることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

請求項 5 から請求項 8 に記載の液晶表示装置を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置の駆動法に関するものであり、特にアクティブマトリクス基板を用いた液晶表示装置のコモン電極反転駆動方法に関するものである。

【背景技術】

【0002】

近年、ノート PC やモニター用を筆頭に薄膜トランジスタ (TFT:Thin Film transistor) などのアクティブ素子を用いたアクティブマトリクス回路による液晶表示装置は急速に普及している。

【0003】

通常、ネマティック相液晶材料を用いた液晶表示装置においては、液晶材料を挟むアクティブ素子によりスイッチングされる画素電極とコモン電極と呼ばれる共通電極の間の電位差によって液晶材料が制御され、その結果、各画素の表示状態は制御される。画素電極とコモン電極の電位差が大きい時、すなわちノーマリー・ホワイトモードでは黒表示時、ノーマリー・ブラックモードでは白表示時のコモン電極と画素電極の最大電位差は使用液晶材料、液晶モード、液晶ギャップなどによって異なるものの通常 3 V ~ 5 V 程度である。液晶表示装置では液晶素子の信頼性を確保するために液晶に印加する電圧を一定時間で極性反転させる交流駆動が必要であり、コモン電極の電位を固定とすると画素電極に書き込む電位信号、すなわちアクティブマトリクス回路のデータ線に入力する映像信号の電位振幅は 6 V ないし 10 V となる。

【0004】

しかしながら、データ線に入力する映像信号を外部のデータドライバ IC で書き込む場合、5 V 以上の電位振幅を出力するためには通常の MOS プロセスではなく、高耐圧プロセスで製造された高価な IC でなくてはならずコストアップとなり、また消費電力的にも不利になる。そこで、コモン電極を極性ごとに反転駆動する、コモン反転駆動を用いることでデータ線の入力信号振幅を半減する駆動方法が提案されている (特許文献 1 参照)。

【0005】

ところで極性反転にはフィールド反転駆動、ゲート反転駆動、ソース反転駆動、ドット反転駆動などの方法がある。これはあるタイミングにおける各画素のコモン電極に対する極性をどのように設定するかの手法であって、フリッカーは、フィールド反転駆動、ゲート反転駆動またはソース反転駆動、ドット反転駆動の順に視認しにくくなる。したがって、ゲート反転駆動やソース反転駆動、特にドット反転駆動ほど表示品位が向上し、フリッカーが発生しにくいことでフレーム周波数を下げることが可能になり、低消費電力駆動が実現しやすくなる。

【0006】

しかしコモン反転駆動を行う場合、コモン反転に一定の緩和時間が必要なため、1 走査期間または 1 フィールド期間毎にしか極性反転ができず、ソース反転駆動あるいはドット反転駆動は不可能であった。これを解決するために特許文献 2 では対向のコモン電極をパターンニングして別々に駆動する方法が提案されている。しかし、対向側のコモン電極は通常、パターンニングしないか、あるいはメタルスパッタを用いた精度の悪いパターンニング技術を使っており、提案されているような形状にコモン電極を加工するためにはフォトリソ工程が追加で必要となりコストが高くなる。また、精細度の高いディスプレイでは画素ア

10

20

30

40

50

レイとカラーフィルタ基板の組み立て精度が問題となり、この手法は実現が困難である。また、特許文献3では画素をゲートラインに対して対称に交互に反転させて配置することでゲートライン反転駆動を擬似的にドット反転駆動するようにみせる手法が提案されている。しかしながらこの手法では文字や直線データを表示させた際、同一の走査線上にあるラインがジグザグに表示されるため表示品位が低下する。これを補正するためには外部映像信号を加工するICが必要となり、コストアップになる。

【0007】

【特許文献1】特開昭62-49399号公報

【特許文献2】特開平11-142815号公報

【特許文献3】特許第2982877号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

従来提案されていた方法ではコモン反転駆動とドット反転駆動を同時に実現するとコストアップあるいは画像品位低下が避けられなかった。本発明ではこれを解決することを課題とするものである。

【課題を解決するための手段】

【0009】

本発明の液晶表示装置の駆動方法では、複数の走査線と、前記複数の走査線に交差して配置される複数のデータ線と、前記複数の走査線と前記複数のデータ線の交差に対応して配置された複数の画素電極と、前記走査線の信号に基づいて前記データ線の信号を前記画素電極に供給する複数の画素スイッチング素子と、前記画素電極に対向配置された対向電極と、を備えた液晶表示装置の駆動方法である。前記複数の走査線は、前記画素スイッチング素子に選択電位と非選択電位のいずれかの電位を与えるよう各々個別のタイミングで供給され、前記対向電極は第1の電位と第2の電位の間で反転駆動し、前記対向電極が前記第1の電位から前記第2の電位へ反転するコモン反転タイミングでは、前記複数の走査線のうち1つが前記選択電位にあり、前記選択電位にある走査線の走査線選択期間は、前記複数のデータ線の第1のデータ線に映像信号を書き込む第1の選択期間と、前記複数のデータ線全てに映像信号を書き込んでいない第1の非選択期間と、前記複数のデータ線の第2のデータ線に映像信号を書き込む第2の選択期間とを有し、前記第1の選択期間は前記第1の非選択期間より前であり、前記第2の選択期間は前記第1の非選択期間より後であり、前記コモン反転タイミングは前記第1の非選択期間中であることを提案する。このような駆動方法によって1走査線選択期間でも極性の異なる映像信号を書き込めるため、ドット反転駆動等のゲート反転駆動よりフリッカーが視認しにくい駆動方法が実現できる。

【0010】

さらに本発明の液晶表示装置の駆動方法では、前記コモン反転タイミングでは、前記データ線は映像信号あるいはプリチャージ信号を供給する信号端子と電氣的にハイインピーダンス状態にあり、前記画素電極との間を除きフローティング状態であることを提案する。このような駆動方法によって走査線の選択中にコモン反転した際、データ線の電位も容量結合で反転するため、データ線とコモン電極間の電位にコモン反転前後で差が生じることがなく、所望の映像を得ることができる。

【0011】

さらに本発明の液晶表示装置の駆動方法では、前記走査線に供給される前記非選択電位は第3の電位と第4の電位との間で反転駆動され、前記走査線の前記非選択電位が前記第3の電位から前記第4の電位に反転駆動される走査線反転タイミングは前記コモン反転タイミングに略等しく、第3の電位と第4の電位の差は第1の電位と第2の電位の差に略等しいことを提案する。あるいは、前記走査線は前記コモン反転タイミングでは前記非選択電位を供給する電源配線および前記選択電位を供給する電源配線とは電氣的にハイインピーダンス状態であることを提案する。このような駆動方法により、ゲート線との容量分割

10

20

30

40

50

によってデータ線とコモン電極間の電位差がコモン反転前後で低下することを防止できる。

【0012】

さらに本発明の液晶表示装置の駆動方法では、前記複数の走査線の一つが前記選択電位にある走査線選択期間中に、前記複数のデータ線の第1のデータ線に映像信号を書き込む第1の選択期間と、前記複数のデータ線の第2のデータ線に映像信号を書き込む第2の選択期間と、前記複数のデータ線全てに映像信号を書き込んでいない第1の非選択期間と、前記複数のデータ線全てに映像信号を書き込んでいない第2の非選択期間とを有してなり、前記コモン反転タイミングは前記第1の非選択期間中であり、前記第1の選択期間は前記第1の非選択期間より前であり、前記第2の選択期間は前記第1の非選択期間より後であり、前記第1の非選択期間の長さは第2の非選択期間より長いことを提案する。このような駆動方法により、コモン反転の緩和時間中、データ線をフローティングしておくためにデータ線とコモン電極間の電位差がコモン反転前後で低下することを防止でき、かつ書き込み時間が低下することがない。

10

【0013】

さらに本発明の液晶表示装置の駆動方法では、前記第1の選択期間中に前記データ線に書き込む映像信号の電位振幅は、前記第2の選択期間中に前記データ線に書き込む映像信号の電位振幅よりも大きいことを提案する。これにより、コモン反転前に書き込んだデータ線の電位が容量分割によって変動しても補償することが可能になる。

20

【0014】

さらに本発明ではこれらの液晶表示装置の駆動方法を用いることを特徴とした液晶表示装置を提案する。上に述べたような駆動方法によって従来のゲート反転法よりフリッカーが見えにくいコモン反転駆動の液晶表示装置を実現でき、低コストで高画質・低消費電力な液晶表示装置を実現できる。

【0015】

さらに本発明の液晶表示装置では、前記走査線の本数を n 、前記データ線と前記走査線の容量を $C1$ 、前記データ線と前記対向電極の容量を $C2$ 、前記データ線と前記画素電極との容量、前記 $C1$ 、前記 $C2$ を除く、前記データ線との容量を $C3$ としたとき、 $(C1 \div n + C3) \div (C1 + C2 + C3) < 0.005$ を満たすことを提案する。このような液晶表示装置では、コモン反転前後でのデータ線とコモン電極との電位差変動が64分の1階調以下となるため、ほぼ視認できなくなるので本発明の駆動方法を用いてもムラ不良にならない。

30

【0016】

さらに本発明の液晶表示装置では、前記第1の選択期間中に前記データ線に書き込む映像信号の振幅を $V1$ 、前記データ線に前記第2の選択期間中に書き込む映像信号の振幅を $V2$ とすると、 $V1$ は $V2 * \{1 + 2 * (C1 \div n + C3) \div (C1 + C2 + C3)\}$ に略等しいことを提案する。このような液晶表示装置では、コモン反転前後でのデータ線とコモン電極との電位差変動があっても映像信号で補償される。

【0017】

さらに本発明の液晶表示装置では、前記第1のデータ線に接続された前記複数の画素電極の第1の画素電極と、前記第2のデータ線に接続された前記複数の画素電極の第2の画素電極とは同じ走査線に接続されてなり、かつ互いに同じ色の表示に対応した画素であることを提案する。これにより、同一走査線上の同一色画素同士の間極性が互いに反転している構造になるため、単一色表示時にもゲート反転駆動法よりフリッカーが視認しにくい。

40

【0018】

さらに本発明の液晶表示装置では、前記第1の画素電極と前記第2の画素電極は同じ走査線に接続された同一色表示に対応する画素としては最も近い画素電極同士であることを提案する。これにより、同一走査線上の同一色隣接画素同士の間極性が互いに反転している構造になるため、さらにフリッカーが視認しにくくなる。

【0019】

50

さらに本発明の液晶表示装置では、前記データ線を駆動するためのデータ線駆動回路は前記アクティブマトリクス回路と同一基板上に形成されてなることを提案する。このような液晶表示装置では、コモン反転時のデータ線のアクティブマトリクス回路外での寄生容量が少なくなり、コモン反転前後でのデータ線とコモン電極との電位差変動が少なくなるので本発明の駆動方法に向いている。

【0020】

さらに本発明の電子機器では、前述した本発明の液晶表示装置を用いた電子機器を提案する。このような構成により、外部ICとして耐压の低い安価なドライバが利用できるようにコストが安く、かつフリッカーが視認しにくいために高画質で低消費電力化可能な液晶表示装置をディスプレイとして利用できるように、安価で高画質、かつバッテリー駆動時間の長い電子機器が可能である。電子機器とは具体的にはモニター、TV、ノートパソコン、PDA、デジタルカメラ、ビデオカメラ、携帯電話、携帯フォトビューワー、携帯ビデオプレイヤー、携帯DVDプレイヤー、携帯オーディオプレイヤーなどである。

10

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施形態を図面に基づいて説明する。

[実施形態1]

【0022】

図1は本発明の液晶表示装置を実現する実施形態1での透過型VGA解像度液晶表示装置のためのアクティブマトリクス基板11の構成図である。アクティブマトリクス基板11上には、480本の走査線13と1920本のデータ線15が互いの交差して形成されており、480本の容量線17は走査線13と並行かつ走査線13と対となるように交互に配置されている。

20

【0023】

また、走査線13は走査線駆動回路21に接続され、走査線駆動回路21には複数の信号入力端子31が接続される。信号入力端子31から必要な各種信号および電源電位を与えるための信号が走査線駆動回路21に供給される。また、データ線15の信号入力端子31側端部はデータ線駆動回路23が接続され、データ線15の他端部はデータ線プリチャージ回路25に接続される。データ線駆動回路23及びデータ線プリチャージ回路25には信号入力端子31が接続される。そして、信号入力端子31から必要な各種信号および電源電位を与えるための信号がデータ線駆動回路23及びデータ線プリチャージ回路25に供給される。

30

【0024】

各容量線17は相互に短絡されてコモン電位信号が供給されるコモン電位入力端子32にコモン電位線33を介して接続される。コモン電位線33はアクティブマトリクス基板11の周囲に配設され、角部において後述する対向基板の対向電極と導通する上下導通部35が接続されている。

【0025】

図2は、アクティブマトリクス基板11の表示領域41内に形成される画素回路を示す図である。走査線13とデータ線15の各交点に対応してNチャンネル型電界効果ポリシリコン薄膜トランジスタよりなる画素スイッチング素子43が形成されており、そのゲート電極は走査線13に、ソース電極はデータ線15に、ドレイン電極は画素電極45に接続されている。画素電極45は液晶材料を挟んで対向基板の対向電極(コモン電極)とで液晶容量を形成すると共に、この液晶容量と並列に画素電位側の容量電極と容量線17とで補助容量形成する。

40

【0026】

図3は実施形態1における透過型VGA解像度液晶装置の斜視図(一部断面図)である。液晶表示装置51は、アクティブマトリクス基板11と対向基板12とでネマティック相液晶材料52を挟持し、シール材53で両基板11、12を貼り合わせ液晶材料52を封入している。アクティブマトリクス基板11の画素電極上には図示しないが、ポリイミ

50

ドなどからなる配向材料が塗布されラビング処理された配向膜が形成されている。また、対向基板 12 は図示しないが、画素に対応して形成されたカラーフィルタと、コモン電位が供給される ITO 膜でなる対向電極、液晶材料 52 と接触する面にはポリイミドなどからなる配向材料が塗布され、アクティブマトリクス基板 11 の配向膜のラビング処理の方向とは直交する方向にラビング処理された配向膜が形成されている。

【0027】

さらに対向基板 12 の外側には上偏向板 54 を、アクティブマトリクス基板 11 の外側には下偏向板 55 を配置し、互いの偏光方向が直交するよう（クロスニコル状）に配置する。さらに下偏向板 55 下に面光源を成すバックライトユニット 56 が配置される。バックライトユニット 56 は冷陰極管や LED に導光板や散乱板をとりつけたものでも良いし、EL 素子によって発光するユニットでもよい。図示しないが、さらに必要に応じ、周囲を外殻で覆うあるいは上偏向板 54 のさらに上に保護用のガラスやアクリル版を取り付けても良いし、視野角改善のため、光学補償フィルムを貼っても良い。

10

【0028】

また、アクティブマトリクス基板 11 は対向基板 12 から張り出す張り出し部 57 が設けられ、その張り出し部 57 には複数の実装端子（図示しない）が設けられている。複数の実装端子は、FPC（可撓性基板）58 を介して外部駆動回路用 IC 59 を実装した回路基板 60 に電気的に接続される。図 3 では外部駆動回路用 IC 59 は、2 個の IC で構成されているが、1 個もしくは 3 個以上でもよい。

【0029】

本実施形態 1 では表示はノーマリー・ホワイトモードであって、コモン電極電位と画素電極電位の電位差が 4V の時に完全不透過（黒表示）、0V のときに完全透過（白表示）する。液晶表示装置は透過型の他に、反射型、透過と反射を兼用した半透過型の液晶表示装置がある。

20

【0030】

図 4 は実施形態 1 における走査線駆動回路 21 の構成図であり、図 5 は図 4 の各構成要素の構成図である。

【0031】

走査線駆動回路 21 は、順次選択回路 71 と、順次選択回路 71 の出力段に接続されるレベルシフト回路 81、レベルシフト回路 81 の出力段と走査線 21 に接続される出力回路 82 とから構成される。

30

【0032】

図 4 の破線 71 は双方向シフトレジスタを用いた順次選択回路であり、電圧 $V_D - V_S$ レベルで駆動される。ここで $V_D = 8V$ 、 $V_S = 0V$ とする。

【0033】

順次選択回路 71 は、単位回路としてクロック制御回路（CCC：Clock Control Circuit）72 と、クロック生成回路（CGC：Clock Generate Circuit）73 と、ラッチ回路 74 と、双方向転送回路 75 と、NAND 回路 76 とで構成される。

【0034】

クロック制御回路 72 は、図 4 及び図 5（A）に示すように、クロック信号端子 31a からクロック信号 VCLK を入力すると共に、双方向転送回路 75 の信号 CT1、CT2 に基づいてクロック生成回路 73 にクロック信号を供給するものである。すなわち、信号 CT1、CT2 のいずれかが High の時にクロック信号を通過させ、両方とも Low の時にはクロック信号を遮断し、固定電位 V_S 又は V_D レベルを出力させる。これにより、必要な段にのみクロックを供給し、他は遮断することでクロック信号 VCLK の負荷を低減することができる。本実施形態 1 では $n =$ 奇数の段では V_S 、 $n =$ 偶数の段では V_D レベルを用いる。この構成により、信号の転送が生じている段にのみクロック信号を供給することでクロック信号線 77 の容量を低減し、遅延による誤動作を防止するとともに消費電流を低減する。なお、クロック制御回路 72 はクロック信号線 77 の負荷が問題になら

40

50

ない場合は省略可能である。

【 0 0 3 5 】

次にクロック生成回路 7 3 は、図 4 及び図 5 (B) に示すように、クロック制御回路 7 2 から出力された単極のクロック信号 V C L K を入力し、位相ズレのない両極クロック信号を生成し、ラッチ回路 7 4 に出力する回路である。この構成により、出力される両極クロック信号間の位相ズレによるラッチ回路 7 4 の誤動作を防止できる。なお、クロック生成回路 7 3 はクロック信号の位相ズレが問題にならない場合はクロック信号 V L C K の逆極性信号を入力することで省略可能である。

【 0 0 3 6 】

ラッチ回路 7 4 は、図 4 及び図 5 (C) に示すように、スタートパルス信号端子 3 1 b で入力されたスタートパルス信号 V S P を、クロック信号 V C L K からクロック生成回路 7 3 で生成されたクロック信号によって、ラッチもしくは順次転送する。すなわち、ラッチ回路 7 4 は、クロック信号 C L = H i g h、反転クロック信号 C X = L o w の時にはスタートパルス信号 V S P を転送し、クロック信号 C L = L o w、反転クロック信号 C X = H i g h の時にはラッチ動作を行う。また、初期化信号 I N I T が H i g h の時には強制的に L o w 出力を行い、リセットを行う。

【 0 0 3 7 】

また、双方向転送回路 7 5 は、図 4 及び図 5 (D) に示すように、転送方向制御信号 V D I R = H I G H、転送方向反転制御信号 V D I R X = L O W の時には $n = 1 \quad 2 \quad 3 \cdot \cdot$ の順に転送する正方向転送、転送方向制御信号 V D I R = L O W、転送方向反転制御信号 V D I R X = H I G H の時には $n = 4 \quad 8 \quad 0 \quad 4 \quad 7 \quad 9 \quad 4 \quad 7 \quad 8 \cdot \cdot \cdot$ の順に転送する逆方向転送を行う。なお、双方向転送が不要な場合は、双方向転送回路 7 5 は省略可能である。

【 0 0 3 8 】

N A N D 回路 7 6 は、ラッチ回路 7 4 の前後段の出力信号と、イネーブル信号端子 V E N B からのイネーブル信号を入力し、順次選択回路 7 1 の出力信号として出力する。具体的には、ラッチ回路 7 4 からの出力は N A N D 回路 7 6 に入力され、イネーブル信号端子 3 1 c から供給されたイネーブル信号 V E N B が H I G H (= V D) のタイミングに選択された段のみ N A N D 回路 7 6 は L O W (= V S レベル) を出力し、他段は H i g h (= V D) レベルを出力する。

【 0 0 3 9 】

この V D - V S レベル信号はレベルシフト回路 8 1 によって V H - V L L レベルに変換され、出力回路 8 2 の n チャンネル型トランジスタ 8 3、p チャンネル型トランジスタ 8 4 に入力される。

【 0 0 4 0 】

図 5 (E) はレベルシフト回路 8 1 の構成図であり、いわゆるフリップ・フロップタイプのレベルシフトを 2 段直列に配置することで、V D - V S レベルの信号を V H - V L L 信号に変換する。N A N D 回路 7 6 からの出力信号が L o w (= V S)、すなわち選択状態であれば、p チャンネル型トランジスタ 8 4 によって走査線 1 3 には V H 電位が書き込まれる。これにより、画素スイッチング素子 4 3 のトランジスタのゲート電極に選択電位として V H の電位が供給され、画素スイッチング素子 4 3 を電氣的に低インピーダンスにする。また、N A N D 回路 7 6 からの出力信号が H i g h (= V H) の場合は n チャンネル型トランジスタ 8 5、8 6 によって極性信号 P O L が H I G H の場合は電位 V L M、極性反転信号 P O L X が H I G H の場合は電位 V L L がそれぞれ選択され、n チャンネル型トランジスタ 8 3 によって走査線 1 3 に書き込まれる。これにより、画素スイッチング素子 4 3 のトランジスタのゲート電極に非選択電位として V H - V L L / V L M の電位が供給され、画素スイッチング素子 4 3 を電氣的に高インピーダンスにする。

【 0 0 4 1 】

よって最終的に走査線 1 3 に電位 V H - V L L / V L M レベルの信号が加えられる。ここで、V H = 1 0 V、V L M = - 1 V、V L L = - 5 V とする。なお、本実施形態 1 では

10

20

30

40

50

このように電位V_{L L}と電位V_{L M}を切り替えるのに極性信号P O Lを用いて走査線駆動回路2 1内の各段でスイッチを設けているが、出力回路8 2を通常の相補型インバータ構成とし、nチャンネル型トランジスタに繋がる電源電位線を- 4 . 5 V ~ - 0 . 5 VレベルでA C駆動してもよい。この場合、位相はコモン電位信号V C O Mと一致させる。また、反転タイミングでは走査線をフローティングとし、コモン電極との結合容量で反転させてもよい。

【 0 0 4 2 】

図6はデータ線駆動回路2 3の構成例である。信号入力端子3 1から供給される映像信号V I D E O 1 ~ 3 2 0は、それぞれ選択信号線9 1の数に対応して設けられた伝送ゲートスイッチ9 2にブロック毎に接続される。そして、映像信号V I D E Oは、選択信号S E L 1 ~ 6で選択された各ブロック内の伝送ゲートスイッチ9 2によって、伝送ゲートスイッチ9 2に対応するデータ線1 5に書き込まれる。いわゆる1 : 6のマルチプレクサによる部分ドライバ方式である。選択信号S E L 1 ~ 6はV H - V L Lレベルであり、図6の9 3は選択信号S E L 1 ~ 6の逆極性信号を生成するインバータ回路であって、電源はV H - V L Lレベルである。また、映像信号V I D E Oは、0 . 5 ~ 4 . 5 Vの電位振幅である。

【 0 0 4 3 】

このような構成により、選択信号S E L 1がH i g h (= V H)、他の選択信号S E L 2 ~ 6がL o w (= V L L)になると、映像信号V I D E O 1とブロック内のデータ線1 5 - 1が短絡し、同ブロック内の他のデータ線1 5 - 2 ~ 6は絶縁される。次に選択信号S E L 2がH i g h (= V H)、他の選択信号S E L 信号1、選択信号S E L 3 ~ 6がL o w (= V L L)になると、映像信号V I D E O 2とデータ線1 5 - 2が短絡し、他のデータ線1 5 - 1、1 5 - 3 ~ 6は絶縁される。このように1走査線選択期間内で選択信号S E L 1 ~ 6を順次H i g hにすることで映像信号V I D E O 1信号をデータ線1 5 - 1 ~ 6に分配することができる。

【 0 0 4 4 】

図7はデータ線プリチャージ回路2 5の構成例である。各データ線1 5は伝送ゲートスイッチ9 5を介してコモン電位端子からコモン電位V C O Mが供給されるコモン電位線9 6に接続される。そして、各伝送ゲートスイッチ9 5のゲートにはプリチャージ信号供給端子3 1 eからプリチャージ信号P R Cが供給されるプリチャージ信号線9 6が共通接続される。そして、プリチャージ信号P R Cによって一斉に各データ線1 5にコモン電位V C O Mが書き込まれる。これにより、データ線書き込み時の負荷が軽減され、確実に書き込みが可能となる。ここではコモン電位V C O Mとしたが、書き込み能力に応じ、適当な電位を与えても良い。例えば中間グレーレベル電位であれば、2 . 5 V電位を与えればよい。なお、書き込み時間が十分であるならデータ線プリチャージ回路2 5は省略化である。また、データ線プリチャージ回路2 5を省略してデータ線駆動回路2 3を通じてプリチャージを行う方法もある。すなわち、プリチャージ信号P R C選択のタイミングで選択信号S E L 1 ~ 6を全選択し、映像信号1 ~ 3 2 0にコモン電位信号V C O Mの電位又は相応の電位を供給すればよい。

【 0 0 4 5 】

ここで、本実施形態1の液晶表示装置の画素配列は縦モザイク構造を成している。すなわち、対向基板1 2の画素電極4 5に対応する領域には、前述したブロック内毎に、図中左より赤(R)、緑(G)、青(B)、赤(R)、緑(G)、青(B)と繰り返すように、カラーフィルタが設けられている。よって、データ線1 5 - 1, 4, 7, ..., 1 9 1 8に繋がる画素電極4 0 2 - n - 1, 4, 7, ..., 1 9 1 8と対向する対向基板1 2上の色材は全て赤(R)である。すなわち選択信号S E L 1およびS E L 4信号が選択されるタイミングによって書き込まれる映像信号は全て赤(R)である。同様に選択信号S E L 2およびS E L 5信号が選択されるタイミングによって書き込まれる映像信号は全て緑(G)であり、選択信号S E L 3およびS E L 6が選択されるタイミングによって書き込まれる映像信号は全て青(B)である。

10

20

30

40

50

【 0 0 4 6 】

次に、図 8 は信号入力端子 3 1 を通じて入力される各制御信号のタイミングを示すタイミングチャートである。図 8 (A) は走査線駆動回路 2 1 の制御信号であるスタートパルス信号 V S P、クロック信号 V C L K、イネーブル信号 V E N B およびコモン電位入力端子 3 2 から入力されるコモン電位信号 V C O M、及び走査線 1 3 - 1、1 3 - 2 に走査線駆動回路 2 1 から出力される信号を示すチャートである。スタートパルス信号 V S P は 1 フィールド期間、本実施形態 1 ではリフレッシュレート 6 0 H z であるので 1 6 . 6 7 ミリ秒の周期で入力されるスタートパルス信号である。クロック信号 V C L K は走査期間、すなわち本実施形態 1 では 3 4 . 7 2 マイクロ秒周期で反転するクロック信号である。そして、イネーブル信号 V E N B は走査期間周期のパルス波であり、3 1 . 2 5 マイクロ秒

10

の脉冲長である。極性信号 P O L はクロック信号 V C L K と同周期信号であって、クロック信号 V C L K とは 1 7 . 3 6 マイクロ秒だけ位相がずれた信号である。図示しないが、極性反転信号 P O L X は極性信号 P O L と同周波数・同振幅で極性が反転した信号である。スタートパルス信号 V S P、クロック信号 V C L K、イネーブル信号 V E N B はいずれも V S - V D レベルの信号であって、極性信号 P O L、極性反転信号 P O L X は V L L - V H レベルの信号である。また、転送方向制御信号 V D I R は V D レベルに固定、転送方向反転制御信号 V D I R X と初期信号 I N I T は V S レベルに固定となる。このような信号を走査線駆動回路 2 1 に入力することで、走査線 1 3 - n は各走査周期でいずれか 1 本が 3 1 . 2 5 マイクロ秒程度の間、H i g h となり、n = 1, 2, 3 . . . の順に 3 4 . 7 2 マイクロ秒間隔で選択されていく (転送方向制御信号 V D I R = V D, 転送方向反

20

転制御信号 V D I R X = V S の場合)。非選択期間は極性信号 P O L に同期して V L L - V L M レベル間で反転駆動される。コモン電位信号 V C O M は極性信号 P O L と同じ周波数・位相の矩形波であって、L O W 側電位が 0 . 5 V、H i g h 側電位が 4 . 5 V である。

【 0 0 4 7 】

図 8 (B) は図 8 (A) の期間 B の間のデータ線駆動回路 2 3 における選択信号 S E L 1 ~ 6、プリチャージ信号 P R C 及び映像信号 V I D E O 1 ~ 3 2 0 のタイミングチャートである。なお、この図 8 (B) で V I D E O (W) とは全面白表示 (ノーマリー・ブラックモードなら黒表示) 時の V I D E O 1 ~ 3 2 0 に入力される映像信号、V I D E O (B) とは全面黒表示 (ノーマリー・ブラックモードなら白表示) 時の V I D E O 1 ~ 3 2

30

0 に入力される映像信号である。点線は特に規定しない、あるいはハイインピーダンス状態を示す。このように、1 走査期間でプリチャージ信号 P R C 選択信号 S E L 1 選択信号 S E L 5 選択信号 S E L 3 選択信号 S E L 4 選択信号 S E L 2 選択信号 S E L 6 の順に選択される。対応する色の順序で言うと、R G B R G B である。選択信号 S E L 1 ~ 6 の選択期間は各 3 . 1 6 マイクロ秒である。ここで選択信号 S E L 1、選択信号 S E L 5、選択信号 S E L 3 の選択期間が第 1 の選択期間であり、S E L 4、S E L 2、S E L 6 の選択期間が第 2 の選択期間と定義付けられる。各選択期間の間には選択信号 S E L 1 ~ 6 およびプリチャージ信号 P R C が全て非選択になる期間があり、選択信号 S E L 3 選択期間と選択信号 S E L 4 選択期間の間の非選択期間 (第 1 の非選択期間) のみが $t_2 = 3 . 1 6$ マイクロ秒、それ以外の非選択期間 (第 2 の非選択期間) が

40

$t_1 = 1 . 5 8$ マイクロ秒である。コモン電位信号 V C O M は選択信号 S E L 3 の選択期間と選択信号 S E L 4 の選択期間との間の第 1 の非選択期間中に反転する。このようにコモン電位信号 V C O M が反転する時の非選択期間だけを長くするのは、コモン電位信号 V C O M の反転開始からコモン電位信号 V C O M が緩和するのに十分な時間、全てのデータ線をハイインピーダンス状態にする必要があるためである。かといって、 $t_1 = 3 . 1 6$ マイクロ秒とすると選択信号 S E L 1 ~ 6 の選択期間の幅が 2 . 6 3 マイクロ秒となってしまう、書き込みが不十分となる恐れがある。なお、選択信号 S E L 1 ~ 6 とプリチャージ信号 P R C は V H - V L L レベル信号 (- 5 ~ 1 0 V 電位振幅) であり、映像信号 V I D E O 1 ~ 3 2 0 は 0 . 5 ~ 4 . 5 V 電位振幅である。

【 0 0 4 8 】

ここで全画素に黒電位 (VIDEO (B)) を書き込むことを想定し、走査期間を通して各タイミングでの電位について考える。コモン電位信号 VCOM は最初 0.5 V とする。まず、プリチャージ信号 PRC が選択されてデータ線プリチャージ回路 25 が動作し、全データ線 15 は 0.5 V に書き込まれる。次にイネーブル信号 VENABLE が ON し、1 本の特定の走査線 13 が選択電位 (= VH) になる。残りの走査線 479 本は非選択電位 (= VLL) である。ここで選択信号 SEL1 が選択され、データ線 15 - 1、7、... 1915 に 4.5 V 電位が書き込まれる。ここでデータ線 15 - 1、7、... 1915 は左から走査線方向に数えて奇数番目の赤色表示に対応した画素に接続されているので、以下便宜上、Roddラインと呼ぶ。同様にデータ線 15 - 2、8、... 1916 を Goddライン、以下データ線 15 - 3、9、... 1917 を Boddライン、データ線 15 - 4、10、... 1918 を Revenライン、データ線 15 - 5、11、... 1919 を Gevenライン、データ線 15 - 6、12、... 1920 を Bevenラインと呼ぶ。次に選択信号 SEL4 が選択されて Gevenライン、選択信号 SEL3 が選択されて Boddラインに 4.5 V が書き込まれる。この時点で Roddライン、Gevenライン、Boddラインの各ラインに接続された画素電極 45 - n - 1, 3, 5... は 0.5 V から 4.5 V へ書き込みが行われている途中である。一方、Revenライン、Goddライン、Bevenラインの各ライン及び接続された画素電極 45 - n - 2, 4, 6... はプリチャージ電位のまま、0.5 V 電位にある。

【0049】

次にコモン反転タイミングになり、コモン電位信号 VCOM は 0.5 V から 4.5 V へ反転し、同時に極性信号 POL、極性反転信号 POLX も反転するために各走査線 13 - n の非保持電位も VLL から VLM に反転する。1 マイクロ秒程度の緩和時間の後、コモン電位信号 VCOM は所定の電位に達するが、この際、全データ線 15 は接続されている伝送ゲートスイッチ 92 - n、95 - n がハイインピーダンス状態であるため、容量結合で電位が引き上げられる。データ線 15 の容量を走査線 13 - n との交差容量 C1、容量線 17 - n との交差容量及び対向電極との容量 C2、伝送ゲートゲート 92 - n、95 - n の寄生容量、モジュール筐体の GND やパネル内の電源との寄生容量などのその他の容量 C3 の 3 つに分解すると、データ線の容量結合による電位変動幅 V は、
$$V = 479 \div 480 * C1 * (VLM - VLL) \div (C1 + C2 + C3) + C2 * (4.5 - 0.5) \div (C1 + C2 + C3)$$
 となる。VLM = -1 V、VLL = -4 V であるから、
$$V = 4 * (479 \div 480 * C1 + C2) \div (C1 + C2 + C3)$$
 となる。なお、画素電極 45 はいずれもフローティング状態であるか、データ線 15 に短絡されているかであるので画素電極 45 との容量はここでは考慮する必要はない。本実施形態 1 では対角 4 インチの液晶ディスプレイであり、C1 ~ C3 は電界シミュレーション等の結果から、C1 = 2.5 pF、C2 = 16.3 pF、C3 = 0.08 pF となる。従って、
$$V = 3.98 \text{ V}$$
 であって、Roddライン、Gevenライン、Boddラインの各データラインは 8.48 V、Revenライン、Goddライン、Bevenラインの各データラインは 4.48 V となる。また、各画素電極 45 の容量はほぼ 100% が容量線、対向電極、走査線、データ線との容量であるから、ほぼ容量結合で 4 V 電位が変動し、画素電極 45 - n - 1, 3, 5... は 4.5 ~ 8.5 V の間、画素電極 45 - n - 2, 4, 6... は 4.5 V 電位となる。

【0050】

この後、選択信号 SEL4 選択信号 SEL2 選択信号 SEL6 の順に選択され、Revenライン、Goddライン、Bevenラインはそれぞれ 0.5 V 電位を書き込まれる。選択信号 SEL6 が非選択になった後、イネーブル信号 VENABLE が OFF (= VS) して走査線 13 - n が VLM 電位になるまでの間 (図 7 (B) の t3 期間 = 3.16 マイクロ秒) に最終的にデータ線 15 の電位が画素電極 45 に書き込まれ、画素電極 45 - n - 1, 3, 5... はほぼ 8.48 V、画素電極 45 - n - 2, 4, 6... はほぼ 0.5 V となる。なお、ここでは画素スイッチング素子 43 のフィードスルーなどは無視している。

【0051】

10

20

30

40

50

次の走査線選択期間（走査線 $13 - n + 1$ が VH になる期間）ではコモン電位信号 V_{COM} は $4.5V$ から始まり、同様に途中で反転して $0.5V$ になる。この際の動作は容量結合での変動幅の正負が逆になる他は全く上記と同様であって、最終的にイネーブル V_{ENB} 信号が OFF する時点では画素電極 $45 - n + 1 - 1, 3, 5 \dots$ はほぼ $-3.48V$ 、画素電極 $45 - n + 1 - 2, 4, 6 \dots$ はほぼ $+4.5V$ となる。以上を 480 走査線分繰り返して 1 フィールド期間の書き込みは完了する。

【0052】

このタイミングでの各画素の液晶素子に印加される電圧（＝画素電極電位 - コモン電極の電位）は図9に示すようになる。なお、ここで $+$ はコモン電極より高い電位をプラス極性、 $-$ はコモン電極より低い電位をマイナス極性であることを示しており、 1 フィールド期間後では全ての画素で正負が逆になる。これはすなわち、いわゆるドット反転駆動となっており、フリッカーが視認しにくい構成となっている。

10

【0053】

以上のように、各データ線 15 は約 $-3.5V \sim +8.5V$ 程度の電位振幅となり、この時に画素スイッチング素子 43 で確実に画素電極 45 に書き込めるように走査線駆動回路 21 の VH 、 VL 電位は設定されてなくてはならない。画素スイッチング素子 43 のトランジスタの閾値を V_{th} とすると、 $VH = 8.5V + V_{th}$ であり、本実施形態 1 では $V_{th} = 1.0V$ であるので VH は $10V$ と設定した。また、データ線駆動回路 23 の伝送ゲートスイッチ $92 - n$ およびデータ線プリチャージ回路 25 の伝送ゲートスイッチ $95 - n$ を制御している電源電圧もデータ線 15 からのリークを避けるために各データ線 15 の電位振幅である約 $-3.5V \sim +8.5V$ より大きな電位振幅でなくてはならず、 $VH = 10V$ 、 $VL = -5V$ とした。なお、本実施形態 1 では走査線駆動回路 21 の VH 、 VL およびデータ線駆動回路 23 の VH 、 VL は入力端子、電源 IC 削減のため共通としたが、これらは別の電位としてもよい。この場合、上記の条件からわかるとおり、走査線駆動回路 21 の VH はデータ線駆動回路 23 の VH より高くとるべきである。

20

【0054】

参考に対比例として、図10に従来のデータ線駆動回路に与えていた制御信号のタイミングチャートを示す。コモン電位信号 V_{COM} と極性信号 POL は、クロック信号 V_{CLK} と位相のずれのない同周期の信号である。選択信号 SEL は、 $SEL1$ $SEL2$ $SEL3$ \dots $SEL6$ と順次供給される。この時のあるタイミングでの各画素の液晶素子に印加される電圧は図11に示すようになる。これはいわゆるゲート反転駆動（あるいはロウ（LOW）反転駆動、 $1H$ 反転駆動という）であって、従来コモン反転タイミングは全ての走査線が閉じているタイミング（＝イネーブル信号 V_{ENB} が OFF のタイミング）であったので、このようにゲート反転駆動しかできなかったのである。このため、画素フィードスルーや画素スイッチング素子のトランジスタのリークに起因するフリッカーが見えやすく、画質が劣るとともにフレーム周波数を低下させることが難しかったが、本実施形態 1 の駆動方法によりこの問題を解決できる。

30

【0055】

さて、本実施形態 1 の駆動方法では第 1 の選択期間に書き込んだ画素はデータ線 15 の外部容量および選択された走査線 13 の容量（ $C3 + C1 \div 480$ ）に起因する電圧低下が発生する。しかし、これは正負両極性で同様に起こるので DC バイアスとしては 0 であり、ある画素に着目するとフレーム間での液晶の透過率に差異はなく、液晶素子の信頼性劣化やフリッカー要因とはならない。厳密には画素ピッチで微妙な濃淡差となるが、画素電圧の差異は $20mV$ であって、せいぜい 64 階調表示での 1 階調分にしか相当せず、視認できないレベルである。このように、本実施形態 1 の駆動方法を用いる際は $C3 + C1 \div n$ が $C1 + C2 + C3$ に比べ十分小さい必要がある。ここで $C1$ はデータ線における全走査線との交差容量、 $C2$ はデータ線とコモン電極（対向基板のコモン電極でよいですか？）との容量、 $C3$ はデータ線とそれ以外の容量、 n は走査線数である。より具体的には $C3 + C1 \div n$ が $C1 + C2 + C3$ の 0.5% 以下であれば階調のズレは 64 分の 1 階調以下であって視認できなくなる。具体的に実現方法を述べると、コモン反転タイミングで

40

50

データ線を映像信号やプリチャージ信号からハイインピーダンスで絶縁するスイッチング回路、本実施形態1で言うと伝送ゲートスイッチ92-n、95-nはアクティブマトリクス回路形成基板内に作りこむことが望ましい。外部ICにこの役割を持たせた場合、実装部品や途中配線での寄生容量が大きく、容量C3が大きくなってしまいうためである。従って、本実施形態1は特にポリシリコンTFTを用いた液晶表示装置で有効であると言える。また、走査線数nが大きいほど好ましいから高精細な液晶表示装置に向く技術でもある。

【0056】

また、上記の条件を満たせない場合、すなわち前記 $C3 + C1 \div n$ が小さく出来ない場合は第1の選択期間への書き込みの映像信号電圧-コモン電圧の電位振幅を同じ階調表示をさせる第2の選択期間への書き込みの映像信号電圧-コモン電圧の電位振幅に比べ、 $1 + 2 * (C3 + C1 \div n) \div (C1 + C2 + C3)$ 倍すればよい。本実施形態1でいうとRoddライン、Evenライン、Boddラインのデータ線への書き込み時、すなわち選択信号SEL1、選択信号SEL5、選択信号SEL3の選択時の黒表示映像信号を4.52/0.48Vとし、Revenライン、Goddライン、Bevenラインのデータ線への書き込み時、すなわち選択信号SEL4、選択信号SEL2、選択信号SEL6の選択時の黒表示映像信号を4.50/0.50Vとすればよいことになる。

【0057】

このように構成された液晶表示装置では、従来のものより低フリッカーであって映像品位が高く、またフレームレートを落としてもフリッカーが見えずらいため、低消費電力化が容易である。このような液晶表示装置を用いた電子機器では映像品位が向上し、より低消費電力で駆動することができるためにバッテリー持続性等に優れる。ここでいう電子機器とはモニター、TV、ノートパソコン、PDA、デジタルカメラ、ビデオカメラ、携帯電話、携帯フォトビューワー、携帯ビデオプレイヤー、携帯DVDプレイヤー、携帯オーディオプレイヤーなどである。

[実施形態2]

【0058】

図12は実施形態2を実現するデータ線駆動回路123の構成図である。実施形態2では、単位ブロックをデータ線3本毎とし、それに応じて3つの選択信号SEL1~3を用いて制御するものである。信号入力端子31から供給される映像信号VIDEO1~640信号は選択信号SEL1~3によって伝送ゲートスイッチ192-1~1920で分配され、データ線15-1~1920に書き込まれる、いわゆる1:3のマルチプレクサによる部分ドライバ方式である。具体的には、映像信号VIDEO1は伝送ゲートスイッチ192-1~3、映像信号VIDEO2は伝送ゲートスイッチ192-4~6というように接続される。選択信号SEL1は伝送ゲートスイッチ192-3、192-6...に接続され、選択信号SEL2は伝送ゲートスイッチ192-2、192-5...に接続され、選択信号SEL3は伝送ゲートスイッチ192-1、192-4...に接続される。193-1~3は極性を反転させるインバータ回路であって、電源はVH-VLLレベルである。

【0059】

その他、液晶表示装置の構成、アクティブマトリクス基板の構成、走査線駆動回路の構成、データ線プリチャージ回路の構成は実施形態1と同様であるので説明を省略する。

【0060】

図13は実施形態2における信号入力端子31を通じて入力される制御信号のタイミングを示すタイミングチャートである。図13(A)は走査線駆動回路21の制御信号であるスタートパルス信号VSP、クロック信号VCLK、イネーブル信号VENBおよびコモン電位入力端子31dから入力されるコモン電位信号VCOM、及び走査線13-1、13-2に走査線駆動回路21から出力される信号を示すチャートである。各信号のタイミング及び動作は実施形態1の図8(A)と同じであるので説明は省略する。

【0061】

図13(B)は図13(A)の期間Bの間のデータ線駆動回路123における選択信号SEL1~3、プリチャージ信号PRC及び映像信号VIDEO1~640のタイミングチャートである。なお、この図13(B)でVIDEO(W)とは全面白表示(ノーマリー・ブラックモードなら黒表示)時のVIDEO1~640にされる映像信号、VIDEO(B)とは全面黒表示(ノーマリー・ブラックモードなら白表示)時のVIDEO1~640にされる映像信号である。点線は特に規定しない、あるいはハイインピーダンス状態を示す。このように、1走査期間でプリチャージ信号PRC 選択信号SEL1 選択信号SEL2 選択信号SEL3の順に選択される。対応する色の順序で言うと、RGBである。選択信号SEL1~3の選択期間は4.74マイクロ秒である。ここで選択信号SEL1の選択期間が第1の選択期間であり、選択信号SEL2、選択信号SEL3の選択期間が第2の選択期間と定義付けられる。各選択期間の間には選択信号SEL1~3およびプリチャージ信号PRCが全て非選択になる期間があり、選択信号SEL1の選択期間と選択信号SEL2の選択期間との間の非選択期間(第1の非選択期間)が $t_2 = 6.32$ マイクロ秒、選択信号SEL2の選択期間と選択信号SEL3の選択期間との間の非選択期間(第2の非選択期間)が $t_1 = 3.16$ マイクロ秒である。コモン電位信号VCOMは選択信号SEL1の選択期間と選択信号SEL2の選択期間との間の非選択期間中に反転する。 $t_2 > t_1$ である理由は実施形態1に同じである。

10

【0062】

入力信号レベルはクロック信号VCLK、スタートパルス信号VSP、イネーブル信号VENBがVD-VSレベル信号(0~8V電位振幅)、選択信号SEL1~3、プリチャージ信号PRC、極性信号POL、極性反転信号POLXはVH-VLLレベル信号(-5~10V電位振幅)、映像信号VIDEO1~640およびコモン電位信号VCOMは0.5~4.5V電位振幅の信号である。

20

【0063】

このようなタイミングの駆動を行うと、あるタイミングでの各画素の液晶素子に印加される電圧(=画素電極電位-コモン電極の電位)は図14に示すようになる。なお、ここで+はコモン電極より高い電位をプラス極性、-はコモン電極より低い電位をマイナス極性であることを示しており、1フィールド期間後では全ての画素で正負が逆になる。実施形態1の図9に示すように完全なドット反転にはなっていないが、同一走査線上に極性の異なる画素が混在するため、図11に示す従来のゲート反転駆動よりはフリッカーに対して強い構成となっている。

30

【0064】

なお、本実施形態2では選択信号SEL1の選択期間と選択信号SEL2の選択期間との間でコモン反転を行っている。これは比較的人間の目に敏感な赤の画素と緑の画素の極性を逆にした方が、選択信号SEL2の選択期間と選択信号SEL3の選択期間との間でコモン反転を行って赤の画素と緑の画素の極性が同じであるよりもフリッカーが見えにくいためである。

【0065】

また、同様に1:3のマルチプレクサ構成であっても、データ線駆動回路の構成を図15に示す変形例のようにして図13に示す信号を入力してもよい。すなわち、データ線駆動回路223の映像信号VIDEO1は伝送ゲートスイッチ292-1、292-4、292-7に接続され、映像信号VIDEO2は伝送ゲートスイッチ292-2、292-5、292-8に接続され、映像信号VIDEO3は伝送ゲートスイッチ292-3、292-6、292-9に接続され、これらを単位ブロックとして各映像信号VIDEOは対応する伝送ゲートスイッチ292に接続される。そして、選択信号SEL1は伝送ゲートスイッチ292-7~9、選択信号SEL2は伝送ゲートスイッチ292-4~6、選択信号SEL3は伝送ゲートスイッチ292-1~3を単位ブロックとして接続される。293-1~3は極性を反転させるインバータ回路であって、電源はVH-VLLレベルである。この構成によれば、あるタイミングでの各画素の液晶素子に印加される電圧(=画素電極電位-コモン電極の電位)は図16に示すようになる。これはドット反転ではな

40

50

いが、同一走査線上で各色の画素同士は極性が反転しており、ドット反転に近いレベルでフリッカーが視認しにくい。

【 0 0 6 6 】

無論、同様に 1 : 2 駆動、1 : 4 駆動などを用いても構わない。いずれの場合でも従来のゲート反転駆動よりフリッカーの見えにくい反転駆動が実現可能である。

[実施形態 3]

【 0 0 6 7 】

図 1 7 は実施形態 3 を実現するデータ線駆動回路 3 2 3 の構成図である。いわゆるアナログ点順次型のデータ駆動回路構成であって、クロック制御回路 (CCC: Clock Control Circuit) 回路 3 7 2、クロック生成回路 (CGC: Clock Generate Circuit) 3 7 3、ラッチ回路 3 7 4、双方向転送回路 3 7 5 からなる双方向シフトレジスタを用いた順次選択回路を構成している。この順次選択回路は実施形態 1 で説明した走査線駆動回路と同様であって、各回路の具体的構成も図 5 (A) ~ (D) で示した通りである。

10

【 0 0 6 8 】

ただし、一对の NAND 回路 3 7 6 a、3 7 6 b が各段に配置され、NAND 回路 3 7 6 a にはイネーブル信号 HENB1 が供給され、NAND 回路 3 7 6 b にはイネーブル信号 HENB2 が供給される。NAND 回路 3 7 6 a、3 7 6 b に応じて一对のレベルシフト回路 3 7 7 a、3 7 7 b が配置されている。この動作も実施形態 1 で説明したとおりであるので省略する。レベルシフト回路 3 7 7 a、3 7 7 b の具体的回路構成も図 5 (E)

20

【 0 0 6 9 】

レベルシフト回路 3 7 7 a には、データ線 1 5 - 1、1 5 - 3、1 5 - 5 に対応した伝送ゲートスイッチ 3 9 2 - 1、3 9 2 - 3、3 9 2 - 5 に接続される。また、レベルシフト回路 3 7 7 b には、データ線 1 5 - 2、1 5 - 4、1 5 - 6 に対応した伝送ゲートスイッチ 3 9 2 - 2、3 9 2 - 4、3 9 2 - 6 に接続される。そして、赤の映像信号 VIDEO - R は伝送ゲートスイッチ 3 9 2 - 1、3 9 2 - 4 に接続され、緑の映像信号 VIDEO - G は伝送ゲートスイッチ 3 9 2 - 2、3 9 2 - 5 に接続され、青の映像信号 VIDEO - B は伝送ゲートスイッチ 3 9 2 - 3、3 9 2 - 6 に接続される。これらデータ線 6 本毎を単位ブロックとして順次接続される。

30

【 0 0 7 0 】

この構成により、例えばラッチ回路 3 7 4 - 1 が選択された時にイネーブル信号 HENB1 が HIGH になれば NAND 回路 3 7 6 a - 1、レベルシフト回路 3 7 7 a - 1 を介して伝送ゲートスイッチ 3 9 2 - 1、3 9 2 - 3、3 9 2 - 5 が ON となる。そして奇数のデータ線のうちデータ線 1 5 - 1 には赤の映像信号 VIDEO - R が供給され、データ線 1 5 - 3 には青の映像信号 VIDEO - B が供給され、データ線 1 5 - 5 には緑の映像信号 VIDEO - G が供給される。また、ラッチ回路 3 7 4 - 1 が選択された時にイネーブル信号 HENB2 が HIGH になれば NAND 回路 3 7 6 b - 1、レベルシフト回路 3 7 7 b - 1 を介して伝送ゲートスイッチ 3 9 2 - 2、3 9 2 - 4、3 9 2 - 6 が ON となる。そして偶数のデータ線のうちデータ線 1 5 - 2 には緑の映像信号 VIDEO - G が供給され、データ線 1 5 - 4 には赤の映像信号 VIDEO - R が供給され、データ線 1 5 - 6 には青の映像信号 VIDEO - B が供給される。

40

【 0 0 7 1 】

また、液晶表示装置の構成、アクティブマトリクス基板の構成、走査線駆動回路の構成、データ線プリチャージ回路の構成は実施形態 1 と同様であるので説明を省略する。

【 0 0 7 2 】

図 1 8 は実施形態 3 における信号入力端子 3 1 を通じて入力される制御信号のタイミングを示すタイミングチャートである。図 1 8 (A) は走査線駆動回路 2 1 の制御信号であるスタートパルス信号 VSP、クロック信号 VCLK、イネーブル信号 VENB およびコモン電位入力端子 3 1 d から入力されるコモン電位信号 VCOM、及び走査線 1 3 - 1、

50

13-2に走査線駆動回路21から出力される信号を示すチャートである。詳細は実施形態1の図8(A)と同じであるので説明は省略する。

【0073】

図18(B)は図18(A)の期間Bの間のデータ線駆動回路323におけるクロック信号HCLK、スタートパルス信号HSP、イネーブル信号HENB1、イネーブル信号HENB2、プリチャージ信号PRC、赤の映像信号VIDEO-R、緑の映像信号VIDEO-G、青の映像信号VIDEO-Bに入力される信号である。なお、この図18(B)でVIDEO(W)とは全面白表示(ノーマリー・ブラックモードなら黒表示)時のVIDEO-R/G/Bに入力される映像信号、VIDEO(B)とは全面黒表示(ノーマリー・ブラックモードなら白表示)時のVIDEO-R/G/Bに入力される映像信号である。また、クロック信号HCLK、スタートパルス信号HSP、イネーブル信号HENB1、イネーブル信号HENB2、プリチャージ信号PRCはVH-VLLレベル信号(-5~10V電位振幅)、映像信号VIDEO-R/G/Bおよびコモン電位信号VCOMは0.5~4.5V電位振幅の信号である。

10

【0074】

クロック信号HCLKは48ナノ秒毎に反転する矩形波クロック信号であり、スタートパルス信号HSPは走査線選択期間の半分の周期(=17.36マイクロ秒)であってパルス幅54.25ナノ秒のパルス波である。イネーブル信号HENB1、イネーブル信号HENB2は基本的にはクロック信号VCLKの2倍の周波数をもつ矩形波(34.7μ秒周期)であって互いに逆極性であるが、イネーブル信号VENBがOFFの期間、及びコモン電位信号VCOMの反転タイミング前後の約2マイクロ秒では両方ともOFFになり、Highパルス長は15.36マイクロ秒である。

20

【0075】

すなわち、1走査線選択期間に走査線駆動回路21のシフトレジスタである順次選択回路の各段は2回選択されることになり、かつ1回目の選択期間と2回目の選択期間で映像信号の極性が反転することになる。1回目の選択期間はイネーブル信号HENB1がONであって奇数番目のデータ線15-1, 3, ..., 15-1919を選択している期間であり、第1の選択期間と定義される。2回目の選択期間はイネーブル信号HENB2がONであって、偶数番目のデータ線15-2, 4, ..., 15-1920を選択している期間になり、第2の選択期間と定義される。従って走査線選択期間中のコモン電位信号の反転タイミングでイネーブル信号HENB1、イネーブル信号HENB2がともにOFFになっている期間が第1の選択期間に相当する。また、請求項でいうスイッチング回路とは本実施形態3では伝送ゲート392-1~1920がスイッチング回路にあたり、このスイッチング回路はアクティブマトリクス基板上に形成する方が好ましいのは実施形態1で述べたとおりである。

30

【0076】

このような駆動を行うと、あるタイミングでの各画素の液晶素子に印加される電圧(=画素電極電位-コモン電極の電位)は図9に示すようになる。なお、ここで+はコモン電極より高い電位を有するプラス極性、-はコモン電極より低い電位を有するマイナス極性であることを示しており、1フィールド期間後では全ての画素で正負が逆になる。これはすなわちドット反転であり、従来のゲート反転駆動よりフリッカーが見えにくい。

40

【0077】

このように、いわゆるマルチプレクサ方式のみならず、点順次駆動方式であっても本発明は成立する。同様に例えばDAC(デジタルアナログ変換器)内蔵のデジタル駆動のデータ線駆動回路を内蔵する場合でも、DACからデータ線への書き込みタイミングを2つ以上のブロックに分割して書き込み、ブロック間で極性を反転させればよい。いずれの場合でも、外付けICではなくアクティブマトリクス基板上に駆動回路を形成した方が容量C3が小さくなることは実施形態1で述べたとおりである。また、第1の選択期間での書き込み映像信号を第2の選択期間での書き込み映像信号より電位振幅を大きくすることで補正が可能なのも同様である。

50

[電子機器の実施形態]

【 0078 】

以下、本発明に係る電子機器を実施形態を挙げて説明する。なお、この実施形態は本発明の一例を示すものであり、本発明はこの実施形態に限定されるものではない。

【 0079 】

図19は、本発明に係る電子機器の一実施形態を示している。ここに示す電子機器は、液晶表示装置781と、これを制御する制御回路780とを有する。制御回路780は、表示情報処理回路785、電源回路786、タイミングジェネレータ787及び表示情報出力源788によって構成される。そして、液晶表示装置781は液晶パネル782、照明装置784及び駆動回路783を有する。

10

【 0080 】

表示情報出力源788は、RAM(Random Access Memory)等といったメモリや、各種ディスク等といったストレージユニットや、デジタル画像信号を同調出力する同調回路等を備え、タイミングジェネレータ787により生成される各種のクロック信号に基づいて、所定フォーマットの画像信号等といった表示情報を表示情報処理回路785に供給する。

【 0081 】

次に、表示情報処理回路785は、増幅・反転回路や、ローテーション回路や、ガンマ補正回路や、クランプ回路等といった周知の回路を多数備え、入力した表示情報の処理を実行して、画像信号をクロック信号CLKと共に駆動回路783へ供給する。ここで、駆動回路783は、走査線駆動回路やデータ線駆動回路と共に、検査回路等を総称したものである。また、電源回路786は、上記の各構成要素に所定の電源電圧を供給する。

20

【 産業上の利用可能性 】

【 0082 】

本発明は実施例の形態に限定されるものではなく、TNモードではなく負の誘電率異方性を持つ液晶を用いた垂直配向モード(VAモード)、横電界を利用したIPSモードの液晶表示装置に利用しても構わない。また、全透過型のみならず全反射型、反射透過兼用型であっても構わない。さらにアクティブ素子はポリシリコンTFTだけでなく、アモルファスシリコンTFTであってもよいし、その他のアクティブ素子であっても構わない。

【 図面の簡単な説明 】

【 0083 】

【 図1 】 本発明の実施形態1に係るアクティブマトリクス基板の構成図。

【 図2 】 本発明の実施形態1に係るアクティブマトリクス基板の画素回路図。

【 図3 】 本発明の実施形態1に係る液晶表示装置の斜視図。

【 図4 】 本発明の実施形態1に係る走査線駆動回路図。

【 図5 】 本発明の実施形態1に係る走査線駆動回路の構成要素の回路図。

【 図6 】 本発明の実施形態1に係るデータ線駆動回路図。

【 図7 】 本発明の実施形態1に係るデータ線プリチャージ回路図。

【 図8 】 本発明の実施形態1に係る駆動信号のタイミングチャート。

【 図9 】 本発明の実施形態1に係る各画素の液晶素子印加電圧図。

【 図10 】 対比例に係る駆動信号のタイミングチャート。

【 図11 】 対比例に係る各画素の液晶素子印加電圧図。

【 図12 】 本発明の実施形態2に係るデータ線駆動回路図。

【 図13 】 本発明の実施形態2に係る駆動信号のタイミングチャート。

【 図14 】 本発明の実施例形態2に係る各画素の液晶素子印加電圧図。

【 図15 】 本発明の実施形態2の変形例に係る駆動信号のタイミングチャート。

【 図16 】 本発明の実施形態2の変形例に係る各画素の液晶素子印加電圧図。

【 図17 】 本発明の実施形態3に係るデータ線駆動回路図。

【 図18 】 本発明の実施形態3に係る駆動信号のタイミングチャート。

【 図19 】 本発明の電子機器の実施形態を示すブロック図。

【 符号の説明 】

30

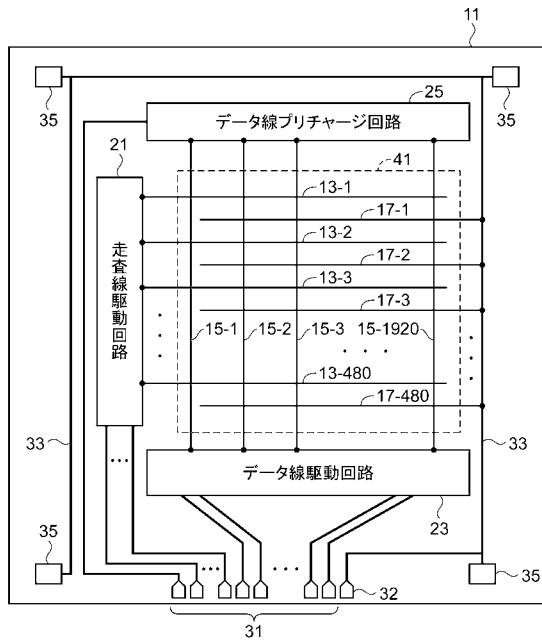
40

50

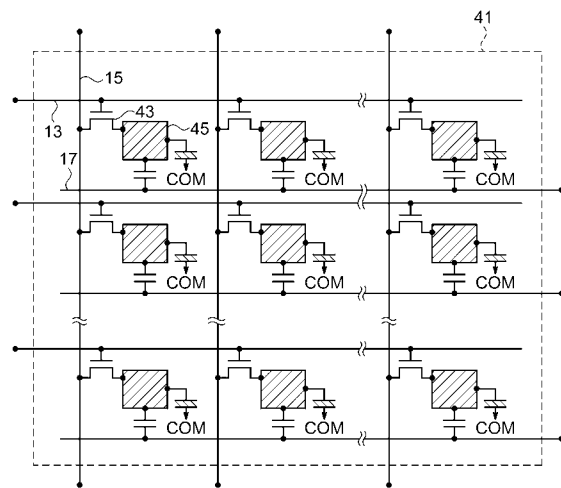
【 0 0 8 4 】

- 1 1 . . . アクティブマトリクス基板
- 1 3 . . . 走査線
- 1 5 . . . データ線
- 1 7 . . . 容量線
- 4 5 . . . 画素電極
- 2 1 . . . 走査線駆動回路
- 2 3、1 2 3、2 2 3、3 2 3 . . . データ線駆動回路
- 2 5 . . . データ線プリチャージ回路

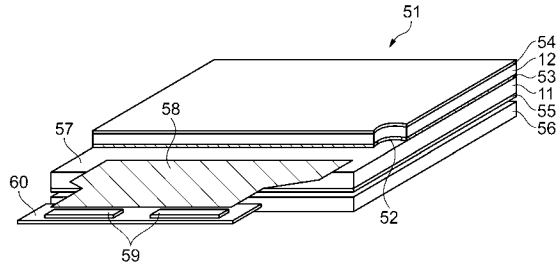
【 図 1 】



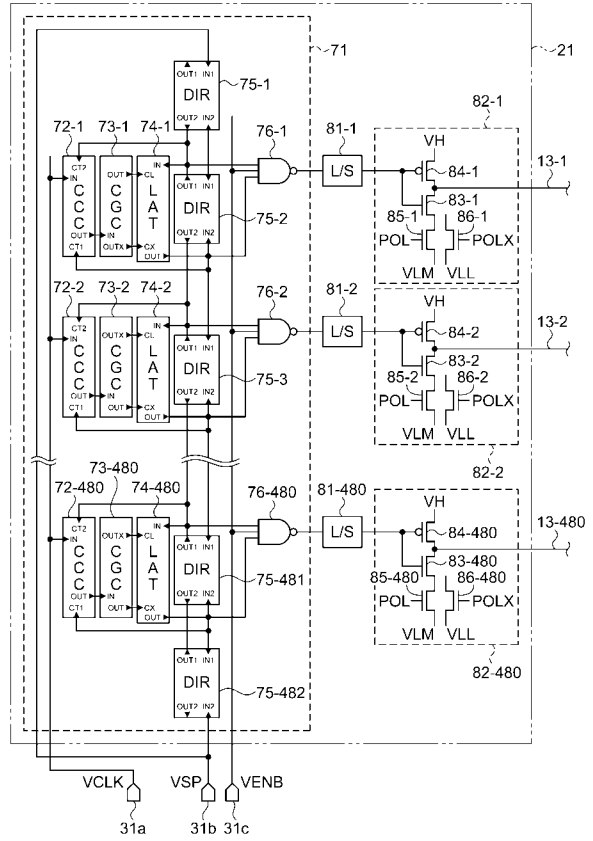
【 図 2 】



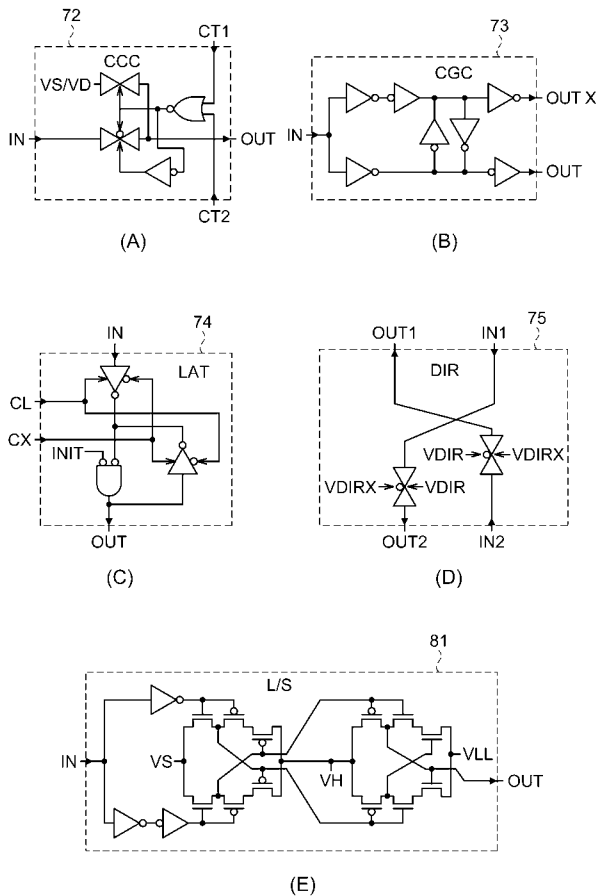
【図3】



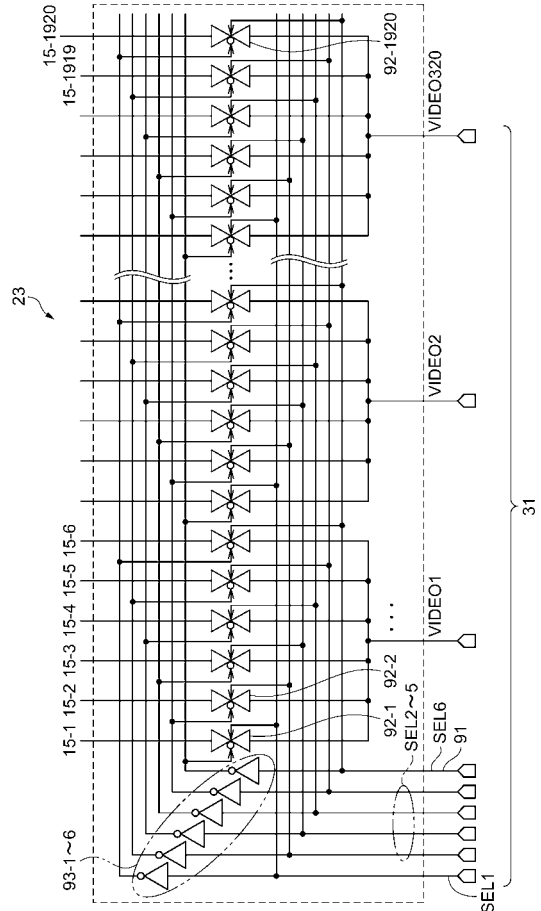
【図4】



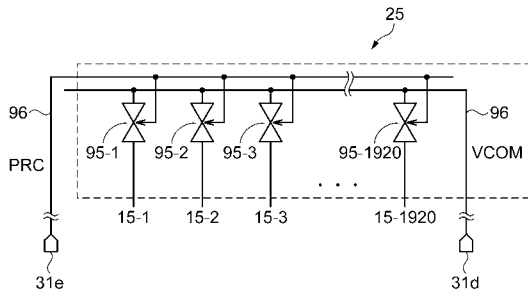
【図5】



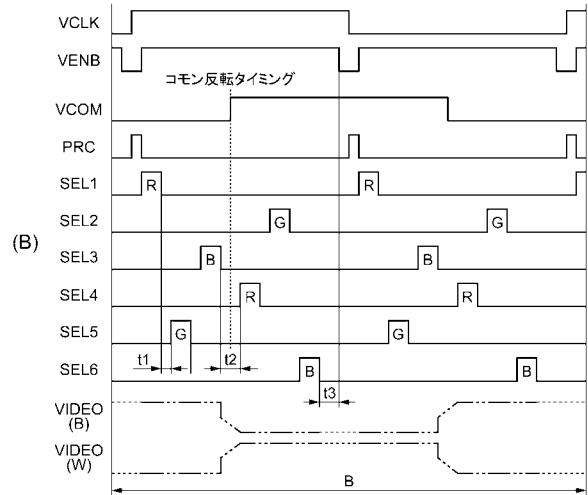
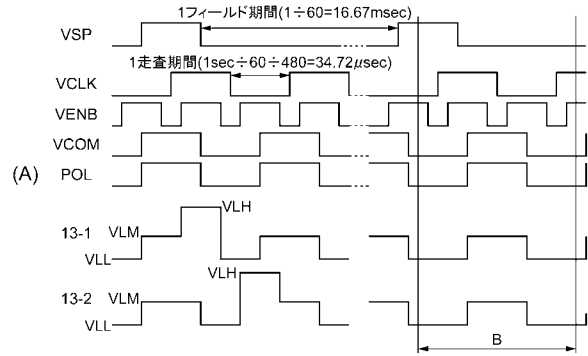
【図6】



【図 7】



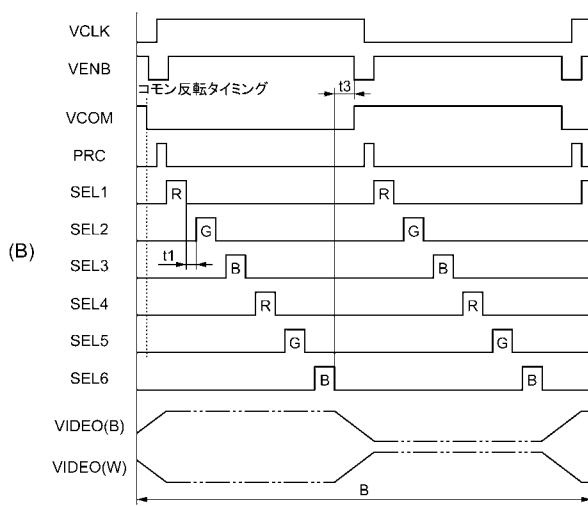
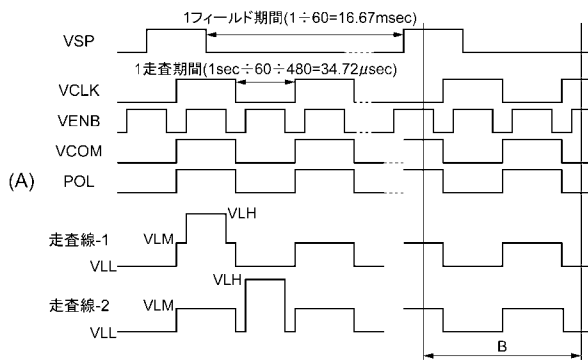
【図 8】



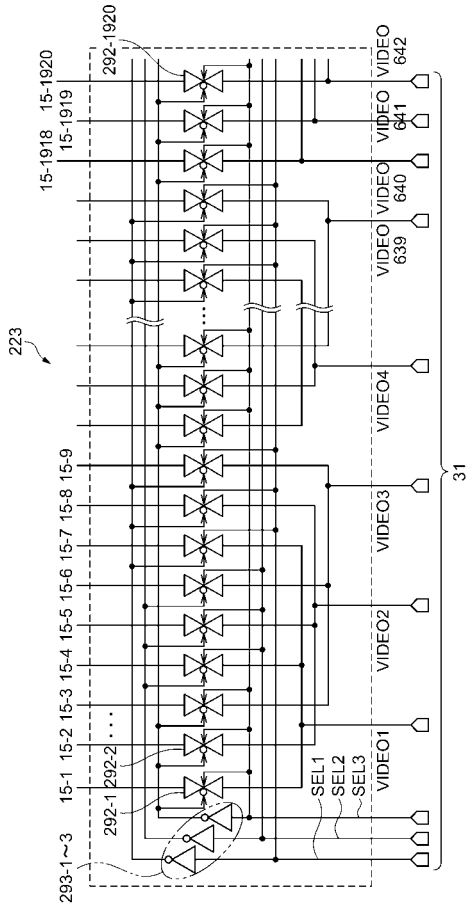
【図 9】

	R	G	B	R	G	B	R	G	B	R	G	B	データ線 1918 15-1918	データ線 1919 15-1919	データ線 1920 15-1920
走査線1 13-1	+3.98	-4.00	-4.00	+3.98	-4.00	-4.00	+3.98	-4.00	-4.00	+3.98	-4.00	-4.00	+4.00	-3.98	+4.00
走査線2 13-2	-3.98	+4.00	+4.00	-3.98	+4.00	+4.00	-3.98	+4.00	+4.00	-3.98	+4.00	+4.00	+4.00	-3.98	-4.00
走査線3 13-3	+3.98	-4.00	-4.00	+3.98	-4.00	-4.00	+3.98	-4.00	-4.00	+3.98	-4.00	-4.00	+4.00	-3.98	+4.00
走査線480 13-480	-3.98	+4.00	+4.00	-3.98	+4.00	+4.00	-3.98	+4.00	+4.00	-3.98	+4.00	+4.00	+4.00	-3.98	-4.00
	データ線1 15-1	データ線2 15-2	データ線3 15-3	データ線4 15-4	データ線5 15-5	データ線6 15-6									

【図 10】



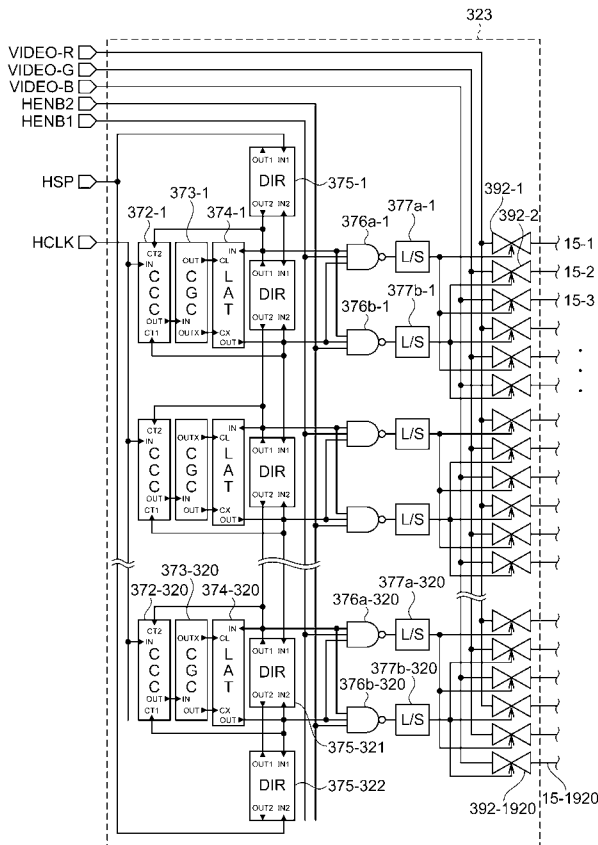
【図15】



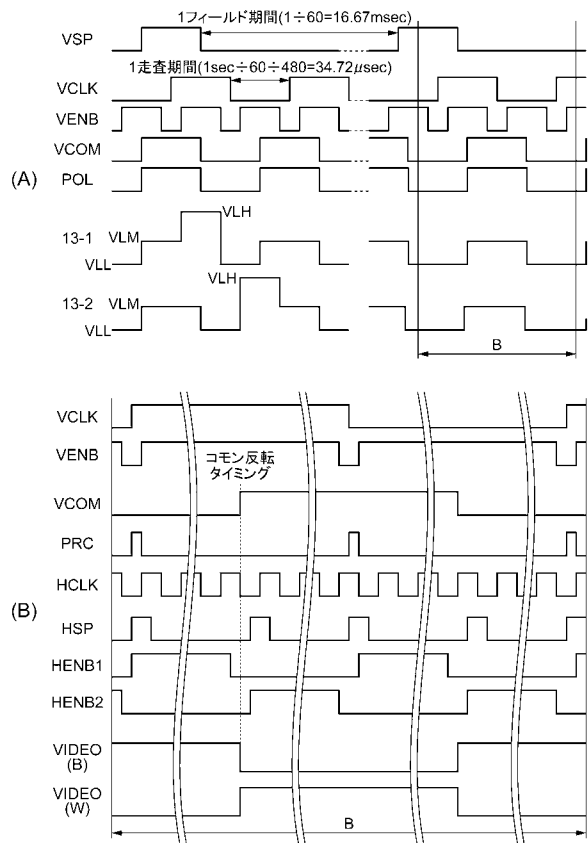
【図16】

走査線13-1	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	データ線1918 15-1918
走査線13-2	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	データ線1919 15-1919
走査線13-3	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	+3.98	-3.98	データ線1920 15-1920
走査線480	-3.98	+4.00	-4.00	+4.00	-4.00	+4.00	-4.00	+4.00	-4.00	+4.00	-4.00	+4.00	データ線15-5 15-6
													データ線15-4 15-5
													データ線15-3 15-4
													データ線15-2 15-3
													データ線15-1 15-2

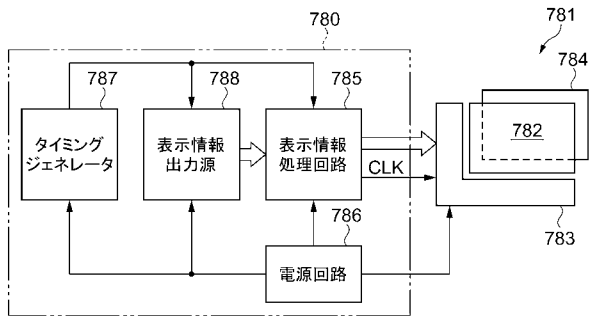
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 C
G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 2 4 D
G 0 9 G 3/20 6 2 4 E
G 0 9 G 3/20 6 1 2 G

審査官 小川 浩史

(56)参考文献 特開2005-070539(JP,A)
特開2003-330431(JP,A)
特開2002-366104(JP,A)
特開2002-366106(JP,A)
特開平11-327518(JP,A)
特開2002-108309(JP,A)
特開2002-318566(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	用于驱动液晶显示装置的方法，液晶显示装置和电子装置		
公开(公告)号	JP4419897B2	公开(公告)日	2010-02-24
申请号	JP2005100085	申请日	2005-03-30
申请(专利权)人(译)	三洋爱普生影像设备公司		
当前申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	小橋裕 戸谷隆史		
发明人	小橋 裕 戸谷 隆史		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3677 G09G3/3688 G09G2310/0248 G09G2310/027 G09G2310/0289 G09G2310/08		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G09G3/20.611.E G09G3/20.621.B G09G3/20.622.C G09G3/20.623.C G09G3/20.623.D G09G3/20.624.D G09G3/20.624.E G09G3/20.612.G		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA34 2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC15 2H093/NC18 2H093/NC23 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND05 2H093/ND09 2H093/ND10 2H093/ND15 2H093/ND35 2H093/ND38 2H093/ND48 2H093/ND54 2H093/ND58 2H093/ND60 2H093/NE06 2H093/NH14 2H093/NH15 2H093/NH18 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZC02 2H193/ZC20 2H193/ZD32 2H193/ZD34 2H193/ZE06 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZH40 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AC26 5C006/AC27 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF37 5C006/FA14 5C006/FA23 5C006/FA48 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	须泽 修		
审查员(译)	小川博		
其他公开文献	JP2006276794A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在常见的反转驱动中实现点反转驱动。解决方案：在各个定时向多个扫描线提供选择电位和非选择电位，使得它们中的任何一个被提供给像素开关元件，并且通过第一和第二电位之间的反转驱动来驱动对电极，当对电极从第一电位反转到第二电位时，至少一条扫描线在公共反转时序处于选择电位。因此，数据线在扫描线选择期间处于浮置状态以执行公共反转。非选择电位的扫描线与浮动或共同反转同步地执行反转驱动。

