

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4354944号
(P4354944)

(45) 発行日 平成21年10月28日 (2009. 10. 28)

(24) 登録日 平成21年8月7日 (2009. 8. 7)

(51) Int. Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 9 (全 10 頁)

(21) 出願番号	特願2005-354237 (P2005-354237)	(73) 特許権者	501426046
(22) 出願日	平成17年12月8日 (2005. 12. 8)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2007-11259 (P2007-11259A)		ミテッド
(43) 公開日	平成19年1月18日 (2007. 1. 18)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成17年12月8日 (2005. 12. 8)		イドードン 20
(31) 優先権主張番号	2005-057631	(74) 代理人	100064447
(32) 優先日	平成17年6月30日 (2005. 6. 30)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 IPSモード液晶表示素子

(57) 【特許請求の範囲】

【請求項 1】

第1基板上に互いに直交して第1、第2及び第3領域に区分された単位画素を定義する複数本のゲート配線及びデータ配線と、

前記ゲート配線及びデータ配線の交差点に形成された薄膜トランジスタと、

前記ゲート配線に平行に形成された共通配線と、

前記共通配線から分岐し、前記第1領域で第1角度に、前記第2領域で第2角度に、前記第3領域で第3角度に折り曲げられる共通電極と、

前記薄膜トランジスタのドレイン電極と連結され、前記共通電極に平行に形成された画素電極と、

前記第1基板と該第1基板に対向する第2基板との間に形成された液晶層と、
を備えるIPSモード液晶表示素子であって、

前記共通電極及び画素電極は、ゲート配線方向を基準にして、前記第1領域で20°の角度に、前記第2領域で15°の角度に、前記第3領域で10°の角度に折り曲げられることを特徴とするIPSモード液晶表示素子。

【請求項 2】

前記第1及び第2基板の内側面に配向膜がさらに備えられることを特徴とする請求項1に記載のIPSモード液晶表示素子。

【請求項 3】

前記配向膜は、ゲート配線方向に初期配向されることを特徴とする請求項2に記載のIPS

P S モード液晶表示素子。

【請求項 4】

前記薄膜トランジスタは、前記第 1 領域のゲート配線及びデータ配線の交差点に備えられることを特徴とする請求項 1 に記載の I P S モード液晶表示素子。

【請求項 5】

前記共通電極と前記画素電極との間の距離は、一定であることを特徴とする請求項 1 に記載の I P S モード液晶表示素子。

【請求項 6】

前記共通配線はピクセル領域の中間に形成されることを特徴とする請求項 1 に記載の I P S モード液晶表示素子。

10

【請求項 7】

前記共通配線を中心にして画素領域の上下部にそれぞれ配置された画素電極と共通電極とが対称になることを特徴とする請求項 6 に記載の I P S モード液晶表示素子。

【請求項 8】

前記共通電極は前記共通配線と一体型で形成されることを特徴とする請求項 1 に記載の I P S モード液晶表示素子。

【請求項 9】

前記薄膜トランジスタは、ゲート電極、半導体層、ソース/ドレイン電極で構成されることを特徴とする請求項 1 に記載の I P S モード液晶表示素子。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、液晶表示素子 (L C D) に係り、特に、1 つの単位画素領域内で液晶配向角度をマルチにすることによって、開口率を減少させることなしに応答速度を改善することができる I P S モード液晶表示素子に関する。

【背景技術】

【0002】

近来、注目されつつある平板表示素子の一つである液晶表示素子は、液体の流動性と結晶の光学的性質を兼備している液晶に電界を加えて光学的異方性を変化させる素子であり、従来の陰極線管 (C R T) に比べて消費電力が低く、ボリュームが小さく、かつ、大型化及び高精細が可能であるという点から広く使用されている。

30

【0003】

かかる液晶表示素子は、液晶の性質とパターンの構造によって多種多様なモードがある。

【0004】

その例には、液晶配向子が 90° ツイストするように配列した後、電圧を加えて液晶配向子を制御する T N (Twisted Nematic) モードと、1 画素を多数のドメインに分け、それぞれのドメインの主視野角方向を異ならせて広視野角を実現するマルチドメイン (Multi-Domain) モードと、補償フィルムを基板外周面に付着し、光の進行方向による光の位相変化を補償する O C B (Optically Compensated Birefringence) モードと、一方の基板上に 2 つの電極を形成し、液晶の配向子が配向膜の並んだ平面でねじれるようにする I S P (In-Plane Switching) モードと、ネガティブ型液晶と垂直配向膜を用いて液晶分子の長軸が配向膜平面に垂直配列されるようにする V A (Vertical Alignment) モード等がある。

40

【0005】

その中、I P S モード液晶表示素子は、通常、相対向するように配置されてそれらの間に液晶層が備えられるカラーフィルタアレイ基板と薄膜トランジスタアレイ基板とで構成される。

【0006】

ここで、カラーフィルタアレイ基板には、光漏れを防止するためのブラックマトリクス

50

と、このブラックマトリクス上に色を表現するための R、G、B のカラーフィルタ層とが形成される。

【0007】

また、薄膜トランジスタアレイ基板には、単位画素を定義するゲート配線及びデータ配線と、これらゲート配線及びデータ配線の交差点に形成された薄膜トランジスタと、交互に交差されて横電界を発生させる共通電極及び画素電極とが形成される。

【0008】

以下、図1乃至図3に基づき、従来の IPS モード液晶表示素子について説明する。

図1は、従来の IPS モード液晶表示素子の単位画素を示す平面図で、図2は、図1に示したものと異なる形態である従来の IPS モード液晶表示素子の単位画素を示す平面図で、図3は、従来の IPS モード液晶表示素子における電圧 - 透過度曲線を示すグラフである。

【0009】

具体的には、IPS モード液晶表示素子の薄膜トランジスタアレイ基板は、図1に示すように、一列に配置された複数本のゲート配線12と、これに直交する複数本のデータ配線15とにより単位画素が定義され、この単位画素には、スイッチの役割を担う薄膜トランジスタ(TFT)と、ゲート配線12に平行する共通配線25と、この共通配線25から一部分岐して単位画素領域内でゲート配線方向(横方向)に配置される共通電極24と、これら共通電極24の間で交互するように形成され、共通電極24に平行する画素電極17とで構成される。

【0010】

ここで、画素電極17及び共通電極24は、1つの単位画素領域を複数個のブロック30に分割するが、共通配線25及び共通電極24は、アクティブ領域の外部からVcom信号を受け、画素電極は、コンタクトホール18を介して薄膜トランジスタのドレイン電極15bに接続されてピクセル信号を受けることによって、共通電極24と画素電極17との間に横電界を形成し、この横電界によりブロック30内部の液晶分子が再配列される。

【0011】

この場合、画素電極17及び共通電極24は、ゲート配線方向に配置されるものの、ゲート配線方向(横方向の角度は0°)を基準にして10度の角度(α)を持つように配置され、液晶分子は、ゲート配線方向に初期配向された後、横電界により画素電極17と共通電極24に対して垂直方向に再配列され、これにより光の透過度合が決定される。一般のIPSモードでは、液晶の最大透過角度がラビング方向を基準にして45°とされるので、駆動電圧印加時に初期配向された液晶分子が45° - α 、すなわち35°の角度だけ回転すればよい。

【0012】

このようなIPSモード液晶表示素子では、図1に示すように、単位画素領域が16個のブロック30に分割される。

【0013】

一方、IPSモード液晶表示素子の慢性的な応答速度の問題を改善するために、図2に示すように、画素電極117及び共通電極124をゲート配線方向に配置するものの、ゲート配線方向(0°)を基準に20°の角度(β)を持つように配置することもできる。

【0014】

この場合、液晶分子は、ゲート配線112方向に初期配向された後、横電界により画素電極117と共通電極124に対して垂直方向に再配列されるが、一般に、液晶の最大透過角度がラビング方向を基準に45°とされるので、駆動電圧印加時に初期配向された液晶分子が45° - β 、すなわち、25°の角度だけ回転すればよい。

【0015】

したがって、横電界により液晶分子が35°回転するよりは、25°回転するほうがより容易であり、結果として応答速度が改善される。

【 0 0 1 6 】

しかしながら、画素電極 1 1 7 及び共通電極 1 2 4 をゲート配線方向を基準に 2 0 ° の角度で配置すると、画素電極 1 1 7 と共通電極 1 2 4 により分割されるブロック 1 3 0 の数が 1 4 個に減少する。すなわち、画素電極 1 1 7 と共通電極 1 2 4 の配置角度が大きくなると、定められた大きさの単位画素領域内に形成可能な電極の個数は減少するので、ブロック 1 3 0 の個数も減少する。

【 0 0 1 7 】

したがって、画素電極及び共通電極の角度を大きくすると、I P S モード液晶表示素子の応答速度は改善されるが、ブロック個数の減少による輝度減少につながる問題が生じてしまう。

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 8 】

すなわち、上記の従来技術による I P S モード液晶表示素子は、次のような問題点がある。

【 0 0 1 9 】

共通電極と画素電極をゲート配線方向に配置する横方向電極モードの I P S モード液晶表示素子において、共通電極と画素電極をゲート配線方向を基準に 1 0 ° の角度を持つように配置すると、ブロックの個数が多くなるために液晶表示素子の輝度は向上するが、液晶分子が回転すべき角度は多少大きくなるために応答速度は遅くなる。

20

【 0 0 2 0 】

一方、共通電極と画素電極をゲート配線方向を基準に 2 0 ° の角度を持つように配置すると、液晶分子の応答速度をより速くすることはできるが、電極の配置角度が大きいために、定められたサイズの単位画素領域内におけるブロックの個数は減少し、液晶表示素子の開口領域が減ってしまう。

【 0 0 2 1 】

また、従来の I P S モード液晶表示素子における電圧印加による透過度特性 (T - V 特性) を調べた結果を示す図 3 からわかるように、飽和電圧 V s a t 1、V s a t 2 の幅が狭いという短所がある。

【 0 0 2 2 】

30

本発明は、上記問題を鑑みてなされたもので、その目的は、1 つの単位画素領域内で共通電極及び画素電極をマルチ角度で形成し液晶配向角度をマルチにすることによって、開口率を減少させることなしに応答速度を向上させ、T - V 特性を改善することができる横方向電極構造の I P S モード液晶表示素子を提供することにある。

【 課題を解決するための手段 】

【 0 0 2 3 】

上記目的を達成するために、本発明に係る I P S モード液晶表示素子は、第 1 基板上に互いに直交して第 1、第 2、第 3 領域に区分された単位画素を定義する複数本のゲート配線及びデータ配線と、ゲート配線及びデータ配線の交差点に形成された薄膜トランジスタと、ゲート配線に平行に形成された共通配線と、共通配線から分岐し、第 1 領域で第 1 角度に、第 2 領域で第 2 角度に、第 3 領域で第 3 角度に折り曲げられた共通電極と、薄膜トランジスタのドレイン電極と連結され、共通電極に平行に形成された画素電極と、第 1 基板とこれに対向する第 2 基板との間に形成された液晶層とを備えてなることを特徴とする。

40

【 0 0 2 4 】

ここで、共通電極及び画素電極は、第 1 領域で 2 0 ° の角度に、第 2 領域で 1 5 ° の角度に、第 3 領域で 1 0 ° の角度に折り曲げ、ゲート配線方向 (0 ° の角度) に初期配向されていた液晶分子をマルチ方向に再配列させることによって、応答速度を向上させる。

【 0 0 2 5 】

また、薄膜トランジスタを第 1 領域に形成し、定められた単位画素領域内のブロック個

50

数を最適化することによって、液晶表示素子の輝度を向上させる。

【発明の効果】

【0026】

本発明のIPSモード液晶表示素子は、次のような効果がある。

第一の効果として、1つの単位画素領域内で共通電極及び画素電極をマルチ角度に形成することによって液晶配向角度をマルチにしたため、ブロック数を最適化でき、液晶表示素子の輝度を向上させることができる。

【0027】

第二の効果として、飽和電圧の幅を拡張できる等、T-V特性を改善することができる。

【0028】

第三の効果として、共通電極及び画素電極の角度を大きくした領域にマージンが確保されるため、薄膜トランジスタを形成する領域のマージンが十分に確保される。

【0029】

第四の効果として、共通電極及び画素電極をマルチ角度に形成するため、電極の角度が大きい領域で液晶分子の応答速度が速くなり、液晶分子の応答速度の速い領域と隣接する領域の液晶分子とが相互作用するため、全体的に応答速度が速くなり、その結果、液晶分子を駆動するために印加する駆動電圧を下げる事が可能になる。

【発明を実施するための最良の形態】

【0030】

以下、添付の図面に基づき、本発明に係るIPSモード液晶表示素子について詳細に説明する。

【0031】

図4は、本発明によるIPSモード液晶表示素子の単位画素を示す平面図であり、図5A乃至図5Cは、図4のI、II、III領域をそれぞれ拡大して示す平面図であり、図6は、本発明における電圧-透過度曲線を示すグラフである。

【0032】

本発明によるIPSモード液晶表示素子の薄膜トランジスタアレイ基板は、図4に示すように、一列に配置された複数本のゲート配線512と、これに直交する複数本のデータ配線515とによりI、II、III領域に区分された単位画素が定義され、この単位画素には、スイッチの役割を担う薄膜トランジスタと、ゲート配線512に平行に配置され、アクティブ領域の外部からVcom信号が印加される共通配線525と、この共通配線525から分岐してVcom信号が流れ、I、II、III領域でそれぞれ異なる角度に折り曲げられた複数個の共通電極524と、コンタクトホール518を介して薄膜トランジスタのドレイン電極515bに接続されて共通電極524に平行な横電界を形成する画素電極517とを備えている。

【0033】

このように、本発明による共通電極524と画素電極517は、ゲート配線方向を基準に一定の角度を持つように配置されるもので、I、II、III領域でそれぞれ異なる角度に折り曲げられていることに特徴がある。すなわち、図5A乃至図5Cのそれぞれに示すように、I領域では20°の角度に、II領域では15°の角度に、III領域では10°の角度に折り曲げられているように形成する。この場合、ゲート配線方向に初期配向された液晶分子は、一定の角度に折り曲げられた電極により、折り曲げられた電極角だけラビングされたような効果が得られる。

【0034】

したがって、ゲート配線方向(0°の角度)に初期ラビング配向された液晶分子550が、画素電極と共通電極との間に形成される横電界により、ラビング方向を基準に45°回転し再配列されて光の透過度合が決定されるが、ホワイト画面駆動のための電圧印加時に、I領域では、電極角が20°なので液晶分子が25°回転すればよく、II領域では、電極角が15°なので液晶分子が30°回転すればよく、III領域では、電極角が10°

10

20

30

40

50

なので液晶分子が 35° 回転すればよい。この際に、液晶層の粘度による相互作用によりⅠ、Ⅱ、Ⅲ領域の液晶と一緒に回転するので、液晶分子の応答速度が全体的に速くなり、これにより、液晶分子を駆動するために印加する駆動電圧を下げるができる。

【0035】

その結果、電圧印加による透過度特性を調べた図6に示すように、マルチ角度に電極を構成した横電界方向のIPSモード液晶表示素子に対する飽和電圧 V_{sat} の幅が、従来に比べて広がったことが確認された。

【0036】

すなわち、電極から 15° にラビングされた液晶を 45° に回転(30° 回転)するのにかかる飽和電圧を $15V$ (共通電極 $7V$)と仮定すれば、 20° ラビングされた液晶は、 45° になるには 25° だけ回転すればよいので、 $14V$ でも駆動可能になるが、本発明による液晶分子は、液晶の粘性から、 20° ラビングされた液晶分子によって 10° ラビングされた液晶分子の応答速度も速くなるので、マルチラビング角モードでは $14\sim 15V$ が飽和電圧となる。これは、駆動電圧マージンにおいて相当な利得とされる。

【0037】

但し、Ⅰ、Ⅱ、Ⅲ領域において共通電極524及び画素電極517をマルチ角度に形成する時、画素電極517と共通電極524との間のブロック530幅 d を全領域において一定に維持し、画素電極517及び共通電極524の幅も同一に形成し、かつ、共通配線525を中心にして画素領域の上下にそれぞれ配置された画素電極517と共通電極524とが対称となるように形成する。ここで、画素電極517と共通電極524との間の幅 d は、この両電極517、524の垂直方向に対する幅であり、両電極間の距離が変わると、ノーマリーブラックモードではホワイト画面駆動時に駆動電圧がそれぞれ異なってくるので注意すべきである。

【0038】

このように、画素電極517及び共通電極524をマルチ角度に形成するものの、画素領域の上下にそれぞれ配置された画素電極517と共通電極524とが対称となるように形成するので、電極が 20° に折り曲げられたⅠ領域においてゲート配線512とデータ配線515とが交差する部分にマージンができる。すなわち、電極が大きい角度で形成される領域は、電極の縦横比が大きいためにそれだけ余裕のある空間が確保されるのである。

【0039】

したがって、上記の余裕のある空間に薄膜トランジスタを形成することによって、薄膜トランジスタの設計領域(W/L)のマージン幅を確保することができる。

【0040】

また、画素電極517及び共通電極524をマルチ角度に形成する場合、単位画素領域に対する最適設計が可能なので、画素電極517と共通電極524により分割されるブロック530の数も多くなり、開口率を高めることができる。

【0041】

すなわち、本発明による画素電極517と共通電極524の配置パターンは、電極の角度が大きい構造の液晶表示素子の長所と電極の角度が小さい構造の液晶表示素子の長所を同時に有している。

【0042】

ちなみに、ゲート配線512、共通配線525及び共通電極524は、銅(Cu)、アルミニウム(Al)、アルミニウム合金(AlNd)、モリブデン(Mo)、クロム(Cr)、チタニウム(Ti)、タンタル(Ta)、モリブデン-タンゲステン(MoW)などの不透明な金属を使用して同一層に形成し、画素電極517は、ITO(インジウム-スズ-オキサイド)またはIZO(インジウム-亜鉛-オキサイド)の透明な導電層を使用して形成する。

【0043】

ここで、ゲート配線512とデータ配線515との間の全面にはゲート絶縁膜が介在さ

10

20

30

40

50

れ、データ配線 5 1 5 と画素電極 5 1 7 との間には保護膜が介在されて相互に異なる層を絶縁させる。このゲート絶縁膜と保護膜は、シリコン窒化物 (SiN_x)、シリコン酸化物 (SiO_x) などの無機絶縁物質を PECVD (plasma enhanced chemical vapor deposition) 方法で蒸着して形成する。

【0044】

そして、Vcom 信号の流れる共通配線 5 2 5 及び共通電極 5 2 4 にピクセル電圧の流れる画素電極 5 1 7 がオーバーラップされる部分では、ストレージキャパシタンスが形成され、これにより、薄膜トランジスタのターンオフ区間で液晶層に充電された電圧が維持され、寄生容量による画質低下が防止される。

【0045】

10

このような薄膜トランジスタアレイ基板には、ブラックマトリクス、カラーフィルタ層及びオーバーコート層が形成されたカラーフィルタアレイ基板が対向して合着され、この両基板間には液晶層が形成される。この薄膜トランジスタアレイ基板及びカラーフィルタアレイ基板の内側面にはそれぞれ、液晶層をゲート配線方向 (0° の角度) に初期配向させるために配向膜をさらに備える。

【0046】

一方、以上では本発明を具体的な実施形態及び図面に限定して説明してきたが、本発明の技術的思想を逸脱しない範囲内で各種置換、変形及び変更が可能であることは、本発明の属する技術分野で通常の知識を持つ者にとっては明白である。

【0047】

20

すなわち、上記の実施形態では、共通電極及び画素電極をマルチ角度に形成するに当たり、I 領域では 20° 角度に、II 領域では 15° 角度に、III 領域では 10° 角度にそれぞれ折り曲げるように形成した場合について説明したが、これに限定されず、最適化した他の角度に設計することも可能である。

【図面の簡単な説明】

【0048】

【図 1】従来の IPS モード液晶表示素子の単位画素を示す平面図である。

【図 2】図 1 に示したものと異なる形態である従来の IPS モード液晶表示素子の単位画素を示す平面図である。

【図 3】従来技術における電圧 - 透過度曲線を示すグラフである。

30

【図 4】本発明による IPS モード液晶表示素子の単位画素を示す平面図である。

【図 5 A】図 4 の I 領域を拡大して示す平面図である。

【図 5 B】図 4 の II 領域を拡大して示す平面図である。

【図 5 C】図 4 の III 領域を拡大して示す平面図である。

【図 6】本発明における電圧 - 透過度曲線を示すグラフである。

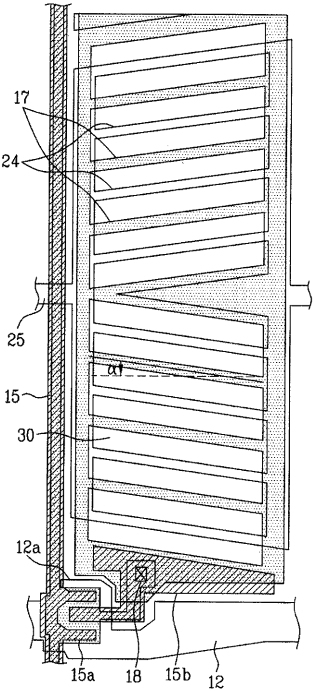
【符号の説明】

【0049】

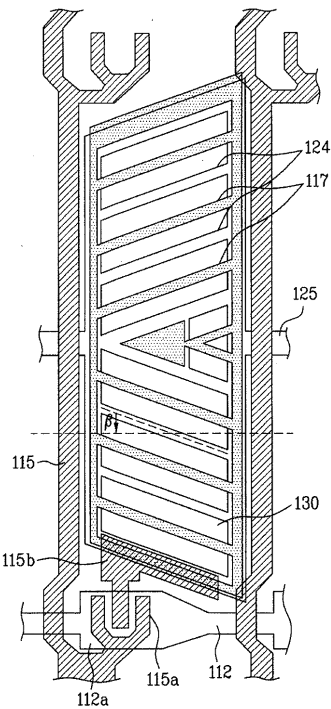
5 1 2 ゲート配線
5 1 2 a ゲート電極
5 1 5 データ配線
5 1 5 a ソース電極
5 1 5 b ドレイン電極
5 1 7 画素電極
5 1 8 コンタクトホール
5 2 4 共通電極
5 2 5 共通配線
5 3 0 ブロック
5 5 0 液晶分子

40

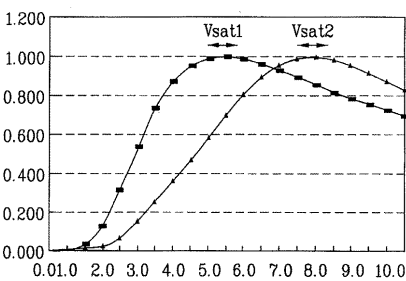
【図 1】



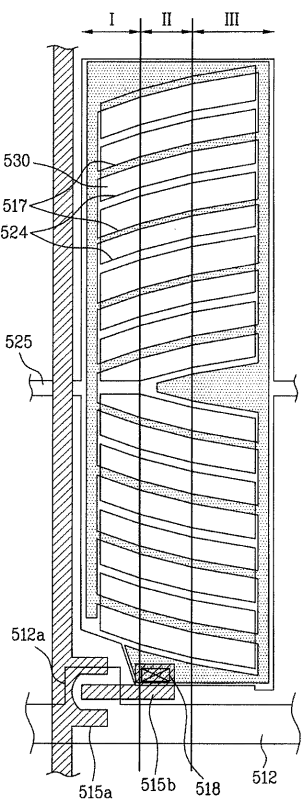
【図 2】



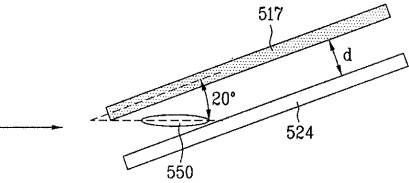
【図 3】



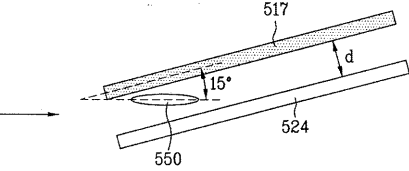
【図 4】



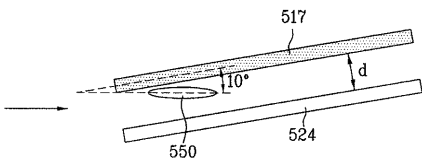
【図 5 A】



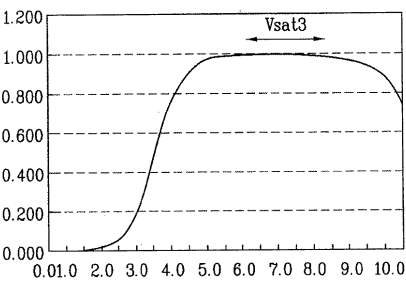
【図 5 B】



【図 5 C】



【図 6】



フロントページの続き

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 李 尚 胤

大韓民国 慶尚北道 聞慶市 店村洞 4 3 5 - 3 6

(72)発明者 崔 雲 葉

大韓民国 釜山廣域市 沙上區 徳浦1洞 9 4 - 7

審査官 藤田 都志行

(56)参考文献 特開2002-156642(JP,A)

特開2000-305097(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 6 8

专利名称(译)	IPS模式液晶显示元件		
公开(公告)号	JP4354944B2	公开(公告)日	2009-10-28
申请号	JP2005354237	申请日	2005-12-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	李尚胤 崔雲葉		
发明人	李 尚 胤 崔 雲 葉		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/133753 G02F2201/122		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA24 2H092/HA02 2H092/HA06 2H092/JA24 2H092/JA37 2H092/JA38 2H092/JA41 2H092/JA42 2H092/JB05 2H092/JB32 2H092/NA05 2H092/NA07 2H092/QA06 2H192/AA24 2H192/BB02 2H192/BB54 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC42 2H192/DA32 2H192/EA22 2H192/EA43 2H192/JA33		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020050057631 2005-06-30 KR		
其他公开文献	JP2007011259A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种IPS模式液晶显示装置，其可以在不降低孔径比的情况下提高响应速度并改善透射电压特性。解决方案：IPS模式液晶装置包括布置在第一基板上的多条栅极线和数据线，以彼此交叉以限定单位像素区域，其中每个像素区域被分成第一，第二和第三子区域。薄膜晶体管布置在每个交叉点处，公共线与栅极线平行，公共电极从公共线分支并且分别在第一，第二和第三角度在第一，第二和第三子区域中弯曲。每个像素电极连接到每个薄膜晶体管的漏电极并且与公共电极并联布置。液晶层设置在第一基板和与第一基板相对的第二基板之间。Ž

【 图 2 】

