

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4251799号  
(P4251799)

(45) 発行日 平成21年4月8日(2009.4.8)

(24) 登録日 平成21年1月30日(2009.1.30)

(51) Int.Cl.	F 1	
<b>GO2F</b> 1/1345 (2006.01)	GO2F	1/1345
<b>GO2F</b> 1/1368 (2006.01)	GO2F	1/1368
<b>GO9F</b> 9/00 (2006.01)	GO9F	9/00 352
<b>GO9F</b> 9/30 (2006.01)	GO9F	9/30 330Z
<b>GO9F</b> 9/35 (2006.01)	GO9F	9/30 338

請求項の数 6 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2001-330937 (P2001-330937)	(73) 特許権者	390019839
(22) 出願日	平成13年10月29日(2001.10.29)		三星電子株式会社
(65) 公開番号	特開2002-196356 (P2002-196356A)		SAMSUNG ELECTRONICS
(43) 公開日	平成14年7月12日(2002.7.12)		CO., LTD.
審査請求日	平成16年10月27日(2004.10.27)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2000-63451		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成12年10月27日(2000.10.27)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
前置審査		(74) 代理人	100094145
			弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

下部基板と、

前記下部基板の上に形成されるゲート線、前記ゲート線と交差するデータ線、前記ゲート線と前記データ線とに電気的に連結される薄膜トランジスタ、前記薄膜トランジスタに電気的に連結される画素電極線及び前記画素電極線の間形成される共通電極線を含む画素領域が複数個配列されている表示領域と、

前記複数個の画素領域の共通電極線が連結された共通電圧用パターンと、

前記表示領域の外側であって前記表示領域と隣接して形成され、前記共通電圧用パターンに連結され、前記ゲート線とは分離されているゲート線用のテストパッドと、

を含む液晶表示装置。

【請求項 2】

前記テストパッド及び前記共通電圧用パターンは前記下部基板上に形成され、

前記テストパッドと前記共通電圧用パターンとを覆い、前記テストパッドと前記共通電圧用パターンとを各々露出する接触孔が形成された絶縁膜と、

前記接触孔を通じて前記テストパッドと前記共通電圧用パターンとを連結する連結パターンと、

を含む請求項 1 に記載の液晶表示装置。

【請求項 3】

前記下部基板に対向する上部基板と、

前記上部基板に、画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリックスと、

をさらに含む請求項 2 に記載の液晶表示装置。

【請求項 4】

下部基板と、

前記下部基板の上に形成されるゲート線、前記ゲート線と交差するデータ線、前記ゲート線と前記データ線に電氣的に連結される薄膜トランジスタ、前記薄膜トランジスタに電氣的に連結される画素電極線及び前記画素電極線の間形成される共通電極線を含む画素領域が複数個配列されている表示領域と、

前記共通電極線に連結されて前記表示領域の外側に形成される共通電圧用パターンと、  
前記ゲート線に連結されて前記表示領域の外側であって前記表示領域に隣接して形成されるテストパッドと、

前記共通電圧用パターンに連結され、前記テストパッドに重なりかつ前記テストパッドとは絶縁されている導電パターンと、

を含む液晶表示装置。

【請求項 5】

前記テストパッド及び前記共通電圧用パターンは前記下部基板上に形成され、

前記テストパッドと前記共通電圧用パターンとを覆い、前記共通電圧用パターンを露出する接触孔が形成された絶縁膜を含み、

前記導電パターンは、前記接触孔を通じて前記共通電圧用パターンと連結され、前記絶縁膜を隔てて前記テストパッドと重なる、

請求項 4 に記載の液晶表示装置。

【請求項 6】

前記下部基板に対向する上部基板と、

前記上部基板に画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリックスと、

をさらに含む請求項 4 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関わり、特に、水平電界（Coplanar Electrode, CE）方式の液晶表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】

水平電界方式の液晶表示装置は画素電極と共通電極とを同一平面に形成し、画素電極と共通電極との間に発生する水平電界を利用して液晶を駆動することによって広視野角を具現する。

【0003】

水平電界方式の液晶表示装置において、下部基板の表示領域には複数個のゲート線と複数個のデータ線とが交差して定義された複数個の画素セル領域がマトリックス形状に配列されている。画素セルはゲート線及びデータ線に電氣的に連結されるスイッチング素子、スイッチング素子に電氣的に連結される画素電極及び画素電極との間に水平電界を発生させる共通電極を含む。そして、下部基板には更に、ゲート線各々の一端に連結されるゲートパッド、データ線各々の一端に連結されるデータパッド及び画素セル領域各々の共通電極を共通に連結する共通電圧用パターンなどが形成されている。

【0004】

水平電界方式の液晶表示装置において、上部基板には下部基板の画素セルに対応する赤（R）、緑（G）、青（B）のカラーフィルターセル及び下部基板の画素セル内部を除いた全領域を覆うブラックマトリックスが形成されている。

【0005】

10

20

30

40

50

一方、液晶表示装置の配線欠陥を点検するために、液晶表示装置のパネルテストを実施する。パネルテストのために液晶表示装置の製作工程において、ゲート線の一端を共通に連結させ、ゲート線の他の一端にテストパッドを形成する。パネルテストの際には二つのゲート線を選択し、選択されたゲート線のテストパッドにテスト電圧を印加することによって、二つのゲート線に連結された画素セルの配線欠陥を点検する。このようなパネルテストはゲート線全てに対して実施する。

【0006】

パネルテストの作業が終われば、液晶表示装置の作動のために共通に連結されていたゲート線を全て分離させる。

【0007】

しかし、液晶表示装置のテスト過程で用いられたテストパッドはパネルテストが終わった後にもゲート線に連結された状態で存在しているので、液晶表示装置の作動時にゲート電圧の印加を受ける。特に、オフ作動時にテストパッドに印加されたゲートオフ電圧は最後のラインに位置する画素セル内の水平電界を歪曲させ、この部分での液晶配列を歪曲させて光の漏れ現象を誘発するという問題点があった。

【0008】

【発明が解決しようとする課題】

本発明は光の漏れ現象を最小化して安定した画質を実現する液晶表示装置を提供することにその目的がある。

【0009】

【課題を解決するための手段】

このために本発明では、テストパッドをゲート線から分離させて共通電圧用パターンに連結する、あるいは、共通電圧用パターンで遮蔽する手段を用いる。

【0010】

詳細に見てみれば、本発明による液晶表示装置では、下部基板の上に複数個の画素領域が配列されている表示領域が定義されている。画素領域はゲート線、ゲート線と交差するデータ線、ゲート線とデータ線に電気的に連結される薄膜トランジスタ、薄膜トランジスタに電気的に連結される画素電極線及び画素電極線の間形成される共通電極線を含んでいる。そして、共通電圧用パターンが複数個の画素領域の共通電極線を連結しており、表示領域の外側には共通電圧用パターンには連結されるが、ゲート線からは分離されているテストパッドが形成されている。

【0011】

ここで、テストパッドが共通電圧用パターンに連結される構造は、基板の上にテストパッド及び共通電圧用パターンが形成され、絶縁膜がテストパッドと共通電圧用パターンを覆っており、導電性の連結パターンがテストパッドと共通電圧用パターンを各々露出する接触孔を通じてテストパッドと共通電圧用パターンとを連結している。

【0012】

この時、下部基板に対向する上部基板と、上部基板に画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリクスとをさらに含むことができる。

【0013】

本発明による液晶表示装置では、下部基板の上に複数個の画素領域が配列されている表示領域が定義されている。画素領域はゲート線、ゲート線と交差するデータ線、ゲート線とデータ線に電気的に連結される薄膜トランジスタ、薄膜トランジスタに電気的に連結される画素電極線及び画素電極線の間形成される共通電極線を含んでいる。そして、共通電圧用パターンが共通電極線に連結されて表示領域の外側に形成されており、テストパッドがゲート線に連結されて表示領域の外側に形成されており、導電パターンが共通電圧用パターンに連結され、テストパッドに重なるが、テストパッドとは絶縁されている。

【0014】

ここで、導電パターンがテストパッドと重なる構造は、基板の上にテストパッド及び共通

10

20

30

40

50

電圧用パターンが形成され、絶縁膜がテストパッドと共通電圧用パターンを覆っており、導電パターンが絶縁膜に共通電圧用パターンを露出する接触孔を通じて共通電圧用パターンと連結されるが、テストパッドとは絶縁膜を隔てて重なっている。この時、下部基板に対向する上部基板と、上部基板に画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリックスとをさらに含むことができる。

【 0 0 1 5 】

また、本発明による液晶表示装置では、下部基板の上に複数個の画素領域が配列されている表示領域が定義されている。画素領域はゲート線、ゲート線と交差するデータ線、ゲート線とデータ線に電氣的に連結される薄膜トランジスタ、薄膜トランジスタに電氣的に連結される画素電極線及び画素電極線の間形成される共通電極線を含んでいる。そして、共通電圧用パターンが共通電極線に連結されて表示領域の外部に形成されており、テストパッドがゲート線に連結されるが、表示領域の最後のラインに位置する画素領域とは画素領域幅の2倍以上の間隔をおいて形成されている。ここで、テストパッドと表示領域の最後のラインに位置する画素領域とは200 μm以上の間隔をおいて形成されることができ

10

【 0 0 1 6 】

【発明の実施の形態】

以下では、図面を参照して本発明について説明する。

【 0 0 1 7 】

[ 第1実施形態例 ]

図1は本発明の第1実施形態例による液晶表示装置における下部基板の平面図であり、図2は図1の切断線II-II'による液晶表示装置の断面図である。

20

【 0 0 1 8 】

水平電界方式の液晶表示装置では、下部基板100と上部基板200とが合着されており、“表示領域”と“周辺領域”とが定義されている。図面は説明の便宜のために、“表示領域”の最後のラインに位置する画素セルとそれに隣接する“周辺領域”のテストパッド26及び共通電圧用パターン29を示したものである。

【 0 0 1 9 】

“表示領域”には、複数個のゲート線22と複数個のデータ線62とが互いに交差して複数個の画素領域を定義している。各々の画素領域にはゲート線22とデータ線62に電氣的に連結される薄膜トランジスタ(TFT)が形成されており、薄膜トランジスタには画素電極配線67、68が連結されている。そして、液晶表示装置を駆動する際に画素電極配線67、68と協働して水平電界を形成する共通電極配線27、28が形成されている。

30

【 0 0 2 0 】

“周辺領域”には各々の画素領域に形成されている共通電極配線27、28を共通に連結する共通電圧用パターン29とゲート線22の一端に連結される途中で切れた状態のテストパッド26とが形成されている。図面には示していないが、ゲート線22の他の一端には、ゲート線22にゲート電圧を印加するための外部駆動回路に連結されるゲートパッドが形成されている。

40

【 0 0 2 1 】

このような液晶表示装置の構造の具体的な説明は次の通りである。

【 0 0 2 2 】

まず、下部基板100の上にクロム系またはモリブデン系からなる下部金属層201とアルミニウム系からなる上部金属層202の二重層構造のゲート配線22、24、26及び共通電極配線27、28、29が形成されている。

【 0 0 2 3 】

ゲート配線22、24、26は横方向に延長されたゲート線22、ゲート線22の一端に形成されて外部駆動回路からゲート信号を受けるゲートパッド(図示せず)、ゲート線22の一部であるゲート電極24及びゲート線22の他の一端付近に位置するが、ゲート線

50

22と分離されているテストパッド26を含む。

【0024】

ゲート線22とテストパッド26は製作工程では互いに連結されるように形成されるが、液晶表示装置のテストの後には後述される分離工程を通じて、図面に示したように互いに分離される。

【0025】

共通電極配線27、28、29は画素領域に形成される共通電極主線27と、共通電極主線27から延びる複数個の共通電極枝線28と、各々の画素領域に形成された複数個の共通電極主線27を共通に連結する共通電圧用パターン29とを含む。

【0026】

そして、ゲート配線22、24、26及び共通電極配線27、28、29を、窒化ケイ素のような絶縁物質からなるゲート絶縁膜30が覆っている。

【0027】

ゲート絶縁膜30の上には非晶質シリコンのような半導体物質からなる半導体パターン42が形成されており、半導体パターン42の上には、不純物がドーピングされた非晶質シリコンのような半導体物質からなる抵抗性接触層55、56が形成されている。

【0028】

そして、導電物質からなるデータ配線62、65、66及び画素電極配線67、68が半導体パターン42と電氣的に連結されている。

【0029】

データ配線62、65、66は、ゲート線22に交差して縦方向に延びるデータ線62、データ線62の一端に形成されて外部駆動回路からデータ信号の印加を受けるデータパッド(図示せず)、データ線62の一部であって一つの抵抗性接触層55に接触されるソース電極65及び他の一つの抵抗性接触層56に接触されるドレイン電極66を含む。

【0030】

画素電極配線67、68は、ドレイン電極66に連結されて共通電極主線27に平行に配列される画素電極主線67及び画素電極主線67から延びる複数個の画素電極枝線68を含んでいる。

【0031】

データ配線62、65、66及び画素電極配線67、68を、窒化ケイ素のような絶縁物質からなる保護膜70が覆っている。

【0032】

そして、ゲート線22とテストパッド26を電氣的に絶縁させる分離用孔(C)が形成されている。この分離用孔(C)は保護膜70、ゲート絶縁膜30及びゲート線22に形成されて、一体に形成されていたゲート線22とテストパッド26とを分離させている。

【0033】

そして、“周辺領域”にはテストパッド26及び共通電圧用パターン29を露出する第1及び第2接触孔72、74が形成されている。第1接触孔72は保護膜70、ゲート絶縁膜30及びテストパッド26の上部金属層であるアルミニウム層202に形成されており、第2接触孔74は保護膜70、ゲート絶縁膜30及び共通電圧用パターン29の上部金属層であるアルミニウム層202に形成されている。

【0034】

そして、保護膜70上に第1及び第2接触孔72、74を通じてテストパッド26と共通電圧用パターン29を電氣的に連結する連結パターン82が形成されている。

【0035】

このような下部基板100に対向する上部基板200には、黒い有機物質からなるブラックマトリックス210とカラーフィルター220が形成されている。カラーフィルター220は下部基板200の画素領域に対応して形成され、ブラックマトリックス210は画素セルの内部領域を除いた全領域を覆っている。

【0036】

10

20

30

40

50

そして、上部基板 100 と下部基板 200 の間には液晶層 300 が封入されている。

【0037】

このような構造を有する液晶表示装置を駆動する過程で、オフ作動時にゲートパッド（図示せず）を通じてゲート線 22 に -7V のゲートオフ電圧を印加し、共通電圧用パターン 29 を通じて共通電極配線 27、28、29 に +5V の共通電圧を印加するとしよう。

【0038】

テストパッド 26 がゲート線 22 から分離されて共通電圧用パターン 29 に連結されているので、テストパッド 26 及び共通電圧用パターン 29 全てに +5V の電圧がかかる。従ってこれらパターン 26、29 に近接した上部基板 200 のブラックマトリックス 210 全領域にテストパッド 26 及び共通電圧用パターン 29 各々にかかった電圧に影響を受け、+5V の電圧が均一にかかる。

10

【0039】

ゲートオフ電圧がかかった状態で共通電圧と同一な大きさの電圧がかかるブラックマトリックス 210 の電圧は画素セル内の水平電界を歪曲させることができず、液晶駆動にも影響を与えられない。従って、本発明の第 1 実施形態例による液晶表示装置では、最後のラインに位置する画素セルで液晶駆動の歪曲によって引き起こされる光の漏れ現象を防止することができる。

【0040】

しかし、テストパッド 26 は液晶表示装置をテストする過程ではゲート線 22 と連結されなければならない。つまり、テストパッド 26 はゲート線 22 と連結される状態で製作されてテストを終えた後、分離用孔（C）、第 1 及び第 2 接触孔 72、74 を形成した後に連結パターン 82 を形成して、テストパッド 26 をゲート線 22 から分離し、共通電圧用パターン 29 と連結しなければならない。

20

【0041】

テストパッド 26 をゲート線 22 から分離する工程は次の通りである。

【0042】

まず、液晶表示装置テストの前は、下部基板 10 上にテストパッド 26 がゲート線 22 に連結されており、共通電圧用パターン 29 からは分離されており、その上部にゲート絶縁膜 30 及び保護膜 70 が形成されている。

【0043】

液晶表示装置テストの後には、分離用孔（C）、第 1 及び第 2 接触孔 72、74 を定義するマスクを使用する写真エッチング工程を通じて、保護膜 70 とゲート絶縁膜 30 をエッチングしてテストパッド 26 の上部金属層であるアルミニウム層 202 と共通電圧用パターン 29 の上部金属層であるアルミニウム層 202 を選択的に露出する。次に、アルミニウムエッチング液を使用してアルミニウム層 202 の露出された部分を除去してテストパッド 26 と共通電圧用パターン 29 の下部金属層 201 を露出する。これで第 1 及び第 2 接触孔 72、74 が完成される。この後、基板の全面に導電層を形成した後に写真エッチングして、第 1 及び第 2 接触孔 72、74 を通じてテストパッド 26 と共通電圧用パターン 29 とを連結する連結パターン 82 を形成する。この過程でテストパッド 26 の下部金属層 201 の露出された部分も共に除去され、ゲート線 22 とテストパッド 26 とを分離する分離孔（C）が完成される。

30

40

【0044】

以後、後続工程を経て下部基板の製作を完了し、上部基板を製作した後、2枚の基板を合着して液晶表示装置を製作する。

【0045】

テストパッド 26 とゲート線 22 の分離工程は、前述した方法以外に後続工程を通じて様々な方法で実施することができる。

【0046】

[第 2 実施形態例]

図 3 は本発明の第 2 実施形態例による液晶表示装置の平面図であり、図 4 は図 3 の切断線

50

IV - IV' による液晶表示装置の断面図である。

【 0 0 4 7 】

本発明の第 2 実施形態例による液晶表示装置では、ゲート線 2 2 に連結されるテストパッド 2 6 を共通電圧用パターン 2 9 に連結された導電パターン 8 4 で遮蔽させている。この場合、テストパッド 2 6 にかかった電圧を導電パターン 8 4 が遮蔽させているため、テストパッド 2 6 にかかった電圧がテストパッド 2 6 上部のブラックマトリックス 2 1 0 に影響を与えない。

【 0 0 4 8 】

本発明の第 1 実施形態例による液晶表示装置と比較して、上部基板と下部基板の“表示領域”は同一であるのでこれに対する説明は省略し、下部基板の“周辺領域”に対してのみ説明する。

10

【 0 0 4 9 】

下部基板 1 0 0 の上に“表示領域”のゲート線 2 2 に連結されるテストパッド 2 6 及び“表示領域”の共通電極主線 2 7 に連結される共通電圧用パターン 2 9 が形成されている。テストパッド 2 6 及び共通電圧用パターン 2 9 はゲート線 2 2 及び共通電極主線 2 7 のように、クロム系またはモリブデン系からなる下部金属層 2 0 1 とアルミニウム系からなる上部金属層 2 0 2 の二重層構造からなっている。そして、ゲート絶縁膜 3 0 と保護膜 7 0 がテストパッド 2 6 と共通電圧用パターン 2 9 を覆っている。

【 0 0 5 0 】

ゲート絶縁膜 3 0、保護膜 7 0 及び共通電圧用パターン 2 9 の上部金属層であるアルミニウム層 2 0 2 には、共通電圧用パターン 2 9 の下部金属層 2 0 1 を露出する接触孔 7 4 が形成されている。そして、保護膜 7 0 の上には接触孔 7 4 を通じて共通電圧用パターン 2 9 に連結される導電パターン 8 4 が形成されているが、この導電パターン 8 4 は保護膜 7 0 とゲート絶縁膜 3 0 を隔ててテストパッド 2 6 を十分覆っているため、テストパッド 2 6 を遮蔽させている。言い換えれば、導電パターン 8 4 は、テストパッド 2 6 への印加電圧がブラックマトリックス 2 1 0 に影響を与えないようにテストパッド 2 6 を覆っている。

20

【 0 0 5 1 】

このような構造を有する液晶表示装置を駆動する過程で、オフ作動時にゲートパッド（図示せず）を通じてゲート線 2 2 に - 7 V のゲートオフ電圧を印加し、共通電圧用パターン 2 9 を通じて共通電極配線 2 7、2 8、2 9 に + 5 V の共通電圧を印加するとしよう。

30

【 0 0 5 2 】

ゲート線 2 2 に連結されているテストパッド 2 6 には - 7 V のゲートオフ電圧がかかり、共通電圧用パターン 2 9 には + 5 V の共通電圧がかかる。しかし、テストパッド 2 6 は共通電圧用パターン 2 9 に連結された導電パターン 8 4 によって遮蔽されているので、テストパッド 2 6 にかかった - 7 V のゲートオフ電圧はその上部のブラックマトリックス 2 1 0 に影響を与えない。テストパッド 2 6 の上のブラックマトリックス 2 1 0 部分は導電パターン 8 4 にかかった + 5 V の共通電圧に影響を受けるようになる。従ってブラックマトリックス 2 1 0 の全領域にはテストパッド 2 6 及び共通電圧用パターン 2 9 各々にかかった電圧に影響を受け、+ 5 V の電圧が均一にかかる。ゲートオフ電圧がかかった状態で共通電圧と同一な大きさの電圧がかかるブラックマトリックス 2 1 0 の電圧は画素セル内の水平電界を歪曲させることができず、液晶駆動にも影響を与えられない。従って、本発明の第 1 実施形態例による液晶表示装置では、最後のラインに位置する画素セルで液晶駆動の歪曲によって引き起こされる光の漏れ現象を防止することができる。

40

【 0 0 5 3 】

このような構造ではテストパッド 2 6 がゲート線 2 2 に連結されているため、液晶表示装置をテストすることが可能であるので、本発明の第 1 実施形態例のようにテストパッド 2 6 をゲート線 2 2 から分離させる必要がない。

【 0 0 5 4 】

[ 第 3 実施形態例 ]

50

一方、テストパッドにかかった電圧によってブラックマトリックスにかかる電圧が周囲の画素セルに影響を与えられないようにするために、テストパッドを画素セルと所定の間隔をおいて形成する方法がある。図5は、この方法を適用した、本発明の第3実施形態例による液晶表示装置の平面図である。この実施形態例においては、最後のラインに位置する画素セルから画素セル幅の2倍以上になる間隔、例えば200 $\mu$ m以上の間隔をおいてテストパッド26を形成することができる。この場合、テストパッド26のゲートオフ電圧によってブラックマトリックスにかかる電圧が最後のラインの画素セルにまで影響を与えられない程度、テストパッド26と最後のラインの画素セルとが遠く離れているため、最後のラインに位置する画素セル内の水平電界は歪曲されず、液晶駆動にも影響が及ばない。従って、最後のラインに位置する画素セルで液晶駆動の歪曲によって引き起こされる光の漏れ現象を防止することができる。

10

## 【0055】

ここで、テストパッドと最後のラインに位置する画素セルの間隔は、製造工程の条件によって適切に設定できる。

## 【0056】

## 【発明の効果】

本発明では液晶表示装置の駆動時、テストパッドにかかったゲート電圧によってブラックマトリックスにかかる電圧が最後のラインに位置する画素セル内に形成される水平電界を歪曲させることを防止するように液晶表示装置の構造を改善させることにより、水平電界の歪曲によって発生する光の漏れ現象を防止して安定した画質を具現することができる。

20

## 【図面の簡単な説明】

【図1】本発明の第1実施形態例による液晶表示装置の平面図

【図2】図1に示した切断線II-II'による液晶表示装置の断面図

【図3】本発明の第2実施形態例による液晶表示装置の平面図

【図4】図3に示した切断線IV-IV'による液晶表示装置の断面図

【図5】本発明の第3実施形態例による液晶表示装置の平面図

## 【符号の説明】

- 22 ゲート線
- 26 テストパッド
- 27 共通電極主線
- 28 共通電極枝線
- 29 共通電圧用パターン
- 30 ゲート絶縁膜
- 42 半導体パターン
- 55、56 抵抗性接触層
- 62 データ線
- 65 ソース電極
- 66 ドレイン電極
- 67 画素電極主線
- 68 画素電極枝線
- 70 保護膜
- 72 第1接触孔
- 74 第2接触孔
- 82 連結パターン
- 84 導電パターン(シールド用)
- 100 下部基板
- 200 上部基板
- 201 下部金属層
- 202 上部金属層(アルミニウム層)
- 210 ブラックマトリックス

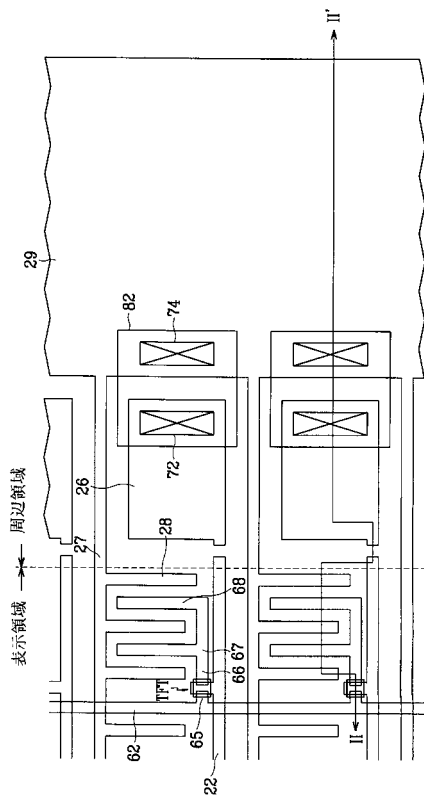
30

40

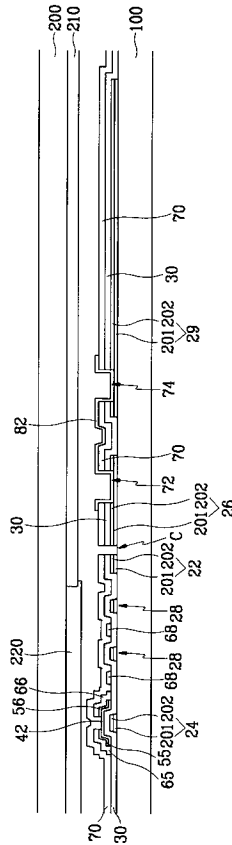
50

- 2 2 0 カラーフィルター
- 3 0 0 液晶層
- C 分離用孔

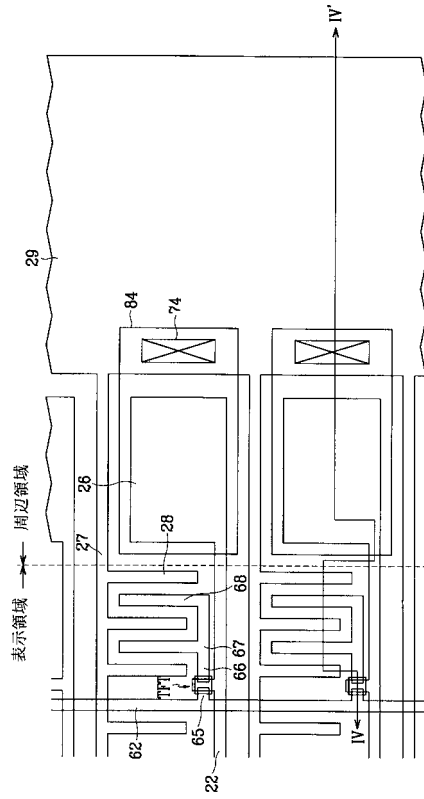
【 図 1 】



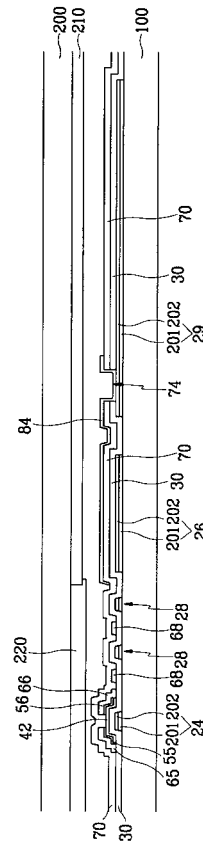
【 図 2 】



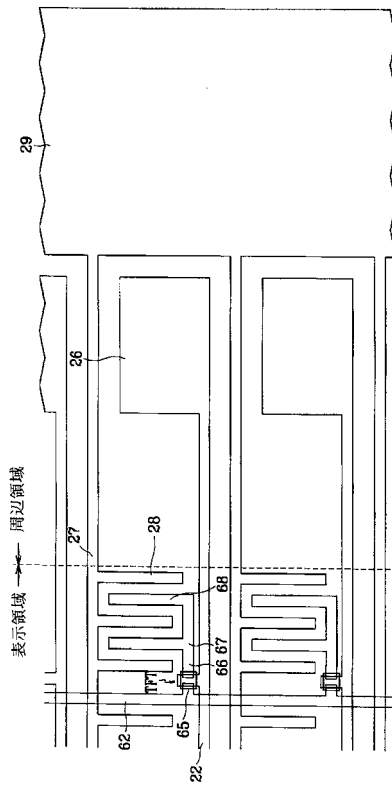
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 F 9/35

(72)発明者 郭 相 基

大韓民国京畿道水原市八達区遠川洞遠川住公2団地202棟1203号

(72)発明者 崔 権 永

大韓民国ソウル市銅雀区舎堂3洞大林アパート1棟809号

(72)発明者 卓 英 在

大韓民国京畿道水原市八達区靈通洞進興アパート551棟1702号

(72)発明者 朴 明 在

大韓民国光州市北区蓮提洞現代アパート104棟104号

(72)発明者 朴 雲 用

大韓民国京畿道水原市八達区梅灘1洞住公5団地アパート521棟1107号

審査官 奥田 雄介

(56)参考文献 特開2000-321592(JP,A)

特開平11-002838(JP,A)

特開平06-214246(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1345

G02F 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP4251799B2</a>	公开(公告)日	2009-04-08
申请号	JP2001330937	申请日	2001-10-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	郭相基 崔權永 卓英在 朴明在 朴雲用		
发明人	郭相基 崔權永 卓英在 朴明在 朴雲用		
IPC分类号	G02F1/1345 G02F1/1368 G09F9/00 G09F9/30 G09F9/35 G02F1/136 G02F1/13 G02F1/1362		
CPC分类号	G02F1/13458 G02F1/1309 G02F1/1345		
FI分类号	G02F1/1345 G02F1/1368 G09F9/00.352 G09F9/30.330.Z G09F9/30.338 G09F9/35 G09F9/30.330		
F-TERM分类号	2H092/GA14 2H092/GA24 2H092/GA40 2H092/GA43 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB56 2H092/KB13 2H092/NA01 2H092/PA08 2H192/AA24 2H192/BB02 2H192/CB05 2H192/CC02 2H192/CC32 2H192/EA22 2H192/EA32 2H192/EA43 2H192/FA65 2H192/GA04 2H192/HB14 2H192/JA32 5C094/AA12 5C094/AA41 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/EA04 5C094/EA07 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 5G435/KK05 5G435/KK09 5G435/KK10		
优先权	1020000063451 2000-10-27 KR		
其他公开文献	JP2002196356A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种液晶显示装置，可以最大限度地减少漏光现象并实现稳定的图像质量。解决方案：测试焊盘与栅极线分离并连接到公共电压图案或导电图案，其上施加有公共电压，用于光屏蔽，以最小化漏光现象并获得稳定的图像质量。液晶显示装置。在该装置中限定显示区域，其中多个像素区域布置在基板上。这些区域包括栅极线，与栅极线交叉的数据线，与栅极线和数据线电连接的薄膜晶体管，与晶体管电连接的像素电极线和在像素电极线之间形成的公共电极线。公共电压图案共同连接像素区域中的公共电极线。连接到公共电压图案并与栅极线分离的测试焊盘形成在显示区域外部。

