

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4212268号
(P4212268)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

(51) Int.Cl.

F 1

G09G	3/36	(2006.01)	G09G	3/36
G02F	1/133	(2006.01)	G02F	1/133 535
G09G	3/20	(2006.01)	G09G	3/20 611A
G09G	3/34	(2006.01)	G09G	3/20 612D
HO4N	5/66	(2006.01)	G09G	3/20 612U

請求項の数 23 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2001-370089 (P2001-370089)
(22) 出願日	平成13年12月4日 (2001.12.4)
(65) 公開番号	特開2002-258820 (P2002-258820A)
(43) 公開日	平成14年9月11日 (2002.9.11)
審査請求日	平成16年10月15日 (2004.10.15)
(31) 優先権主張番号	2000-85540
(32) 優先日	平成12年12月29日 (2000.12.29)
(33) 優先権主張国	韓国 (KR)
(31) 優先権主張番号	2001-26136
(32) 優先日	平成13年5月14日 (2001.5.14)
(33) 優先権主張国	韓国 (KR)

(73) 特許権者	390019839
	三星電子株式会社
	SAMSUNG ELECTRONICS CO., LTD.
	大韓民国京畿道水原市靈通区梅灘洞416-416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR)
(74) 代理人	100094145
弁理士	小野 由己男
(74) 代理人	100106367
弁理士	稻積 朋子
(74) 代理人	100094145
弁理士	小野 由己男

最終頁に続く

(54) 【発明の名称】 液晶表示モジュールの輝度自動制御装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

バックライトを備える液晶表示装置の輝度を自動的に調節する装置であり、前記液晶表示装置に表示される画像データを取り込んで前記画素データの色状態を判別し、判別された前記画素データの色状態に応じて前記画像データの平均階調値を1水平周期単位で算出し、第1輝度調節信号を1水平周期単位で発生させて、前記平均階調値に応じて前記第1輝度調節信号のデューティレートを調節する第1制御信号発生手段と、

使用者の操作に応じて、前記バックライトの輝度を調節するための第2輝度調節信号を発生させる第2制御信号発生手段と、

前記第1輝度調節信号及び前記第2輝度調節信号に応じて第3輝度調節信号を発生させる第3制御信号発生手段と、

前記第3輝度調節信号に応じて前記バックライトの輝度を調節するインバータと、を含む自動輝度調節装置。

【請求項 2】

前記第1制御信号発生手段は、タイミング制御器、グラフィック制御器、及びLCDパネルのいずれかであり、

前記第2制御信号発生手段はコンピュータである、
請求項1に記載の自動輝度調節装置。

【請求項 3】

前記第3制御信号発生手段は、

10

20

前記第1輝度調節信号がハイレベルである間、前記第2輝度調節信号を選択的に出力するゲート回路と、

前記ゲート回路から選択的に出力される前記第2輝度調節信号の電圧を加算して前記第3輝度調節信号を発生させるR-C回路と、
を含む、請求項1に記載の自動輝度調節装置。

【請求項4】

前記R-C回路は、
前記第1制御信号発生手段と前記インバータとの間に連結された抵抗と、
前記抵抗と接地端子との間に連結されたキャパシタと、
を含む、請求項3に記載の自動輝度調節装置。

10

【請求項5】

前記ゲート回路は、
第1抵抗を通じて前記第1制御信号発生手段に連結された第1端と、
前記第2制御信号発生手段に連結された第2端と、
第2抵抗を通じて接地端子に連結された第3端と、
を含む、請求項3に記載の自動輝度調節装置。

【請求項6】

前記ゲート回路は、
第1抵抗を通じて前記第1制御信号発生手段に連結された第1端と、
第2抵抗を通じて前記第2制御信号発生手段に連結された第2端と、
接地端子に連結された第3端と、
を含む、請求項3に記載の自動輝度調節装置。

20

【請求項7】

前記ゲート回路はN型トランジスタ及びP型トランジスタのいずれかである、請求項3に記載の自動輝度調節装置。

【請求項8】

前記液晶表示装置は、
前記ゲート回路がP型トランジスタである場合、前記第1制御信号発生手段から出力される前記第1輝度調節信号の電圧レベルを所定レベルだけ減少させることによって、前記ゲート回路をフルスイングさせるレベルシフタ回路、
を含む、請求項7に記載の自動輝度調節装置。

30

【請求項9】

前記レベルシフタ回路は、
電源電圧供給源に連結された入力端子と、前記第3制御信号発生手段に連結された出力端子と、前記第1制御信号発生手段に連結された制御端子とを備えるトランジスタと、
前記トランジスタの出力端子に一端が連結された第1抵抗と、
アノードが前記第1抵抗の他端に連結され、カソードが接地端子に連結されたダイオードと、
前記ダイオードのアノードと所定の電圧端子との間に連結された第2抵抗と、
を含む、請求項8に記載の自動輝度調節装置。

40

【請求項10】

前記第3輝度調節信号は可変輝度調節電圧V_{duty}であり、前記第1輝度調節信号の振幅V_c、前記第1輝度調節信号のハイ区間の長さT1、前記第1輝度調節信号の周期1H、前記抵抗の抵抗値R、前記キャパシタの容量C、及び前記キャパシタの初期の両端電圧V_oと共に次式

$$V_{duty} = \{ V_o + (V_c - V_o) \times [1 - EXP[-T1 / (R \times C)]] \} \\ \times EXP[(T1 - 1H) / (R \times C)]$$

を満たす、請求項4に記載の自動輝度調節装置。

【請求項11】

前記判別された色状態が、緑、赤、そして青である時、前記第1制御信号発生手段は前

50

記第1輝度調節信号のデューティレートを、緑、赤、青の順に減少させる、請求項1に記載の自動輝度調節装置。

【請求項12】

前記第1制御信号発生手段は、緑、赤、青の間での前記第1輝度調節信号のデューティレートの比を、緑：赤：青 = 1 : 0 . 66 : 0 . 49 に設定する、請求項11に記載の自動輝度調節装置。

【請求項13】

前記第1制御信号発生手段はタイミング制御器である、請求項1に記載の自動輝度調節装置。

【請求項14】

前記第1制御信号発生手段は、
前記第1制御信号発生手段の各構成要素の動作タイミングを制御する制御部と、
外部から画素データを取り込み、前記画素データの色状態を判別し、判別された色状態に従って前記画素データを変換するデータ獲得及び変換部と、
前記データ獲得及び変換部によって変換された画素データを論理演算によって特定のデータとして出力する演算部と、
前記特定のデータをダウンカウントするダウンカウンタと、
前記ダウンカウンタのカウントが所定値に達するまで前記第1輝度調節信号をハイレベルに維持し、前記ダウンカウンタのカウントが所定値に達した時に前記第1輝度調節信号をローレベルに戻すパルス発生器と、
を含む、請求項1に記載の自動輝度調節装置。

【請求項15】

液晶表示装置のバックライトの輝度を自動的に調節する方法であり、
前記液晶表示装置に表示される画像データを取り込んで前記画素データの色状態を判別する段階と、
判別された前記画素データの色状態に応じて前記画素データの平均階調値を1水平周期単位で算出する段階と、
第1輝度調節信号を1水平周期単位で発生させて、前記平均階調値に応じて前記第1輝度調節信号のデューティレートを調節する段階と、
前記第1輝度調節信号とコンピュータ本体部から発生する第2輝度調節信号とに応じて第3輝度調節信号を発生させる段階と、
前記第3輝度調節信号に応じて前記バックライトの輝度を自動的に調節する段階と、
を含む自動輝度調節方法。

【請求項16】

バックライトユニットを備え、外部のホストからビデオ情報を入力して表示する液晶表示装置の輝度を自動的に調節する装置であり、
前記ビデオ情報から1ラインの画素データを取り込み、前記1ラインの画素データの色状態を判別し、前記バックライトユニットの輝度を調節するための輝度調節信号を1水平周期単位で発生させ、判別された色状態に応じて前記輝度調節信号のデューティレートを調節する制御信号発生装置と、

前記輝度調節信号に応じて前記バックライトユニットの輝度を調節するインバータ回路と、
を含む自動輝度調節装置。

【請求項17】

前記判別された色状態が、緑、赤、そして青である時、前記制御信号発生装置は前記輝度調節信号のデューティレートを、緑、赤、青の順に減少させる、請求項16に記載の自動輝度調節装置。

【請求項18】

前記制御信号発生装置は、緑、赤、青の間での前記輝度調節信号のデューティレートの比を、緑：赤：青 = 1 : 0 . 66 : 0 . 49 に設定する、請求項17に記載の自動輝度調

10

20

30

40

50

節装置。

【請求項 19】

前記制御信号発生装置はタイミング制御器である、請求項 16に記載の自動輝度調節装置。

【請求項 20】

前記制御信号発生装置は、

前記制御信号発生装置の各構成要素の動作タイミングを制御する制御部と、

前記ホストから画素データを取り込み、前記画素データの色状態を判別し、判別された色状態に従って前記画素データを変換するデータ獲得及び変換部と、

前記データ獲得及び変換部によって変換された画素データを論理演算によって特定のデータとして出力する演算部と、10

前記特定のデータをダウンカウントするダウンカウンタと、

前記ダウンカウンタのカウントが所定値に達するまで前記輝度調節信号をハイレベルに維持し、前記ダウンカウンタのカウントが所定値に達した時に前記輝度調節信号をローレベルに戻すパルス発生器と、

を含む、請求項 16に記載の自動輝度調節装置。

【請求項 21】

バックライトユニットを備え、外部のホストからビデオ情報を入力して表示する液晶表示装置の輝度を自動的に調節する方法であり、

前記ビデオ情報から 1 ラインの画素データを取り込む段階と、20

前記 1 ラインの画素データに含まれる 1 つの画素データの色状態を判別する段階と、

判別された色状態に応じて前記 1 つの画素データを変換する段階と、

変換された画素データを蓄積する段階と、

変換された画素データが前記 1 ラインの最後の画素データであるか否かを判別する段階と、

前記変換された画素データが前記 1 ラインの最後の画素データであると判別されるごとに、蓄積された画素データに基づいて輝度調節信号を出力する段階と、

前記輝度調節信号に応じて前記バックライトユニットの輝度を自動的に調節する段階と、

、
を含む自動輝度調節方法。30

【請求項 22】

前記 1 つの画素データを変換する段階では、前記判別された色状態が、緑、赤、そして青である時、前記輝度調節信号のデューティレートが、緑、赤、青の順に減少するよう前に記 1 つの画素データが変換される、請求項 21に記載の自動輝度調節方法。

【請求項 23】

前記判別された色状態が緑である時は、前記輝度調節信号のデューティレートが前記バックライトユニットの最大輝度の 100 % を示すように前記 1 つの画素データが変換され、前記判別された色状態が赤である時は、前記輝度調節信号のデューティレートが前記バックライトユニットの最大輝度の 60 % を示すように前記 1 つの画素データが変換され、前記判別された色状態が青である時は、前記輝度調節信号のデューティレートが前記バックライトユニットの最大輝度の 49 % を示すように前記 1 つの画素データが変換される、請求項 22に記載の自動輝度調節方法。40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示 (liquid crystal display : LCD) モジュールに関し、さらには LCD モジュールの輝度を自動に調節する装置及び方法に関する。

【0002】

【従来の技術】

薄膜トランジスタ液晶表示 (thin film transistor liquid50

c r y s t a l d i s p l a y : T F T - L C D) は携帯型コンピュータ、T V セット及びモニタのようなシステムの表示装置として使用される。図1はLCDモジュール100の構造を示す。図1を参照すると、LCDモジュール100は2つのガラスの間に液晶物質が注入されたLCDパネル10とLCDパネル10を駆動させるための駆動回路20, 30及びその駆動回路20, 30を制御する制御信号を発生するタイミング制御器40を含む駆動ユニット、そして、バックライト60を含み、LCDパネル10を支持し、保護するためのシャーシ構造物(図示しない)で構成される。

【0003】

バックライト60はインバータ62、蛍光ランプ64、反射板66等からなって、光源として使用される蛍光ランプ64から明るさが均一である平面光を形成する。ランプ64はCCFT(cold cathode fluorescence tube)とHCFT(hot cathode fluorescence tube)に分けられ、反射板66は光の反射角を変化させる役割を果たす。LCDパネル10は駆動回路20, 30から入力された各々の画素信号電圧に応じて、バックライト60に入射された白い平面光が画素に透過される光を制御することによって、色影像を表示する。

【0004】

図2はLCDモジュール100を携帯型コンピュータ又はデスクトップコンピュータで表示装置として使用する場合、LCDモジュール100に対する輝度調節スキームを示すための構成図である。一般に、携帯型コンピュータ又はデスクトップコンピュータシステムは直流電圧で駆動されるのに対して、バックライト60は交流電圧で点灯される。従って、LCDモジュール100には、図に示すように、直流電圧を交流電流に変換するためのインバータ62が必ず要求される。インバータ62は直流電流を交流電流に変換する動作の外に、当業者に周知のように、その内部にディミング回路(図示しない)があって、ランプ64の輝度を調節する。

【0005】

図2を参照すると、使用者がコンピュータを操作することによって輝度調節命令を入力すると、コンピュータ本体部200は輝度を調節するための輝度調節電圧CTL_Vをインバータ62に発生する。コンピュータ本体部200から輝度調節電圧CTL_Vが発生すると、インバータ62に備えられたディミング回路は輝度調節電圧CTL_Vに応じてランプ64の電流を制限してバックライト60の輝度を調節する。例えば、コンピュータが携帯型コンピュータである場合、輝度調節電圧CTL_Vは0-3.3Vである。この時、輝度調節電圧CTL_Vが0Vである時、一番暗い輝度(黒:B)であり、輝度調節電圧CTL_Vが3.3Vである時、一番明るい輝度(白:W)である。

【0006】

しかし、このような従来技術による輝度調節スキームは、LCDモジュール100を通じて表示される各画面(又は、フレーム)のデータ特性が異なるにもかかわらず、輝度が調節された後は調節された輝度をそのままに維持する特性を有する。即ち、従来技術による輝度調節スキームは、動画像のように急激に画面が変化し、各画面ごとに全体的な明暗が引き続いて変化するにもかかわらず、一律的に輝度を維持するので、不要な電力消費を誘発する問題点がある。又、低電導性の赤(R)と青(B)の画面では、輝度を増加しても、あまり明るくならない。従って、バックライトの輝度を増加しても、透過度が低くて、消費電力の増加に比べて明るさの効果が少ない。

【0007】

【発明が解決しようとする課題】

本発明は、前述した問題点を解決するために提案されたものであり、各画面別デューティレート(duty rate)を自動に調節することによって、LCD装置の輝度を自動に調節できる自動輝度調節装置及び方法を提供することを目的とする。

【0008】

本発明は、使用者の要請に従う輝度調節と自動に実行される各画面別輝度調節との間の衝突を防止し、前記輝度調節方法を適切に併合できる装置及び方法を提供することを他の目

10

20

30

40

50

的とする。

本発明は、LCDモジュールに表示される各画面別コントラストを向上できる自動輝度調節装置及び方法を提供することを他の目的とする。

【0009】

本発明は、各画面のデータ特性に従って輝度を調節することによって、LCDモジュールの消費電力を低減できる自動輝度調節装置及び方法を提供することを他の目的とする。

本発明は、LCD装置に表示された画面の赤(R)、緑(G)、青(N)の状態に従ってバックライトの明るさを調節することによって、LCD装置の消費電力を低減できる自動輝度調節装置及び方法を提供することを他の目的とする。

【0010】

10

【課題を解決するための手段】

前述の目的を達成するための本発明の一によると、バックライトを備える液晶表示装置は、液晶表示装置に表示される画素を取り込み、画素の平均階調値を算出して平均階調値に比例する輝度調節信号を発生する制御信号発生手段と制御信号発生手段から出力される輝度調節信号に応じてバックライトの輝度を自動に調節するインバータを含む。

【0011】

前述した本発明の他の目的を達成するための本発明によると、バックライトを備える液晶表示装置は、液晶表示装置に表示される画素を取り込み、画素の平均階調値を算出して平均階調値に比例する第1輝度調節信号を発生する第1制御信号発生手段と、使用者の操作によってバックライトの輝度を調節するための第2輝度調節信号を発生する第2制御信号発生手段と、第1及び第2制御信号発生手段から出力される第1及び第2輝度調節信号に応じて第3輝度調節信号を発生する第3制御信号発生手段、そして、第3輝度調節信号に応じてバックライトの輝度を調節するインバータを含む。

20

【0012】

前述した本発明の他の目的を達成するための本発明の他によると、液晶表示装置のバックライト輝度調節方法は、液晶表示装置に表示される画素の階調値を算出する段階と、階調値に対応する第1輝度調節信号を発生する段階と、コンピュータ本体部を通じて第2輝度調節信号を発生する段階と、そして、第1及び第2輝度調節信号に応じて発生した第3輝度調節信号によってバックライトの輝度を自動に調節する段階とを含む。

【0013】

30

本発明の他によると、ホストからのビデオ情報を取り込み、バックライトを備える液晶表示装置は、ホストからのビデオ情報に対応する画素データを取り込み、画素データの色状態を判別して、判別された色状態に対応するデューティレートを有する輝度調節信号を発生する制御信号発生装置及び制御信号発生装置からの輝度調節信号を取り込んでバックライトユニットの輝度を自動に調節するインバータを含む。

【0014】

この実施形態において、制御信号発生回路は色状態が緑、赤及び青で判別される時、緑、赤及び青順にデューティレートが減少する輝度調節信号を発生する。輝度制御信号のデューティレートは緑：赤：青 = 1 : 0 . 6 6 ; 0 . 4 9 に設定される。制御信号発生回路はタイミング制御器で実現される。

40

この望ましい実施形態において、制御信号発生回路は画素データの色状態を判別し、輝度調節信号を発生するように制御信号発生回路の動作を制御する制御部と、ホストから画素データを取り込み、制御部の制御によって判別された色状態に従って画素データを変換するデータ獲得及び変換部と、制御部の制御下に変換されたデータを論理演算して特定データを出力する演算部と、制御部の制御下に特定データをダウンカウントするダウンカウンタと、ダウンカウンタの出力信号に対応する輝度調節信号を発生するパルス発生器とを含み、制御部はダウンカウンタの出力信号がロジックローレベルである時まで、ダウンカウンタの出力信号に対応する輝度調節信号を出力するように制御する。

【0015】

前述した目的を達成するための本発明の他によると、輝度自動調節装置とバックライトユ

50

ニットを備え、ビデオ情報を出力するホストと共に使用する液晶表示モジュールで、輝度自動調節装置の輝度調節方法において、ホストからビデオ情報に対する画素データを取り込み、画素データの色状態を判別する段階と、判別された色状態に対応して画素データを変換する段階と、画素データがラインの最後のデータであるかを判別する段階と、判別の結果、ラインの最後の画素データであると、画素データに対応する輝度調節信号を出力する段階とを含み、輝度調節信号に対応してバックライトユニットの輝度を自動調節する。

【0016】

この望ましい実施形態において、変換する段階は判別された色状態に従って緑、赤及び青順に減少する輝度に対応するデューティレートを有するように画素データを変換する段階を含む。

10

この実施形態において、画素データは判別された色状態が緑であると、最大輝度の100%、赤であると、最大輝度の66%、青であると、最大輝度の49%に対応するデータに変換される。

【0017】

以下、添付した図を参照して、本発明の望ましい実施形態を詳細に説明する。本発明の新たな液晶表示装置は、液晶表示装置に表示される画素の階調値に比例して発生するデューティレート信号に従ってバックライトの輝度を自動に調節する。

【0018】

[発明の詳細な説明]

図3はLCDモジュールを携帯型コンピュータ又はデスクトップコンピュータで表示装置として使用する場合、本発明の第1実施形態によるLCDモジュールのバックライト輝度調節スキームを示すための構成図である。図3を参照すると、本発明によるLCDモジュールは、LCDモジュールに表示される1つの画面に対する階調値の平均を1H時間（水平周期時間）単位で算出し、算出された階調値に対応するデューティレート信号DUTYを発生するデューティ調節部420を備えるタイミング制御器400と、タイミング制御器400から発生する1H時間単位のデューティレート信号DUTYを1フレームにかけて合算して、表示される画面の階調値に比例してその電位が異なる可変輝度調節電圧Vdutyを発生するR-C回路500を含む。R-C回路500は、デューティレート信号DUTYに一端を接続され、他端をインバータ62に接続された抵抗R1と、抵抗R1と接地端子との間に接続されたキャパシタC1を含んでいる。R-C回路500に連結されたインバータ62は可変輝度調節電圧Vdutyに応じて、その内部に備えられたディミング回路（図示しない）を通じてランプ64の電流を制限してバックライトの輝度を調節する。以降、このようなLCDモジュールの詳細な動作を説明する。

20

【0019】

先ず、タイミング制御器400は1H時間の間、画素データの階調に対応するデューティレートを有する1H周期のパルス波を出力する。例えば、水平画素数が640個であるVGA解像度のLCDモジュールで1H時間の間に全ての画素値が黒（B）になったら、0個の画素クロック数ほどハイ値が出力される0%のデューティレート信号DUTYが発生し、1H時間の間に全ての画素値が白（W）になったら、640個の画素クロック数ほどハイ値が出力される100%のデューティレート信号DUTYが発生する。1H時間の間に全ての画素の平均値が中間階調であったら、50%のデューティレート信号が発生する。

30

【0020】

下記の表1及び表2は1水平ラインの平均階調が16段階であり、水平画素数が640個であるVGAの解像度のLCDモジュールでのデューティレートを百分率に示すものである。表1はガンマ常数が1である場合のデューティレートを示し、表2は現在LCD製品で幅広く採択するガンマ常数が2.2である場合のデューティレートを示す。

40

【0021】

【表1】

階調	デューティ (%)	画素クロック (個)
0	0	0
1	6.7	43
2	13.3	85
3	20.0	128
4	26.7	171
5	33.3	213
6	40.0	256
7	46.7	299
8	53.3	341
9	60.0	384
10	66.7	427
11	73.3	469
12	80.0	512
13	86.7	555
14	93.3	597
15	100	640

10

20

【0022】

【表2】

階調	デューティ (%)	画素クロック (個)
0	0	0
1	0.3	2
2	1.2	8
3	2.9	19
4	5.5	35
5	8.9	57
6	13.3	85
7	18.7	120
8	25.1	161
9	32.5	208
10	41.0	262
11	50.5	323
12	61.2	392
13	73.0	467
14	85.9	550
15	100	640

30

40

【0023】

表1及び表2に示すデューティレートは、1H時間(水平周期時間)の間、ハイレベルの画素の個数を百分率に示すものであり、タイミング制御器400から発生するデューティレート信号DUTYは1H時間の間の画素データの階調値に従って、表1及び表2のように所定の画素クロックの個数ほどハイ値を有するパルス波を出力する。

【0024】

50

タイミング制御器 400 に備えられたデューティ調節部 420 は前記のようなデューティレート信号 DUTY を発生するために、その内部に記憶レジスタを備え、次のように 1H 時間の間の画素データの階調値を算出する。例えば、16 階調を表現できる 4 ビット画素データが入力される時、1 フレームのデータのうち、1 水平ラインに対する階調値を算出する場合、デューティ調節部 420 は 1H 時間（水平周期時間）ごとに記憶レジスタを消去する。続いて、4 ビット画素データを取り込み、入力された 4 ビット画素データを記憶レジスタに貯蔵されている値と合算して、合算された結果を再び記憶レジスタに貯蔵する。この時、1 水平ラインの端に該当する画素データが入力されないと（即ち、1 水平ラインの画素データが全部入力されないと）、水平ラインの端に該当する画素データが入力される時まで 4 ビット画素データを繰り返して取り込み、入力された 4 ビット画素データと記憶レジスタに貯蔵されている値を合算して、合算された結果を記憶レジスタに貯蔵する段階を繰り返す。そして、水平ラインの端に該当する画素データが入力されると（即ち、1 水平ラインの画素データが全部入力されると）、記憶レジスタの上位 4 ビットを取って表 1 及び表 2 に示す画素クロックの個数ほどハイ値を出力する 1H 周期のデューティレート信号 DUTY を発生する。前述したのは 16 階調を示す 4 ビット画素データの場合を例にして説明したものであり、前述のようなデューティレートの調節に対する基本的な 6 ビット及び 8 ビットの画素データにも同様に適用できる。
10

【0025】

前述のように、デューティ調節部 420 が 1H 時間単位の階調値に対応するデューティレート信号 DUTY を発生すると、R-C 回路 500 はタイミング制御器 400 から発生する 1H 時間単位のデューティレート信号 DUTY を 1 フレームにかけて合算する。R-C 回路 500 のより詳細な動作は次のとおりである。先ず、キャパシタ C1 の初期充電電圧を V_o とすると、ハイ区間 T1 を有する V_c の振幅を有する 1H 周期の信号、即ち、高デューティレート信号 D = T1 / 1H * 100% がタイミング制御器 400 から出力されると仮定すると、1H 周期ごとに R-C 回路 500 から出力される可変輝度調節電圧 V_{duty} は下記の
20

【0026】

式 1 である。

(式 1)

$$V_{duty} = \{ V_o + (V_c - V_o) \times [1 - EXP[-T1 / (R \times C)]\} \times EXP[(T1 - 1H) / (R \times C)]$$

30

このようなバックライト輝度調節のための可変輝度調節電圧 V_{duty} はタイミング制御器 400 から発生するデューティレート信号 DUTY のハイレベル区間 T1 に比例する電圧レベルを有し、可変輝度調節電圧 V_{duty} の応答速度は R-C 回路 500 の RC 時定数 (RC time constant) によって決定される。

【0027】

図 4 は図 3 に示すデューティ調節部 420 及び R-C 回路 500 によって出力される可変輝度調節電圧 V_{duty} の波形を示す図である。図 4 を参照すると、1 で表示されたグラフは RC 時定数が 1H 時間の 10 倍である時、0-15 階調 (DUTY は 100%) の時の可変輝度調節電圧 V_{duty} の波形を示し、2 で表示されたグラフは RC 時定数が 1H 時間の 10 倍である時、中間階調 (DUTY は 50%) の時の可変輝度調節電圧 V_{duty} の波形を示す。この場合、50H で可変輝度調節電圧 V_{duty} は飽和状態になり、これは 50H のビットレートが RC 時定数によって決定されることを意味する。
40

【0028】

図 6 は図 3 に示すデューティ調節部 420 及び R-C 回路 500 によって出力される可変輝度調節電圧 V_{duty} に従って線形的に決定されるランプ 64 の電流及び輝度の関係を示す図である。図 6 を参照すると、R-C 回路 500 から発生する可変輝度調節電圧 V_{duty} をバックライトインバータ 62 の入力電圧で使用すると、インバータ 62 は入力された可変輝度調節電圧 V_{duty} に対応する電流を発生し、電流量に比例してバックライトの輝度が決定される。このような関係から分かるように、本発明による LCD モジュー
50

ルは、LCDモジュールに表示される1つの画面に対するデューティレートを自動に調節して可変輝度調節電圧V_{duty}を発生し、可変輝度調節電圧V_{duty}によってインバータ62を通じて発生するランプ64の電流が調節されて、バックライトの輝度が自動に調節される。

【0029】

本発明の他によると、LCDモジュールはデューティ制御器からの画素データの色状態に対応するデューティレートを有する可変輝度調節電圧を発生し、可変輝度調節電圧に応じてバックライト（例えば、蛍光ランプ）の電流量を調節することによって、バックライトの輝度を自動に調節できる。従って、本発明のLCDモジュールは画素データの色状態に従ってデューティレートを自動に調節して可変輝度調節電圧を発生し、これに応じてインバータはバックライトユニット、即ち、蛍光ランプの電流を調節してバックライトの輝度を自動に調節する。10

【0030】

図7を参照すると、白い輝度は緑、赤及び青の3つの色の輝度が混合された場合に決定されるものであるので、各色の輝度、即ち、緑(G)が73.62、赤(R)が29.45、そして、青(B)が21.24の輝度である場合、白(W)は124.3の輝度になる。これは薄膜液晶表示モジュールの色フィルタ（図示しない）で、赤、緑、青各々の透過度が緑 > 赤 > 青順に決定されることを意味する。従って、本発明では同一階調の表現の時、緑(G)である時、最大輝度が発生し、赤(R)、青(B)順に輝度を調節することによって画面がさらに明るくなるように実現する。そして、赤(R)、青(B)の時にはバックライトの輝度を減少させて消費電力を低減する効果が得ることができる。これは緑(G)の画面ではバックライト輝度をすこしだけ増加しても透過度が高いので明るく見え、赤(R)、青(B)の画面ではいくら輝度を増加してもあまり明るくならないので、バックライトの輝度を増加しても透過度が低くて、消費電力の増加に比べて明るさの効果が少ないためである。20

【0031】

図3は本発明の第2実施形態による液晶表示モジュールのバックライト輝度調節スキームを示す構成図である。第2実施形態によるLCDモジュールの構成及び動作は図1実施形態と同一であるので、デューティ制御器からの画素データの色状態に対応するデューティレートを有する可変輝度調節電圧を発生することと、可変輝度調節電圧に従ってバックライトの電流を調節することに対する説明は省略する。この実施形態では透過率の比をG : R : B = 1 : 0.66 : 0.49にして緑(G)の画面では最大輝度を発生させ、赤(R)、青(B)の画面では各々最大輝度の約1/2、約1/4の輝度を発生させる。30

【0032】

図3を参照すると、LCDモジュールはタイミング制御器400とR-C回路500、インバータ62、そしてランプ64を含む。

タイミング制御器400はデューティ調節部420を含む。そして、図示しないが、入力処理部、信号処理部、クロック処理部及びデータ処理部等、一般的なタイミング制御器集積回路の構成要素を含む。デューティ調節部420はホスト（図示しない。例えば、コンピュータ等）から入力される画素データの色に対応してバックライトユニットの輝度を自動に調節するためのデューティ信号Dutyを発生する。40

【0033】

図8に示すように、デューティ調節部420は画素データ獲得及び変換部421、加算器422、合算器423と割り算器424とデューティレジスタ／ダウンカウンタ426とパルス発生器427及び制御部428を含む。

画素データ獲得及び変換部421は複数の記憶レジスタ（例えば、R、G、Bレジスタ及び集積レジスタ）を含み、ビデオ情報を出力するホスト（図示しない）から画素データ（R[5:0]、G[5:0]、B[5:0]）を取り込み、R、G、Bの色状態に従って図9に記する所定の処理過程S40～S54によって変換されたデータ（R'[5:0]、G'[5:0]、B'[5:0]）を出力する。加算器422は画素データ獲得及び変50

換部 421 から変換された画素データ (R' [5 : 0]、G' [5 : 0]、B' [5 : 0]) を加えてこれを貯蔵する。合算器 423 は加算された画素データ SUM [7 : 0] が 1 ラインの間のデータであると、これを合算して貯蔵する。割り算器 424 は合算器 423 から出力された 1 ラインの画素データの合 T SUM [17 : 0] を 3 で割り算する。デューティレジスタ / ダウンカウンタ 426 は割り算器 424 から出力されたデータのうち、上位 6 ビットデータ M S B [15 : 10] をロードし、これをダウンカウントする。これは上位 6 ビットデータ M S B [15 : 10] が白から黒までの 64 階調に対応するので、これによって色状態に従う輝度を調節するためのレベルを設定できる。パルス発生器 427 はデューティレジスタ / ダウンカウンタ 426 の出力信号に対応してデューティ信号 D u t y を発生する。

10

【0034】

制御部 428 はホストから画素クロック信号 C L K と 1 ラインの周期情報を有するビデオ信号 D E を取り込んで周期的に画素データ獲得及び変換部 421 のレジスタ (図示しない) をクリアし、デューティ調節部 420 は各構成要素の動作が適切に実行されるようにコード信号 D A T A _ L O A D 1、D A T A _ L O A D 2 及びクロック信号 C L K _ C O U N T と特定データを出力するように演算動作 (即ち、加算、合算、割り算等) を制御するための制御信号 P I X E L _ A D D , L I N E _ A D D , D I V I D E を発生する。

【0035】

以降、前記実施形態の動作処理過程を詳細に説明する。

先ず、画素データ獲得及び変換部 421 は 6 ビットの G、R、B データが、例えば、G [5 : 0] = 111111 であり、R [5 : 0] = B [5 : 0] = 000000 である画素データが入力されると、制御部 428 の制御によって G' [5 : 0] = R' [5 : 0] = B' [5 : 0] = 111111 に変換する。続いて、加算器 422 は G' [5 : 0] + R' [5 : 0] + B' [5 : 0] を実行する。この場合、画素データの加算結果、S U M [7 : 0] = 10111101 になる。合算器 423 は S U M [7 : 0] を取り込んで 1 ラインの間に集積する。例えば、1 ラインが 1024 画素である X G A 表示モードの液晶表示モジュールの場合、1 ラインの画素データが G [5 : 0] = 111111 であり、R [5 : 0] = B [5 : 0] = 000000 であると、1 ラインの間の集積されたデータ T S U M [17 : 0] は 101111010000000000 になる。続いて、割り算器 424 は T S U M [17 : 0] を 3 で割り算する。T S U M [17 : 0] を 3 で割り算した結果は 1111110000000000 になる。デューティレジスタ / ダウンカウンタ 426 は割り算器 424 の出力データのうち、上位 6 ビットデータ M S B [15 : 10] をデューティレジスタにロードし、これを制御部 428 から出力されるダウンカウンタクロック信号 C L K _ C O U N T に同期されてダウンカウントする。この時、ダウンカウントクロック信号 C L K _ C O U N T は 1 ライン時間を 6 ビットによって発生できる 2^6 (64) で割り算した周期のクロック信号である。従って、パルス発生器 427 はデューティレジスタ値をダウンカウントする間、デューティレジスタ / ダウンカウンタの出力信号に対応してデューティ信号 D u t y を出力する。即ち、パルス発生器 427 はデューティレジスタの値が 000000 になる時まで、出力信号をハイレベルに維持する。これはデューティレジスタの各ビットを入力とする 1 ビット入力 O R ゲートで形成され得る。前記画素データが入力されると、1 ライン時間 (1 H) の間、ハイレベル状態である 100% デューティ信号が出力される。画素データ R [5 : 0] = 111111 であり、G [5 : 0] = B [5 : 0] = 000000 である場合と、B [5 : 0] = 111111 であり、G [5 : 0] = R [5 : 0] = 000000 である場合も 1 ライン時間の間、各々最大輝度の 66% と 49% のデューティ信号が出力される。

20

30

40

【0036】

図 3 を参照すると、R - C 回路 500 はデューティ調節部 420 からのデューティ信号 D u t y に対応する可変輝度調節電圧 V d u t y を出力する。例えば、前述のように、画素データの色状態が緑、赤及び青である時、デューティレート信号 D u t y は最大輝度の各々 100%、66% 及び 49% のデューティレートを有する。

50

【0037】

インバータ62はR-C回路500からの可変輝度調節電圧Vdutyを取り込み、バックライト60、即ち、蛍光ランプ64の輝度を調節するための電流CTL_Iを出力する。

従って、本発明の液晶表示モジュールは、タイミング制御器400のデューティ調節部420が表示される画面の色状態に従ってデューティレートを有するデューティ信号Dutyを出力し、R-C回路500がデューティ信号Dutyに対応する可変輝度調節電圧Vdutyを発生する。そして、可変輝度調節電圧Vdutyに応じてインバータはバックライトユニット、即ち、蛍光ランプ64の電流CTL_Iを調節してバックライトの輝度が自動に調節される。

10

【0038】

図5及び図6は可変輝度調節電圧Vdutyとインバータ62の出力電流CTL_Iを示す波形である。

図5及び図6を参照すると、R-C回路500はデューティ信号Dutyに比例して電圧が決定される可変輝度調節電圧Vdutyを出力する。従って、インバータ62は可変輝度調節電圧Vdutyに対応してバックライトユニットの輝度を調節するための電流CTL_Iを出力することによって、液晶表示モジュール(LCDモジュール100)はR、G、Bの色に従って出力されるデューティ信号Dutyに対応して自動輝度調節機能を実行する。

20

【0039】

図9は本発明の実施形態によるデューティ調節部420のR、G、Bの色に対する自動輝度調節プログラムを示すフローチャートである。このプログラムはデューティ調節部420の制御部428が実行するプログラムであるので、制御部428の内部メモリ(図示しない)に貯蔵される。

図9を参照すると、段階S40で制御部428は画素データ獲得及び変換部421のR、G、Bレジスタをクリアする。段階S42でR、G、Bレジスタはホストから出力される画素データR[5:0], G[5:0], B[5:0]をラッチする。続いて、段階S44で制御部428はGレジスタの値が0ではなく、R、Bレジスタの値が各々0であるかを判別する。判別の結果がYESであると、手順は段階S46に進行して、R、BレジスタにGレジスタの値をロードする。判別の結果がYESではないと、手順は段階S48に進行する。段階S48で制御部428はRレジスタの値が0ではなく、G、Bレジスタの値が各々0であるかを判別する。判別の結果がYESであると、手順は段階S50に進行して、G、BレジスタにRレジスタの値の1/2値を各々ロードする。判別の結果がYESではないと、手順はS52に進行する。段階S52で制御部428はBレジスタの値が0ではなく、R、Gレジスタの値が各々0であるかを判別する。判別の結果がYESであると、手順は段階S54に進行して、R、GレジスタにBレジスタの値の1/4値を各々ロードする。このような手順は画素データR[5:0], G[5:0], B[5:0]の色状態に従って画素データR'[5:0], G'[5:0], B'[5:0]を画素データR'[5:0], G'[5:0], B'[5:0]に変換することを示す。

30

【0040】

続いて、段階S52の判別の結果がYESではないと、制御は段階S56に進行する。段階S56で制御部428は加算器422を制御して、R、G、Bレジスタの値を加える。続いて、段階S58で制御部428は現在画素データが1ライン(1H)の最後のデータであるかを判別し、判別の結果が1ライン(1H)の最後の画素データではないと、手順はS42に戻って、1ライン(1H)の最後まで段階S42～S56を反復実行する。

40

【0041】

判別の結果、現在画素データが1ライン(1H)の最後画素データであると、手順は段階S60に進行する。段階S60で割り算器424はR、G、Bレジスタの集積された値T SUM[17:0]を3で割り算して、その結果の上位6ビットの値MSB[15:10]をデューティレジスタに貯蔵する。続いて、段階S62でデューティレジスタ/ダウン

50

カウンタ 426 はデューティレジスタの値 M S B [15 : 10] をダウンカウントする。

【0042】

段階 S64 でパルス発生器 427 はダウンカウントされたデューティレジスタの値が 0 であるかを判別する。判別の結果、0 ではないと、段階 S66 でパルス発生器 427 はデューティレジスタのダウンカウントされた値に対応するデューティ信号 Duty を出力する。そして、0 であると、手順は終了される。

続いて、図 8 に示す R、G、B 画素データが各々 6 ビットデータである例を利用して詳細に制御部 428 の動作を説明する。

【0043】

先ず、制御部 428 は画素データ獲得及び変換部 421 の R、G、B レジスタをクリアする。続いて、画素データ R [5 : 0] , G [5 : 0] , B [5 : 0] を R、G、B レジスタにラッチする。10

ここで、G レジスタの値が 0 ではなく、R、B レジスタの値が各々 0 であると、R、B レジスタに G レジスタの値をロードする。R レジスタの値が 0 ではなく、G、B レジスタの値が各々 0 であると、G、B レジスタに R レジスタの値の 1 / 2 値を各々ロードする。B レジスタの値が 0 ではなく、R、G レジスタの値が各々 0 であると、R、G レジスタに B レジスタの値の 1 / 4 値を各々ロードする。例えば、画素データが 6 ビットである場合、G レジスタ G [5 : 0] = 101010 であり、R、B レジスタ R [5 : 0] = B [5 : 0] = 000000 であると、各レジスタは G [5 : 0] = R [5 : 0] = B [5 : 0] = 101010 をロードする。又、R レジスタ R [5 : 0] = 101010 であり、G、B レジスタ G [5 : 0] = B [5 : 0] = 000000 であると、R レジスタは R [5 : 0] = 101010 であり、G、B レジスタは R レジスタの値の 1 / 2 (例えば、R レジスタの値を右側に一度シフトした値) である G [5 : 0] = B [5 : 0] = 010101 をロードする。そして、B レジスタ B [5 : 0] = 101010 であり、R、G レジスタ R [5 : 0] = G [5 : 0] = 000000 であると、B レジスタは B [5 : 0] = 101010 であり、R、G レジスタは B レジスタの値の 1 / 4 (例えば、B レジスタの値を右側に二度シフトした値) である R [5 : 0] = G [5 : 0] = 001010 をロードする。又、前記 3 つの場合ではない他の場合にはこの過程をスキップする。20

【0044】

制御部 428 は加算器 422 が R、G、B レジスタの値を加えるように制御する。加えられた値 SUM [7 : 0] は合算器 423 に取り込まれ、R、G、B レジスタに集積される TSUN [17 : 0] となる。現在画素データが 1 ラインの最後のデータになると、レジスタの値を 3 で割り算し、その結果の上位 6 ビット M S B [15 : 10] をデューティレジスタに貯蔵する。続いて、デューティレジスタの値をダウンカウントしながら、000000 になる時まで出力信号がロジック 1 になるデューティレジスタの値に対応するデューティレートを有するデューティ信号 Duty を発生する。この時、デューティ信号は 1 ライン時間の周期を有する。又、ダウンカウントの時のダウンカウントクロック信号 CLK_COUNT は 1 ライン時間を 6 ビットによって発生できる 2^6 (即ち、64) で割り算した周期のクロック信号である。30

【0045】

このような過程を経て、R [5 : 0] = G [5 : 0] = B [5 : 0] = 111111、即ち、白である場合、R [5 : 0] + G [5 : 0] + B [5 : 0] = 189 であり、これを 100 % のデューティレートを有すると仮定すると、G [5 : 0] = 111111、R [5 : 0] = B [5 : 0] = 000000 である画素データの場合、R [5 : 0] = G [5 : 0] = B [5 : 0] = 111111 になり、[5 : 0] + G [5 : 0] + B [5 : 0] = 189 になって 100 % のデューティレートを有するデューティ信号を発生する。そして、R [5 : 0] = 111111、G [5 : 0] = B [5 : 0] = 000000 である画素データの場合、R [5 : 0] = 111111、G [5 : 0] = B [5 : 0] = 011111 になり、R [5 : 0] + G [5 : 0] + B [5 : 0] = 125 になって、66 % のデューティレートを有するデューティ信号を発生する。又、B [5 : 0] = 111111、40
50

$R[5:0] = G[5:0] = 000000$ である画素データの場合、 $B[5:0] 111111$ 、 $R[5:0] = G[5:0] = 001111$ になり、 $R[5:0] + G[5:0] + B[5:0] = 93$ になって、49%のデューティレートを有するデューティ信号を発生する。即ち、R、G、B各々の輝度が白である場合の最大輝度の66%、100%、49%に発生されて、R、G、B色状態に従う他の輝度が出力される。従って、緑の場合、最大輝度が発生し、赤、青順に輝度量を減少させて画面がさらに明るく感じられ、赤、青の時にはバックライトの輝度を減少させて消費電力を低減する。

【0046】

図10は一例としてDVDフォーマットファイルの実行の時、液晶表示モジュールの消費電力を実時間モニタリングした結果を示す。図10を参照すると、本発明の実施形態による液晶表示モジュールでの消費電力(約4.1W程度)は従来の輝度調節方式の消費電力(約5.4W程度)より平均1.3Wの消費電力を低減する効果がある。従って、図3に示すように電力容量が38Whの同一のバッテリを使用する場合、約2.23時間程度の駆動時間を延長できる。

【0047】

【表3】

	平均消費電力	バッテリ使用時間
従来の輝度調節方式	5.4W	7.04時間
本発明の輝度調節方式	4.1W	9.27時間
改善の程度	1.3W減少	2.23時間延長

本発明によるLCDモジュールは各画面別自動輝度調節の機能の他にも使用者の要請による輝度調節機能を実行できる。又、本発明のLCDモジュールは2つの輝度調節が互いに衝突しないで、適切に併合され得るようにする併合回路を含む。これに対する構成は次のとおりである。

【0048】

図11はLCDモジュールを携帯型コンピュータ又はデスクトップコンピュータで表示装置として使用する場合、本発明の第3実施形態によるLCDモジュールのバックライト輝度調節スキームを示すための構成図である。図11に示すLCDモジュールの構成は図3に示すLCDモジュールと比較すると、タイミング制御器400に備えられたデューティ調節部420から発生するデューティレート信号DUTYと、コンピュータ本体部200から発生する輝度調節電圧CTL_Vに応じて、R-C回路500から可変輝度調節電圧Vdutyを発生する併合回路600を有する点で異なる。従って、同一の機能を実行するブロックは同一の参照番号で示し、これに対する詳細な説明は省略する。

【0049】

併合回路600は抵抗R3を通じてタイミング制御器400に連結されて、1H単位のデューティレート信号DUTYを取り込むためのベースと、R-C回路500の入力端に連結されたエミッタ、そして、コンピュータ本体部200から輝度調節電圧を取り込むコレクタを備える第1トランジスタT1を含み、第1トランジスタT1のエミッタは抵抗R2を通じて接地に連結される。ここで、第1トランジスタT1はNPNトランジスタで構成される。しかし、これは回路構成の一例に過ぎなく、回路の設計方法に従って、NMOSトランジスタ、演算増幅器OPAMP等のような回路素子でも構成できる。

【0050】

併合回路600のトランジスタT1は、デューティ調節部420から発生するデューティレート信号DUTY及びコンピュータ本体部200から輝度調節電圧CTL_Vを取り込み、デューティレート信号DUTYがハイレベルである時、輝度調節電圧CTL_VをR-C回路500に選択的に出力するゲート回路としての役割を果たす。R-C回路500は併合回路600から選択的に出力される輝度調節電圧CTL_Vを取り込んでキャパシ

10

20

30

40

50

タC1を充電し、キャパシタC1に充電された電圧によって可変輝度調節電圧V_{duty}を発生する。ここで、コンピュータ本体部200から発生する輝度調節電圧CTL_Vは使用者によって所定の範囲内で任意に設定でき、併合回路600に備えられたR-C回路500を通じて出力される可変輝度調節電圧V_{duty}は表示される画面の階調値に従って電位が変化する。

【0051】

例えば、第1トランジスタT1のコレクタ端子にコンピュータ本体部200から発生した2Vの輝度調節電圧CTL_Vを印加する場合、併合回路600は第1トランジスタT1のベースに印加されるデューティレート信号DUTYに応じて輝度調節電圧CTL_VをR-C回路500に出力する。R-C回路500はデューティレート信号DUTYに従って選択的に出力される輝度調節電圧CTL_VによってキャパシタC1を充電し、キャパシタC1に充電された0-2Vの電圧を可変輝度調節電圧V_{duty}として出力する。そして、第1トランジスタT1のコレクタ端子にコンピュータ本体部200から発生した1Vの輝度調節電圧CTL_Vを印加する場合、併合回路600は第1トランジスタT1のベースに印加されるデューティレート信号DUTYのレベルに応じて0-1Vの間の輝度調節電圧V_{duty}をR-C回路500を通じて出力する。

【0052】

ここで、第1トランジスタT1のベースに印加されるデューティレート信号DUTYは、図に示すように、タイミング制御器400から発生することもできるが、画素を直接取り込んで処理できるLCDパネル、又は、コンピュータ本体部200に備えられたグラフィック制御器(図示しない)から発生することもできる。従って、併合回路600はLCDモジュールの内部に備えられたインバータ62回路基板の他にもLCDパネル又はコンピュータ本体部200に形成され得る。

【0053】

図12は図11に示すLCDモジュールによるバックライト輝度調節結果及びこれに従うコントラスト表示結果を示すための図であり、図13は図11に示すLCDモジュールによって実行されるバックライト輝度調節に従う消費電力を示すための図である。

図12を参照すると、本発明によるLCDモジュールでのバックライト輝度調節の結果、黒のように暗い画面での輝度は従来技術に比べてさらに低くなり、黑白の対比を示すコントラストが従来技術に比べて非常に高くなる。その結果、黑白の対比が著しくなって、LCDモジュールを通じて表示される画面がさらに鮮明に感じられる。

【0054】

図13を参照すると、本発明によるLCDモジュールでの輝度調節に従う消費電力は、黒及び白を表示する時の消費電力は従来技術に比べて2.2W減少し、一般的な画面の表示を体表するモザイクパターンでの消費電力は従来技術に比べて0.9W減少する。このように、本発明によるLCDモジュールは併合回路600を追加することによって、コンピュータ本体部200から決定された輝度調節電圧の範囲内で画像に従う輝度の調節を能動的に実行できる。

【0055】

NPNトランジスタT1で構成された併合回路600を含むLCDモジュールは、NPNトランジスタT1の代わりにPNPトランジスタでも構成でき、これに対する回路の構成を図14に示す。

図14はLCDモジュールを携帯型コンピュータ又はデスクトップコンピュータで表示装置として使用する場合、本発明の第4実施形態によるLCDモジュールのバックライト輝度調節スキームを示すための構成図である。図14に示すLCDモジュールは図11に示すLCDモジュールと比較すると、NPNトランジスタT1で構成された併合回路600の代わりPNPトランジスタで構成された併合回路600'を含むことと、R-C回路500'の出力端に抵抗R6を1つ有する点で異なる。従って、同一の機能を実行するプロックは同一の参照番号で示し、これに対する詳細な説明は省略する。

【0056】

10

20

30

40

50

併合回路 600' は、抵抗 R 4 を通じてコンピュータ本体部 200 から輝度調節電圧 CTL_V を取り込むためのエミッタ、抵抗 R 7 を通じてタイミング制御器 400 に連結されて 1H 単位のデューティレート信号 DUTY を取り込むためのベース、そして、接地に連結されたコレクタを含む第 2 トランジスタ T2 で構成され、第 2 トランジスタ T2 のエミッタは R - C 回路 500' の入力端に連結される。

【0057】

併合回路 600' を構成するトランジスタ T2 はデューティ調節部 420 から発生するデューティレート信号 DUTY 及びコンピュータ本体部 200 から輝度調節電圧 CTL_V を取り込み、デューティレート信号 DUTY がハイレベルである時、輝度調節電圧 CTL_V を R - C 回路 500' に選択的に出力するゲート回路としての役割を果たす。R - C 回路 500' は併合回路 600' から選択的に出力される輝度調節電圧 CTL_V を取り込んでキャパシタ C2 を充電し、キャパシタ C2 に充電された電圧によって可変輝度調節電圧 Vduty を発生する。ここで、コンピュータ本体部 200 から発生する輝度調節電圧 CTL_V は使用者によって所定の範囲内で任意に設定でき、R - C 回路 500' を通じて出力される可変

可変輝度調節電圧 Vduty は表示される画面の階調値に従って電位が変化する。R - C 回路 500' の出力端に連結された抵抗 R6 は、R - C 回路 500' を通じて出力される可変輝度調節電圧 Vduty を所定比率で割り算する役割を果たす。

【0058】

第 2 トランジスタ T2 は PNP トランジスタで構成され、これは回路の構成の一例に過ぎなく、回路の設計方法に従って PMOS トランジスタ、演算増幅器等のような回路素子でも構成できる。

前述のような構成を有する LCD モジュールの場合、コンピュータ本体部 200 から 0V の輝度調節電圧 CTL_V を印加する時、併合回路 600' に備えられたトランジスタ T2 のベースエミッタ電圧 VBE によって 0V の輝度調節電圧 CTL_V' が R - C 回路 500' に印加されないこともある。従って、前記回路にはこのようなベースエミッタ電圧 VBE の影響を除去するために図 15 のようにレベルシフタを追加する。

【0059】

図 15 は LCD モジュールを携帯型コンピュータ又はデスクトップコンピュータで表示装置として使用する場合、本発明の第 5 実施形態による LCD モジュールのバックライト輝度調節スキームを示すための構成図である。図 15 に示す LCD モジュールは図 14 に示す LCD モジュールと比較すると、タイミング制御器 400 と併合回路 600' の間にレベルシフタ 700 を有する点で異なる。従って、同一の機能を実行するブロックは同一の参照番号で示し、これに対する詳細な説明は省略する。

【0060】

レベルシフタ 700 は、併合回路 600' の入力端に連結されたエミッタと、抵抗 R8 を通じてタイミング制御器 400 に連結されたベース、そして、電源電圧 VDD に連結されたコレクタを備える NPN タイプの第 3 トランジスタ T3 と、一端がエミッタに連結された抵抗 R9 と、抵抗 R9 の他端と接地との間に連結されたダイオード D1、そして、抵抗 R9 の他端とトランジスタのターンオフ電圧 Voff 端子との間に連結された抵抗 R10 を含む。

【0061】

このように、NPN トランジスタ T3、ダイオード D1 及び所定の抵抗 R9, R10 で構成されたレベルシフタ 700 は、接地 - ダイオード D1 - 抵抗 R9, R10 - 薄膜トランジスタのターンオフ電圧（例えば、-5V 以下の電圧）に至る電流経路で、第 3 トランジスタ T3 のベースエミッタ電圧 VBE ほどダイオード D1 の電圧降下を発生し、この値を第 3 トランジスタ T3 のエミッタ端子と抵抗 R9 に提供する。その結果、併合回路 600' に備えられたトランジスタ T2 はフルスイングし、0V の輝度調節電圧 CTL_V' が R - C 回路 500' に印加される。

【0062】

10

20

30

40

50

図16に示す各ノードでの出力波形を参照して、レベルシフタ700を備えるLCDモジュールの動作を説明すると、タイミング制御器400から発生する0乃至3Vのデューティレート信号DUTYがレベルシフタ700に入力されると、デューティレート信号DUTYが0Vである時、-0.6V(即ち、-VBE)のレベルシフタ電圧Vshiftが出力され、デューティレート信号DUTYが3V(即ち、電源電圧レベルVDD)である時、3V-VBEである2.4Vのレベルシフタ電圧Vshiftが出力される。即ち、レベルシフタ700は0乃至3Vのデューティレート信号DUTYに応じて-0.6V(即ち、-VBE)乃至2.4(即ち、3V-VBE)のレベルシフタ電圧Vshiftを発生する。

【0063】

10
このように、レベルシフタ700から発生したレベルシフタ電圧VshiftがPNPトランジスタT2で構成される併合回路600'に入力される時、R-C回路500'から出力される可変輝度調節電圧Vdutyは次のとおりである。例えば、-0.6V(即ち、-VBE)のレベルシフタ電圧Vshiftが入力される時、PNPトランジスタT2のエミッタの電位は-0.6V(-VBE)+VBEになって、0Vの輝度調節電圧CTL_VがR-C回路500'に印加され、2.4Vのレベルシフタ電圧Vshiftが入力される時、PNPトランジスタT2は3Vの輝度調節電圧CTL_VをR-C回路500'に印加する。このようなPNPトランジスタT2のエミッタ電圧CTL_V(即ち、コンピュータ本体部200から発生した輝度調節電圧)は、R-C回路500'を経て充電された後、可変輝度調節電圧Vdutyとして出力される。可変輝度調節電圧Vdutyはインバータ62に印加されて、バックライトの輝度を調節する。図16のエミッタ電圧CTL_Vにおいて、破線は使用者によって調節できる輝度調節電圧の範囲を各々示し、前記範囲内でバックライトの輝度が自動に調節される。

【0064】

図17は本発明によるLCDモジュールの輝度調節方法を示すためのフローチャートである。図17を参照すると、段階S10でタイミング制御器400のデューティ調節部420は1つの画面に表示される各画素データに対する階調値を1ライン単位(1H)で算出する。そして、段階S12でデューティ調節部420は階調値に対応するデューティレート信号DUTYを併合回路600に発生する。続いて、段階S14で併合回路600はデューティレート信号DUTYとコンピュータ本体部200から発生した輝度調節電圧に応じて可変輝度調節電圧Vdutyを発生し、インバータ62は可変輝度調節電圧Vdutyを取り込んでバックライトの輝度を自動に調節する。

【0065】

このように、本発明によるLCDモジュールはタイミング制御器400のデューティ調節部420によって発生するデューティレート信号DUTY及び使用者の設定によってコンピュータ本体部200から発生する輝度調節電圧CTL_Vを併合してバックライトの輝度を自動に調節する。その結果、図12及び図13に示すように、LCDモジュールに表示される各画面別コントラストを向上でき、LCDモジュールの消費電力を低減できる。

【0066】

以上、本発明による回路の構成及び動作を説明したが、これは一例に過ぎない。本発明の技術的な思想から逸脱しない範囲内で様々に変化及び変更できる。

【0067】

【発明の効果】

本発明によると、各画面別デューティレートを自動に調節することによって、各画面別輝度調節が自動に実行され得る。

そして、使用者の要請による輝度調節と自動に実行される各画面別輝度調節との間の衝突を防止し、前記輝度調節方法を適切に併合できる。

【0068】

そして、LCDモジュールに表示される各画面別コントラストを向上でき、LCDモジュールの消費電力を低減できる。

10

20

30

40

50

又、本発明は液晶表示モジュールの画素データのR、G、B色に従ってデューティレートを制御して輝度を自動調節することによって、液晶表示モジュールの消費電力を低減でき、これによってバッテリを使用する携帯型電子装置の場合、バッテリ使用時間を延長できる。

【0069】

そして、R、G、B色に従って輝度を調節することによって、R、G、B色に対する黑白の輝度変化が非常に向上されて、暗い画面から明るい画面に変化する時、さらに明るく感じられるので、立体感を感じることができる。

【図面の簡単な説明】

【図1】一般的なLCDモジュールの構成を示す図である。 10

【図2】LCDモジュールに対する従来技術による輝度調節スキームを示す構成図である。

【図3】本発明の第1及び第2実施形態によるLCDモジュールのバックライト輝度調節スキームを示す構成図である。

【図4】図3に示すバックライト輝度調節スキームが本発明の第1実施形態に適用される時、デューティ調節部及びR-C回路から出力される輝度調節電圧の波形を示す図である。

【図5】図3に示すバックライト輝度調節スキームが本発明の第2実施形態に適用される時、デューティ調節部及びR-C回路から出力される輝度調節電圧の波形を示す図である。 20

【図6】図3に示すバックライト輝度調節スキームが本発明の第1及び第2実施形態に適用される時、デューティ調節部及びR-C回路から出力される輝度調節電圧に従って線形的に決定されるランプの電流及び輝度の間の関係を示す図である。

【図7】一般的な64階調TFT-LCDの各色に対する輝度を示す図である。

【図8】図3に示す本発明の第2実施形態によるLCDモジュールのバックライト輝度調節スキームでのデューティ調節部を示す構成図である。

【図9】本発明の第2実施形態によるLCDモジュールのバックライト輝度調節スキームによるデューティ調節部の自動輝度調節プログラムを示すフローチャートである。

【図10】本発明の実施形態による液晶表示モジュールの消費電流量を実時間モニタリングした結果を示す波形図である。 30

【図11】本発明の第3実施形態によるLCDモジュールのバックライト輝度調節スキームを示す構成図である。

【図12】図11に示すLCDモジュールのバックライト輝度調節スキームによるバックライト輝度調節結果及びこれに従うコントラスト表示結果を示す図である。

【図13】バックライト輝度が図11に示すLCDモジュールのバックライト輝度調節スキームによって制御される時の消費電力を示す図である。

【図14】本発明の第4実施形態によるLCDモジュールのバックライト輝度調節スキームを示す構成図である。

【図15】本発明の第5実施形態によるLCDモジュールのバックライト輝度調節スキームを示す構成図である。 40

【図16】図15に示す各機能ロックの出力波形を示す図である。

【図17】本発明によるLCDモジュールの輝度調節方法を示すフローチャートである。

【符号の説明】

10 LCDパネル

20, 30 駆動回路

40 400 タイミング制御器

60 バックライト

62 インバータ

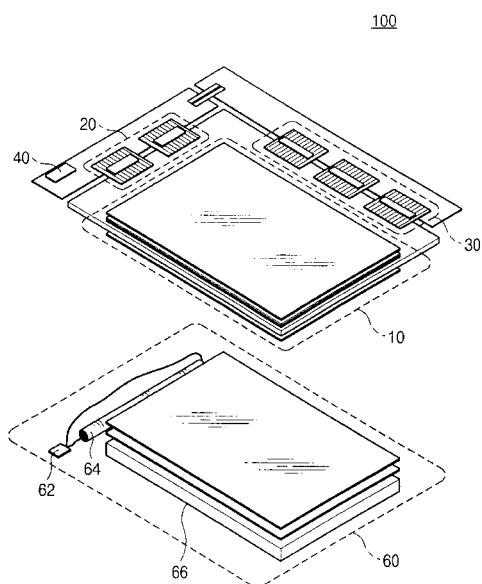
64 ランプ

66 反射板

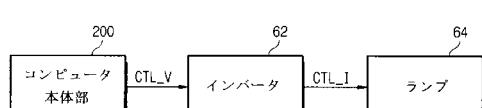
- 200 コンピュータ本体部
 420 デューティ調節部
 421 画素データ獲得及び変換部
 422 加算器
 423 合算器
 424 割り算器
 426 デューティレジスタ / ダウンカウンタ
 427 パルス発生器
 428 制御部
 500 R - C 回路
 600 併合回路
 700 レベルシフタ

10

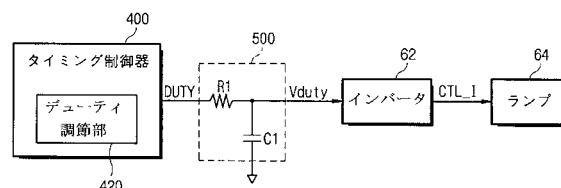
【図1】



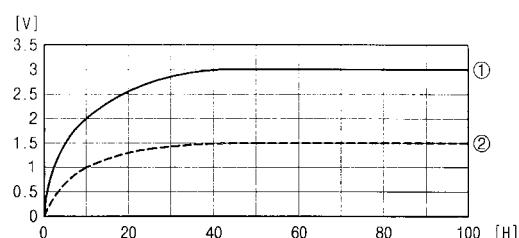
【図2】



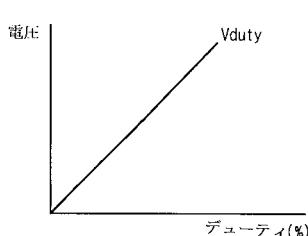
【図3】



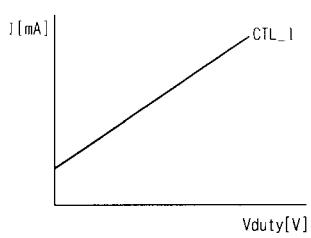
【図4】



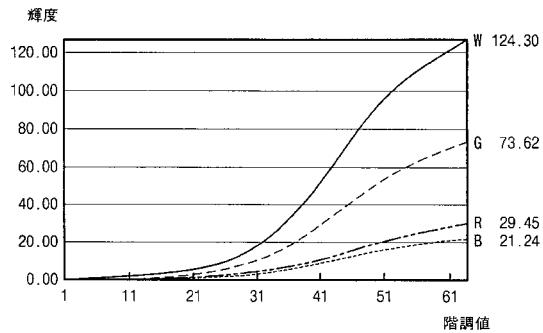
【図5】



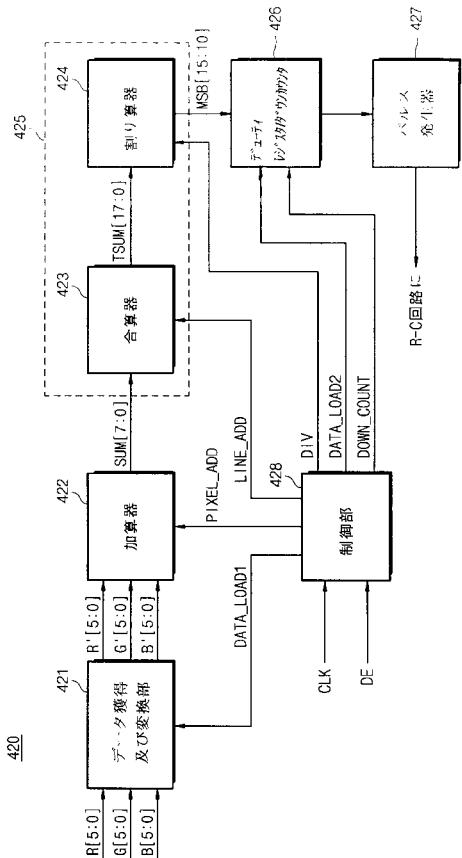
【図6】



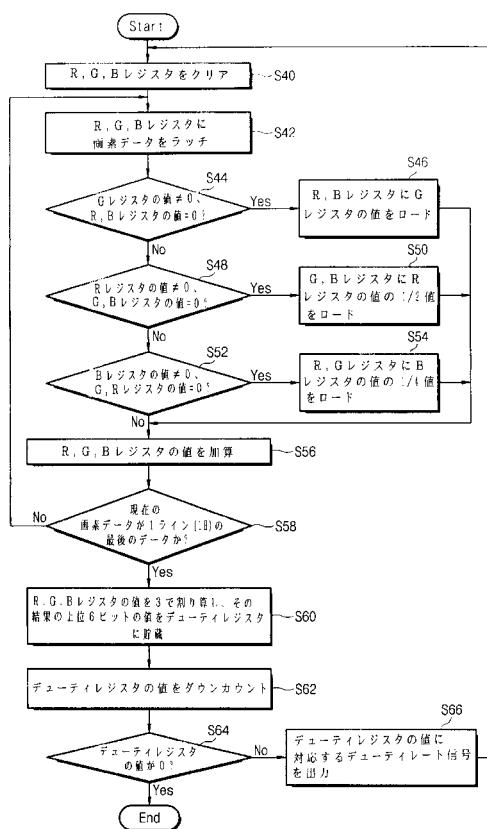
【図7】



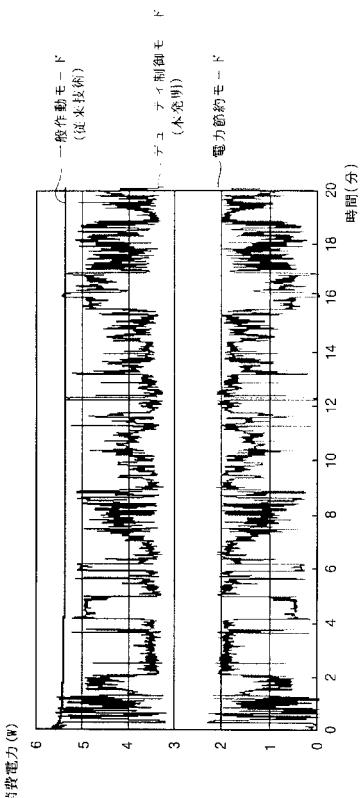
【図8】



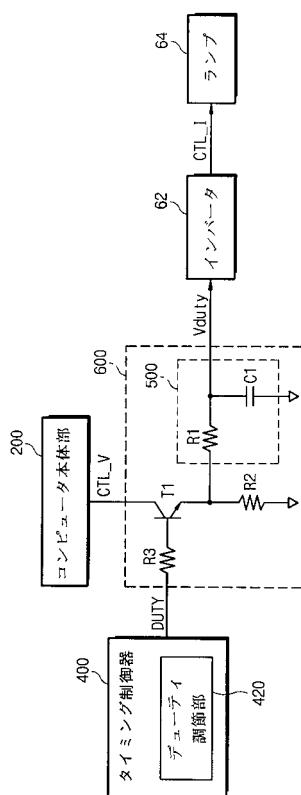
【図9】



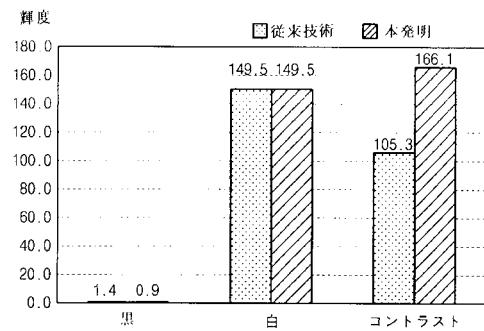
【図10】



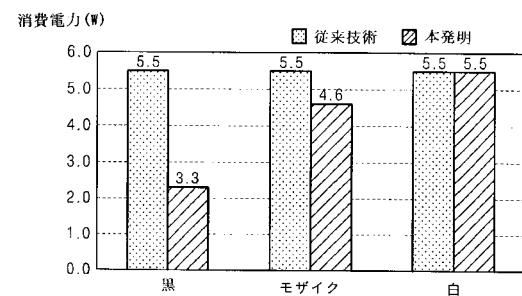
【図11】



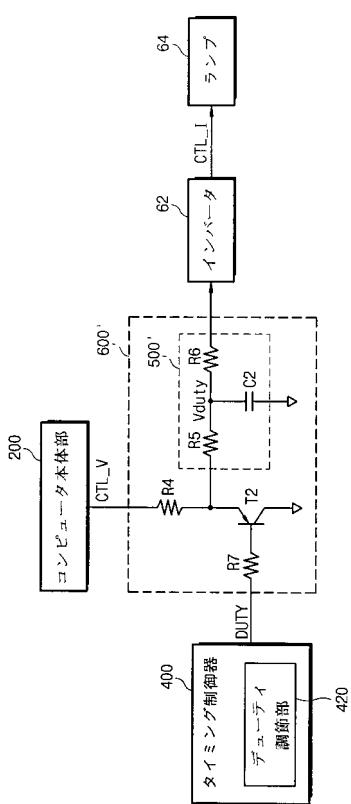
【図12】



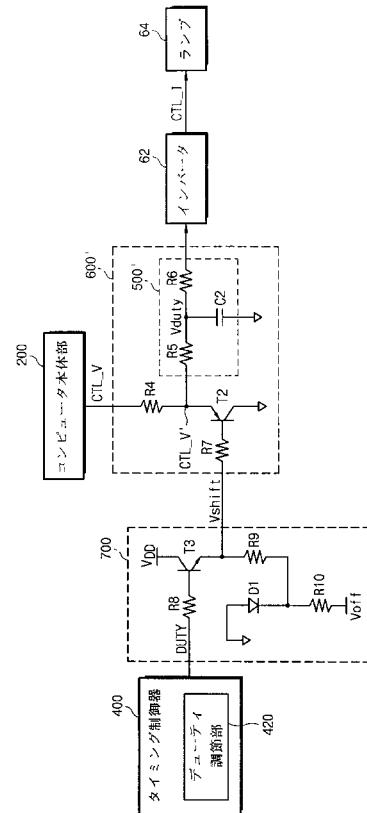
【図13】



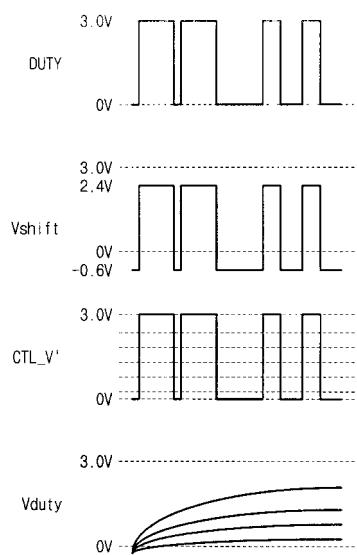
【図14】



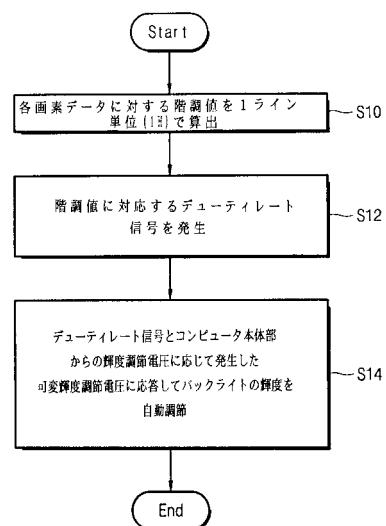
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.	F I		
H 05 B 41/40	(2006.01)	G 09 G 3/20	6 2 1 L
H 05 B 41/42	(2006.01)	G 09 G 3/34	J
		H 04 N 5/66	1 0 2 A
		H 05 B 41/40	Z
		H 05 B 41/42	Z

(72)発明者 文 勝 煥

大韓民国ソウル市瑞草区蚕院洞71-11盤浦タワー韓新アパート102棟1207号

(72)発明者 金 相 淳

大韓民国ソウル市松坡区五輪洞オリンピック選手村アパート328棟1005号

(72)発明者 朴 東 園

大韓民国ソウル市西大門区北阿 ヒョン 1洞1006慶南アパート101棟801号

(72)発明者 チョ ヒヨング ベ

大韓民国ソウル市冠岳区新林洞409-33番地

審査官 一宮 誠

(56)参考文献 特開平06-034946(JP,A)

特開平08-248920(JP,A)

特開平04-329592(JP,A)

特開平04-118625(JP,A)

特開平11-194736(JP,A)

特開平08-179276(JP,A)

特開平05-236400(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	液晶显示模块的自动亮度控制装置和方法		
公开(公告)号	JP4212268B2	公开(公告)日	2009-01-21
申请号	JP2001370089	申请日	2001-12-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	文勝煥 金相洙 朴東園 チョヒヨングベ		
发明人	文勝煥 金相洙 朴東園 チョヒヨングベ		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G3/34 H04N5/66 H05B41/40 H05B41/42		
CPC分类号	G09G3/3406 G09G3/2011 G09G3/3413 G09G2320/0238 G09G2320/0276 G09G2320/0606 G09G2320/0613 G09G2320/064 G09G2320/0653 G09G2330/021 G09G2360/16		
FI分类号	G09G3/36 G02F1/133.535 G09G3/20.611.A G09G3/20.612.D G09G3/20.612.U G09G3/20.621.L G09G3/34.J H04N5/66.102.A H05B41/40.Z H05B41/42.Z H05B41/40 H05B41/42		
F-TERM分类号	2H093/NA10 2H093/NC13 2H093/NC42 2H093/NC52 2H093/NC59 2H093/NC62 2H093/NC90 2H093/ND04 2H093/ND06 2H093/ND07 2H093/ND08 2H093/ND39 2H093/ND48 2H093/ND49 2H093/ND58 2H193/ZB44 2H193/ZG04 2H193/ZG48 2H193/ZG50 2H193/ZG56 2H193/ZH23 2H193/ZH40 2H193/ZH57 3K098/CC42 3K098/CC56 3K098/DD35 3K098/DD37 3K098/DD43 3K098/EE32 3K098/FF20 5C006/AA22 5C006/AF45 5C006/AF69 5C006/BB16 5C006/BF27 5C006/BF31 5C006/BF36 5C006/BF46 5C006/EA01 5C006/FA47 5C006/GA02 5C058/AA07 5C058/AA08 5C058/AA09 5C058/AB03 5C058/BA05 5C058/BA07 5C058/BA08 5C058/BA26 5C058/BA29 5C058/BB03 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD04 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07		
审查员(译)	一宮诚		
优先权	1020000085540 2000-12-29 KR 1020010026136 2001-05-14 KR		
其他公开文献	JP2002258820A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于LCD模块的自动亮度调节装置及其方法。根据本发明的LCD装置以1小时（水平周期时间）为单位计算LCD模块上显示的一个屏幕的灰度值的平均值，并计算与计算的灰度值对应的占空比。定时控制器400包括占空比调节单元420，用于在一帧上产生从定时控制器400产生的信号DUTY和占空比信号DUTY，并将该电位与要显示的屏幕的灰度值成比例地相加包括RC电路500，其产生不同的可变亮度调节电压Vduty。连接到RC电路500的逆变器62通过根据可变亮度调节电压Vduty限制灯64的电流来控制背光的亮度。

階調	デューテイ (%)	画素クロック (個)
0	0	0
1	0.3	2
2	1.2	8
3	2.9	19
4	5.5	35
5	8.9	57
6	13.3	85
7	18.7	120
8	25.1	161
9	32.5	208
10	41.0	262
11	50.5	323
12	61.2	392
13	73.0	467
14	85.9	550
15	100	640