

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4197574号
(P4197574)

(45) 発行日 平成20年12月17日 (2008.12.17)

(24) 登録日 平成20年10月10日 (2008.10.10)

(51) Int. Cl.	F 1
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368
GO 2 F 1/1343 (2006.01)	GO 2 F 1/1343

請求項の数 11 (全 30 頁)

(21) 出願番号	特願2000-145899 (P2000-145899)	(73) 特許権者	000153878
(22) 出願日	平成12年5月18日 (2000.5.18)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2001-33824 (P2001-33824A)		神奈川県厚木市長谷398番地
(43) 公開日	平成13年2月9日 (2001.2.9)	(74) 代理人	100082669
審査請求日	平成17年10月6日 (2005.10.6)		弁理士 福田 賢三
(31) 優先権主張番号	特願平11-139374	(74) 代理人	100095337
(32) 優先日	平成11年5月20日 (1999.5.20)		弁理士 福田 伸一
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100061642
			弁理士 福田 武通
		(74) 代理人	100095061
			弁理士 加藤 恭介
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に形成された薄膜トランジスタと、
前記薄膜トランジスタ上に形成されたコンタクトホールを有する層間絶縁膜と、
前記コンタクトホールを介して前記薄膜トランジスタの電極と電気的に接続された画素電極と、

前記層間絶縁膜上に接して形成された共通電極と、
前記画素電極の一部と前記共通電極の一部との間に重なるように挟まれて形成された前記共通電極の酸化膜と、

前記薄膜トランジスタ、層間絶縁膜、画素電極、共通電極、および酸化膜の上に形成された液晶層と、

から少なくとも構成され、
前記画素電極と前記共通電極との間に電圧が印加され前記液晶層の配向が変化することを特徴とする液晶表示装置。

【請求項 2】

基板上に形成された薄膜トランジスタと、
前記薄膜トランジスタ上に形成されたコンタクトホールを有する層間絶縁膜と、
前記コンタクトホールを介して前記薄膜トランジスタの電極と電気的に接続された画素電極と、

前記層間絶縁膜上に接して形成された共通電極と、

10

20

前記画素電極の一部と前記共通電極の一部との間に重なるように挟まれて形成された前記共通電極の酸化膜と、

前記薄膜トランジスタ、層間絶縁膜、画素電極、共通電極、および酸化膜の上に形成された液晶層と、

から少なくとも構成され、

前記画素電極と前記共通電極とはジグザク形状であり、

前記画素電極と前記共通電極との間に電圧が印加され前記液晶層の配向が変化することを特徴とする液晶表示装置。

【請求項 3】

基板上に形成された薄膜トランジスタと、

10

前記薄膜トランジスタ上に形成されたコンタクトホールを有する層間絶縁膜と、

前記コンタクトホールを介して前記薄膜トランジスタの電極と電氣的に接続された画素電極と、

前記コンタクトホールを囲むように前記層間絶縁膜上に接して形成された共通電極と、

前記画素電極の一部と前記共通電極の一部との間に重なるように挟まれて形成された前記共通電極の酸化膜と、

前記薄膜トランジスタ、層間絶縁膜、画素電極、共通電極、および酸化膜の上に形成された液晶層と、

から少なくとも構成され、

前記画素電極と前記共通電極との間に電圧が印加され前記液晶層の配向が変化することを特徴とする液晶表示装置。

20

【請求項 4】

基板上に形成された薄膜トランジスタと、

前記薄膜トランジスタ上に形成されたコンタクトホールを有する層間絶縁膜と、

前記コンタクトホールを介して前記薄膜トランジスタの電極と電氣的に接続された画素電極と、

前記コンタクトホールを囲むように前記層間絶縁膜上に接して形成された共通電極と、

前記画素電極の一部と前記共通電極の一部との間に重なるように挟まれて形成された前記共通電極の酸化膜と、

前記薄膜トランジスタ、層間絶縁膜、画素電極、共通電極、および酸化膜の上に形成された液晶層と、

30

から少なくとも構成され、

前記画素電極と前記共通電極とはジグザク形状であり、

前記画素電極と前記共通電極との間に電圧が印加され前記液晶層の配向が変化することを特徴とする液晶表示装置。

【請求項 5】

前記層間絶縁膜は樹脂膜であることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の液晶表示装置。

【請求項 6】

前記薄膜トランジスタは、半導体膜と、ゲート配線と、前記半導体膜と前記ゲート配線との間に設けられたゲート絶縁膜とを有し、

40

前記ゲート配線は、第 1 の導電膜と第 2 の導電膜とが積層してなる

ことを特徴とする請求項 1 乃至請求項 5 のいずれか一項に記載の液晶表示装置。

【請求項 7】

前記薄膜トランジスタは少なくとも一つのチャネル形成領域を有する半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極を有し、

前記薄膜トランジスタの前記チャネル形成領域と前記共通電極の一部とが重なることを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の液晶表示装置。

【請求項 8】

50

前記画素電極の一部と前記共通電極の一部とによって挟まれる領域を避けてスペーサが配置されていることを特徴とする請求項1乃至請求項7のいずれか一項に記載の液晶表示装置。

【請求項9】

前記共通電極はアルミで形成され、前記酸化膜はアルミナ膜であることを特徴とする請求項1乃至請求項8のいずれか一項に記載の液晶表示装置。

【請求項10】

前記酸化膜は、20nm以上100nm以下であることを特徴とする請求項1乃至請求項9のいずれか一項に記載の液晶表示装置。

【請求項11】

請求項1乃至請求項10のいずれか一項に記載の液晶表示装置を用いていることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

例えば、液晶表示装置は、マトリクス状に配置された数百万個の画素の各々にTFTを配置し、各画素電極に印加される電荷をTFTのスイッチング機能により制御することで液晶の電気光学特性を変化させ、液晶パネルを透過する光を制御して画像表示を行うものである。

【0005】

このような液晶表示装置の駆動方法において、平行電極構造により基板に対して横方向の電界を制御して液晶表示装置を駆動するIPS方式（特開平6-160878号公報に記載）が知られている。

【0006】

このIPS方式により駆動する液晶表示装置は低い電圧で駆動ができ、他の駆動方式（TN方式、STN方式等）に比べて高視野角特性を有している。

【0007】

また、IPS方式の液晶表示装置は、同一基板上の画素領域内にTFT、ゲート線、ソース線、画素電極、コモン線およびコモン線より延在するコモン電極を備えている。また、画素電極に印加された電界が他の画素に影響を与えないようにするため、各画素電極は画素電極と平行に配置されるコモン電極にて挟まれた構成としている。従って、IPS方式の液晶表示装置は、これらの電極の電極面積が必要となり開口率が低下していた。

【0008】

また、一般に液晶表示装置においては電荷保持時間を確保するため、保持容量を形成する必要がある。IPS方式の液晶表示装置においても、保持容量を形成するため十分な電極面積を必要とするので開口率が低下していた。

【0009】

また、配線及び電極の微細化を行い、開口率を向上させた場合、十分な保持容量を確保することが困難となっている。

【0010】

【発明が解決しようとする課題】

本明細書で開示する発明は、上記従来の問題点を解決するための技術を提供するものである。即ち、IPS方式の液晶表示装置において、保持容量の形成方法を提案し、開口率の高い画素領域を形成する技術を提供することを課題とする。

【0011】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

10

一对の基板と該一对の基板に挟持された液晶層とを有し

前記一对の基板のうち、一方の基板には画素電極が形成されており、前記画素電極と共通電極との間で基板面に平行な電界を印加する半導体装置において、

共通電極と、該共通電極の少なくとも一部に酸化膜と、該酸化膜の上に設けられた画素電極とで形成される容量を備えていることを特徴とする半導体装置である。

【0012】

また、上記構成において、前記共通電極は陽極酸化可能な材料からなることを特徴としている。

【0013】

また、他の発明の構成は、

20

一对の基板と該一对の基板に挟持された液晶層とを有し、

前記一对の基板のうち、一方の基板には画素電極が形成されており、前記画素電極と共通電極との間で基板面に平行な電界を印加する半導体装置において、

共通電極と、該共通電極の少なくとも一部に陽極酸化膜と、該陽極酸化膜の上に設けられた画素電極とで形成される容量を備え、

前記液晶層はシール材で囲まれ、前記シール材が形成された領域にスペーサが形成されていることを特徴とする半導体装置である。

【0014】

また、他の発明の構成は、

30

一对の基板と該一对の基板に挟持された液晶層とを有し、

前記一对の基板のうち、一方の基板には画素電極が形成されており、前記画素電極と共通電極との間で基板面に平行な電界を印加する半導体装置において、

共通電極と、該共通電極の少なくとも一部に陽極酸化膜と、該陽極酸化膜の上に設けられた画素電極とで形成される容量を備え、

前記画素電極が設けられた画素部と駆動回路との間の領域及び前記駆動回路の素子が存在しない領域にスペーサが形成されていることを特徴とする半導体装置である。

【0015】

また、他の発明の構成は、

一对の基板と該一对の基板に挟持された液晶層とを有し、

40

前記一对の基板のうち、一方の基板には画素電極が形成されており、前記画素電極と共通電極との間で基板面に平行な電界を印加する半導体装置において、

共通電極と、該共通電極の少なくとも一部に陽極酸化膜と、該陽極酸化膜の上に設けられた画素電極とで形成される容量を備え、

前記画素電極のコンタクト部上にスペーサが存在することを特徴とする半導体装置である。

【0016】

また、上記各構成において、前記酸化膜は印加電圧／給電時間が11V/min以上である陽極酸化工程を経て形成されたことを特徴としている。

【0017】

また、上記構造を実現するための発明の構成は、

50

T F Tの上方に樹脂膜を形成する工程と、
前記樹脂膜上に共通電極を形成する工程と、
前記共通電極の酸化膜を形成する工程と、
前記酸化膜を少なくとも一部を覆って画素電極を形成する工程とを有し、
容量が前記共通電極と、前記共通電極の酸化膜と、前記画素電極とで形成されることを特徴とする半導体装置の作製方法である。

【0018】

また、他の発明の構成は、
T F Tの上方に樹脂膜を形成する工程と、
前記樹脂膜上に無機膜を形成する工程と、
前記無機膜上に共通電極を形成する工程と、
前記共通電極の酸化膜を形成する工程と、
前記酸化膜を少なくとも一部を覆って画素電極を形成する工程とを有し、
容量が前記共通電極と、前記共通電極の酸化膜と、前記画素電極とで形成されることを特徴とする半導体装置の作製方法である。

10

【0019】

また、上記各構成において、前記樹脂膜上に無機膜を形成する工程は、スパッタ法により形成することを特徴としている。

【0020】

また、上記各構成において、前記共通電極の酸化膜を形成する工程は、印加電圧／給電時間が11V／min以上である陽極酸化工程であることを特徴としている。

20

【0021】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【0022】

本願発明においては図1(A)及び図1(B)に示すように、陽極酸化可能な材料からなる第1の電極(共通電極103)を設け、該電極の表面に酸化膜105を設け、さらに酸化膜上に第2の電極(画素電極104)を設けて、陽極酸化法により形成された酸化膜を誘電体とする保持容量106を形成することを特徴とする。また、図1(A)及び図1(B)において、101はゲート線、101a、101bはゲート線より延在しているゲート電極、102はソース線である。

30

【0023】

本願発明においては第1の電極(共通電極103)と第2の電極(画素電極104)とで形成される横方向(基板と平行な方向)の電界を制御して液晶表示装置を駆動するIPS方式を用いる。なお、図2は、図1(A)及び図1(B)に相当する等価回路図である。

【0024】

本願発明で用いる陽極酸化可能な材料としては、バルブ金属膜(例えば、アルミニウム、タンタル膜、ニオブ膜、ハフニウム膜、ジルコニウム膜、クロム膜、チタン膜等)や導電性を有する珪素膜(例えばリンドープシリコン膜、ボロンドープシリコン膜等)でも良いし、前記バルブ金属膜をシリサイド化したシリサイド膜、窒化したバルブ金属膜(窒化タンタル膜、窒化タングステン膜、窒化チタン膜等)を主成分とする材料を用いることができる。また、他の金属元素(タングステン膜、モリブデン膜等)との共融体である合金(例えばモリブデントantal合金等)を用いることも可能である。また、これらを自由に組み合わせ積層しても良い。

40

【0025】

バルブ金属とは、アノード的に生成したバリアー型陽極酸化膜がカソード電流は流すがアノード電流は通さない、即ち弁作用を示すような金属を指す。(電気化学便覧 第4版; 電気化学協会編、p370、丸善、1985)

【0026】

また、上記陽極酸化可能な材料からなる第1の電極(共通電極103)の構造は、単層膜

50

からなる電極としても良いし、多層膜からなる電極としてもよい。また、図1(A)において、第1の電極(共通電極103)はフローティング状態(電氣的に孤立した状態)として動作させることも可能だが、図12に示した画素電極形状として固定電位、好ましくはコモン電位(データとして送られる画像信号の中間電位)近傍でフリッカーの生じないレベルに設定してもよい。また、図13に示した電極形状のように光や電磁波を遮る遮蔽膜の機能を兼ねさせてもよい。また、図1(A)では第2の電極(画素電極104)の形状をT字形状とした例を示したが、特に限定されない。例えば、画素電極の形状が図14に示すようなジグザグ形状や、図15に示すような「く」の字形状や、図16に示すような形状であってもよい。

【0027】

10

なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電氣的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含まれているものとする。

【0028】

また、本願発明の陽極酸化法は従来の方法(陽極酸化液中に浸された陽極と陰極間に流れる電流及び電圧を定電流状態から定電圧状態に移行させる方法)とは異なる方法を用いる。従来の方法では陽極酸化可能な材料と密着性の悪い材料膜、例えば有機樹脂膜を下地として、その上に電極を設け、該電極を陽極酸化した場合、どうしても電極端部において不均一な陽極酸化が行われ陽極酸化膜の廻り込みによる膜剥がれが生じていた。

20

【0029】

そこで、本願発明では、従来と比較して、本発明の陽極酸化工程の陽極酸化しようとする電極の単位面積当たりにおける電流値及び単位時間当たりの印加電圧値を大きい値とし、目標電圧に到達した段階で終了させると廻り込み量を小さくすることができた。加えて、陽極酸化工程にかかる時間を短縮するために、定電圧状態の時間を数秒～数分、あるいは定電圧状態の時間をゼロとして陽極酸化膜を形成する。

【0030】

本願発明の形成方法の一例を以下に図3を用いて説明する。なお、当然ながら、陽極酸化工程が終了した段階で電圧はゼロとなるが、図3では図示していない。

【0031】

30

具体的には、陽極酸化しようとする電極の電流密度(単位面積当たりの電流量)は、 $1 \sim 20 \text{ mA} / \text{cm}^2$ であることが好ましい。なお、従来の電流密度(約 $0.3 \text{ mA} / \text{cm}^2$ 程度)と比べて大きい電流密度である。

【0032】

また、電圧上昇レート(単位時間あたりに上昇させる電圧値)は、 $11 \text{ V} / \text{min}$ 以上、好ましくは $100 \text{ V} / \text{min}$ 以上とした。同様に従来の電圧上昇レート(約 $10 \text{ V} / \text{min}$ 程度)と比較して大きい。

【0033】

画素部に配置される保持容量の誘電体として上記本願発明を利用した陽極酸化膜を用いたLCDの断面図を図8に示す。なお、ここではドライバー回路を構成する基本回路としてCMOS回路を示し、画素部のTFTとしてはダブルゲート構造のTFTを示している。勿論、ダブルゲート構造に限らずトリプルゲート構造やシングルゲート構造などとしても良い。また、TFTの構造としては、トップゲート型TFTに限定されることなく、他の構造、例えばボトムゲート型TFT等にも適用することができる。

40

【0034】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0035】

【実施例】

[実施例1] 本発明の実施例について図4～図8を用いて説明する。ここでは、同一基

50

板上に画素部とその画素部を駆動するための駆動回路とを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路ではシフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャンネル型TFTとを図示することとする。

【0036】

図4(A)において、基板401には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いた。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、800℃以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

10

【0037】

そして、基板401のTFTが形成される表面には、20～100nm（好ましくは40～80nm）の厚さの非晶質構造を含む半導体膜402を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。なお、本実施例では60nm厚の非晶質シリコン膜を形成するが、後に熱酸化工程があるので、この膜厚が最終的なTFTの活性層の膜厚になるわけではない。

【0038】

また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。さらに、基板上に下地膜と非晶質シリコン膜とを大気解放ししないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

20

【0039】

次に、非晶質シリコン膜402上に珪素（シリコン）を含む絶縁膜でなるマスク膜403を形成し、パターニングによって開口部404a、404bを形成する。この開口部は、次の結晶化工程の際に結晶化を助長する触媒元素を添加するための添加領域となる。（図4(A））

【0040】

なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、 SiO_xN_y で表される絶縁膜である。窒化酸化シリコン膜は SiH_4 、 N_2O 及び NH_3 を原料ガスとして作製することが可能であり、含有する窒素濃度が25atomic%以上50atomic%未満とすると良い。

30

【0041】

また、このマスク膜403のパターニングを行うと同時に、後のパターニング工程の基準となるマーカーパターンを形成しておく。マスク膜403をエッチングする際に非晶質シリコン膜402も僅かにエッチングされるが、この段差が後にマスク合わせの時にマーカーパターンとして用いることができるのである。

【0042】

次に、特開平10-247735号公報（米国出願番号09/034,041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

40

【0043】

具体的には、非晶質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結

50

晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

【0044】

なお、同公報では触媒元素を含む層をマスク膜上に形成する際にスピンコート法を用いているが、触媒元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

【0045】

また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5atom%以下とすることが好ましい。

10

【0046】

結晶化工程は、まず400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～600℃）で6～16時間（好ましくは8～14時間）の熱処理を行う。

【0047】

本実施例では、触媒元素としてニッケルを用い、570℃で14時間の熱処理を行う。その結果、開口部404a、404bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）405a～405dが形成される。（図4（B））

【0048】

20

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜403をそのままマスクとして15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部404a、404bで露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³の濃度でリンを含むリン添加領域（以下、ゲッタリング領域という）406a、406bを形成する。（図4（C））

【0049】

次に、窒素雰囲気中で450～650℃（好ましくは500～550℃）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域406a、406bに捕獲される。即ち、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜407a～407dに含まれるニッケル濃度は、 1×10^{17} atms/cm³以下、好ましくは 1×10^{16} atms/cm³にまで低減することができる。

30

【0050】

次に、マスク膜403を除去し、結晶質シリコン膜407a～407d上に後の不純物添加時のために保護膜408を形成する。保護膜408は100～200nm（好ましくは130～170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜408は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0051】

そして、その上にレジストマスク409を形成し、保護膜408を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャンネルドープ工程という）はTFETのしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

40

【0052】

この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域410a、410bを形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物

50

領域（但し、リンは含まれていない領域）をp型不純物領域（b）と定義する。（図4（D））

【0053】

次に、レジストマスク409を除去し、結晶質シリコン膜をパターニングして島状の半導体層（以下、活性層という）411～414を形成する。なお、活性層411～414は、ニッケルを選択的に添加して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化後、ニッケルをリンのゲッタリング作用により除去又は低減しており、活性層411～414中に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ である。（図4（E））

10

【0054】

また、pチャネル型TFTの活性層411は意図的に添加された不純物元素を含まない領域であり、nチャネル型TFTの活性層412～414はp型不純物領域（b）となっている。本明細書中では、この状態の活性層411～414は全て真性または実質的に真性であると定義する。即ち、TFTの動作に支障をきたさない程度に不純物元素が意図的に添加されている領域が実質的に真性な領域と考えて良い。

【0055】

次に、プラズマCVD法またはスパッタ法により10～100nm厚の珪素を含む絶縁膜を形成する。本実施例では、30nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

20

【0056】

次に、800～1150℃（好ましくは900～1000℃）の温度で15分～8時間（好ましくは30分～2時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950℃80分の熱処理工程を行う。なお、図4（D）の工程で添加されたボロンはこの熱酸化工程の間に活性化される。（図5（A））

【0057】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、本実施例では酸素雰囲気中にハロゲン元素を含ませた雰囲気としたが、100%酸素雰囲気で行っても構わない。また、高圧酸化法により行っても構わない。

30

【0058】

この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層411～414との界面においても酸化反応が進行する。本願発明ではそれを考慮して最終的に形成されるゲート絶縁膜415の膜厚が50～200nm（好ましくは100～150nm）となるように調節する。本実施例の熱酸化工程では、60nm厚の活性層のうち25nmが酸化されて活性層411～414の膜厚は35nmとなる。また、30nm厚の珪素を含む絶縁膜に対して50nm厚の熱酸化膜が加わるので、最終的なゲート絶縁膜415の膜厚は80nmとなる。

【0059】

次に、新たにレジストマスク416～419を形成する。そして、n型を付与する不純物元素（以下、n型不純物元素という）を添加してn型を呈する不純物領域420～422を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。（図5（B））

40

【0060】

この不純物領域420～422は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（b）と定義する。

50

【0061】

なお、ここではフォスフィン (PH_3) を質量分離しないでプラズマ励起したイオンドーピング法でリンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート膜 415 を介して結晶質シリコン膜にリンを添加する。

【0062】

次に、 $600 \sim 1000^\circ\text{C}$ (好ましくは $700 \sim 800^\circ\text{C}$) の不活性雰囲気中で熱処理を行い、図 5 (B) の工程で添加されたリンを活性化する。本実施例では 800°C 1 時間の熱処理を窒素雰囲気中で行う。(図 5 (C))

【0063】

10

この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修復することが可能である。この活性化工程は電熱炉を用いたファーネスアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

【0064】

この工程により n 型不純物領域 (b) 420 ~ 422 の境界部、即ち、n 型不純物領域 (b) の周囲に存在する真性又は実質的に真性な領域 (勿論、p 型不純物領域 (b) も含む) との接合部が明確になる。このことは、後に TFT が完成した時点において、LDD 領域とチャンネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0065】

次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第 1 導電膜 423 と第 2 導電膜 424 とでなる積層膜を形成する。(図 5 (D))

20

【0066】

ここで第 1 導電膜 423、第 2 導電膜 424 としては、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素、または前記元素を主成分とする導電膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜、タングステンシリサイド膜等) を用いることができる。

【0067】

30

なお、第 1 導電膜 423 は $10 \sim 50 \text{nm}$ (好ましくは $20 \sim 30 \text{nm}$) とし、第 2 導電膜 424 は $200 \sim 400 \text{nm}$ (好ましくは $250 \sim 350 \text{nm}$) とすれば良い。本実施例では、第 1 導電膜 423 として、 50nm 厚の窒化タングステン (WN) 膜を、第 2 導電膜 424 として、 350nm 厚のタングステン膜を用いる。なお、図示しないが、第 1 導電膜 423 の下にシリコン膜を $2 \sim 20 \text{nm}$ 程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の密着性の向上と、酸化防止を図ることができる。

【0068】

また、第 1 導電膜 423 として窒化タンタル膜、第 2 導電膜としてタンタル膜を用いることも有効である。

40

【0069】

次に、第 1 導電膜 423 と第 2 導電膜 424 とを一括でエッチングして 400nm 厚のゲート配線 425 ~ 428 を形成する。この時、駆動回路に形成されるゲート配線 426、427 は n 型不純物領域 (b) 420 ~ 422 の一部とゲート絶縁膜 415 を介して重なるように形成する。この重なった部分が後に Lov 領域となる。なお、ゲート配線 428a、428b は断面では二つに見えるが実際は連続的に繋がった一つのパターンから形成されている。(図 5 (E))

【0070】

次に、レジストマスク 429 を形成し、p 型不純物元素 (本実施例ではボロン) を添加して高濃度にボロンを含む不純物領域 430、431 を形成する。本実施例ではジボラン (

50

B₂H₆)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$)濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図6(A))

【0071】

次に、レジストマスク429を除去し、ゲート配線及びpチャネル型TFETとなる領域を覆う形でレジストマスク432~434を形成する。そして、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域435~441を形成する。ここでも、フォスフィン(PH₃)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$)とする。(図6(B))

10

【0072】

なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域435~441が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前の工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域435~441はn型不純物領域(a)と言い換えても構わない。

【0073】

次に、レジストマスク432~434を除去し、珪素を含む絶縁膜でなるキャップ膜442を形成する。膜厚は25~100nm(好ましくは30~50nm)とすれば良い。本実施例では25nm厚の窒化珪素膜を用いることとする。キャップ膜442は後の活性化工程でゲート配線の酸化を防ぐ保護膜としても機能するが、厚く形成しすぎると応力が強くなって膜はがれ等の不具合が発生するので好ましくは100nm以下とすることが好ましい。

20

【0074】

次に、ゲート配線425~428をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域443~446には前記n型不純物領域(b)の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$)の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ 、)でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域(但し、p型不純物領域(a)を除く)をn型不純物領域(c)と定義する。(図6(C))

30

【0075】

この工程では105nmの膜厚の絶縁膜(キャップ膜442とゲート絶縁膜415との積層膜)を通してリンを添加することになるが、ゲート配線434a、434bの側壁に形成されたキャップ膜もマスクとして機能する。即ち、キャップ膜442の膜厚に相当する長さのオフセット領域が形成されることになる。なお、オフセット領域とは、チャネル形成領域に接して形成され、チャネル形成領域と同一組成の半導体膜でなるが、ゲート電圧が印加されないため反転層(チャネル領域)を形成しない高抵抗な領域を指す。オフ電流値を下げるためにはLDD領域とゲート配線の重なりを極力抑えることが重要であり、そういう意味でオフセット領域を設けることは有効と言える。

40

【0076】

なお、本実施例のように、チャネル形成領域にも $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度でp型不純物元素を含んでいる場合、当然オフセット領域にも同濃度でp型不純物元素が含まれる。

【0077】

このオフセット領域の長さは、実際にゲート配線の側壁に形成されるキャップ膜の膜厚や不純物元素を添加する際の回り込み現象(マスクの下に潜り込むように不純物が添加される現象)によって決まるが、LDD領域とゲート配線との重なりを抑えるという観点から

50

すれば、本願発明のようにn型不純物領域(c)を形成する際に、前もってキャップ膜を形成しておくことは非常に有効である。

【0078】

なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、n型不純物領域(b)443~446には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

10

【0079】

但し、厳密にはn型不純物領域(b)447、448のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0080】

次に、第1層間絶縁膜449を形成する。第1層間絶縁膜449としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100~400nmとすれば良い。本実施例では、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 を原料ガスとし、200nm

20

【0081】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、ランプアニール法またはそれらを併用して行うことができる。ファーネスアニール法で行う場合は、不活性雰囲気中において500~800℃、好ましくは550~600℃で行えば良い。本実施例では600℃、4時間の熱処理を行い、不純物元素を活性化する。(図6(D))

【0082】

なお、本実施例では窒化シリコン膜442と窒化酸化シリコン膜449とを積層した状態でゲート配線を覆い、その状態で活性化工程を行っている。本実施例ではタングステンを配線材料として用いているが、タングステン膜は非常に酸化に弱いことが知られている。即ち、保護膜で覆って酸化してもピンホールが保護膜に存在すればただちに酸化されてしまう。ところが、本実施例では酸化防止膜としては非常に有効な窒化シリコン膜を用い、且つ、窒化シリコン膜に対して窒化酸化シリコン膜を積層しているため、窒化シリコン膜のピンホールの問題を気にせずに高い温度で活性化工程を行うことが可能である。

30

【0083】

次に、活性化工程の後、3~100%の水素を含む雰囲気中で、300~450℃で1~4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

40

【0084】

活性化工程を終えたら、第1層間絶縁膜449の上に500nm~1.5μm厚の第2層間絶縁膜450を形成する。本実施例では第2層間絶縁膜450として800nm厚の酸化シリコン膜をプラズマCVD法により形成する。こうして第1層間絶縁膜(窒化酸化シリコン膜)449と第2層間絶縁膜(酸化シリコン膜)450との積層膜でなる1μm厚の層間絶縁膜を形成する。

【0085】

なお、後の工程で耐熱性が許せば、第2層間絶縁膜450として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等の有機樹脂膜を用いることも可能である。

50

【0086】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線451～454と、ドレイン配線455～457を形成する。なお、CMOS回路を形成するためにドレイン配線455はpチャンネル型TFTとnチャンネル型TFTとの間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti膜を200nm、Tiを含むアルミニウム膜500nm、Ti膜100nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0087】

次に、パッシベーション膜458として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成する。この時、本実施例では膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜458の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0088】

また、パッシベーション膜458を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、水素化工程後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜458に開口部（図示せず）を形成しておいても良い。

【0089】

その後、有機樹脂からなる第3層間絶縁膜459を約1μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0090】

次に、画素部となる領域において、第3層間絶縁膜459上に共通電極460を形成する。なお、この共通電極460に光や電磁波を遮る遮蔽膜の機能を兼ねさせてもよい。共通電極460は、陽極酸化可能な材料、例えばアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100～300nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成する。

【0091】

なお、第3層間絶縁膜459上に酸化シリコン膜等の絶縁膜を5～50nm形成しておくこと、この上に形成する共通電極の密着性を高めることができる。また、有機樹脂で形成した第3層間絶縁膜459の表面にCF₄ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する共通電極の密着性を向上させることができる。

【0092】

また、このチタンを含有させたアルミニウム膜を用いて、共通電極だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は共通電極または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0093】

次に、共通電極460の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20～100nm（好ましくは30～50nm）の厚さの酸化物461を形成する。なお、この時、陽極酸化させるために共通電極が全て接続された形状にパターン

グされている。なお、共通電極の端部が互いにショートしないようにある程度のマージンを空けて配置する。本実施例では共通電極460としてアルミニウムを主成分とする膜を用いたため、陽極酸化物461として酸化アルミニウム膜（アルミナ膜）が形成される。

【0094】

この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが 7 ± 0.5 となるように調節する。そして、この溶液中に陰極となる白金電極を設け、共通電極460が形成されている基板を溶液に浸し、共通電極460を陽極として、一定（数mA～数十mA）の直流電流を流す。

10

【0095】

溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま100V/minの昇圧レートで電圧を上昇させて、到達電圧45Vに達したところで陽極酸化処理を終了させる。このようにして有機樹脂膜上の共通電極460の表面に厚さ約50nmの陽極酸化物461を形成することができる。なお、従来の陽極酸化法による陽極酸化膜と比べて、上記陽極酸化法による陽極酸化膜461は電極端部における廻りこみが少なく膜剥がれが生じにくい。また、その結果、共通電極460の膜厚は90nmとなる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

【0096】

20

共通電極460に遮蔽膜の機能を兼ねさせる場合は、アルミニウム膜の出発膜厚を3条件（65nm、95nm、125nm）振り、陽極酸化条件は全て同一条件とし膜厚50nmの陽極酸化膜を形成した。すると、陽極酸化されなかった電極膜厚は30nm、60nm、90nmとなった。

【0097】

図17に日立分光光度計U-4000にて測定した結果を示した。550nmにおける電極膜厚：30nmの吸光度は2.6、電極膜厚：60nmの吸光度は4、電極膜厚：90nmの吸光度は4.6であることが図17から読みとれる。電極を遮蔽膜として用いる場合に必要な吸光度（550nmにおける）は3以上あればよい。従って、60nm以上であれば問題なく遮蔽膜として機能する。また、段差による光漏れを考慮するなら、遮蔽膜は薄い方が好ましい。

30

【0098】

その後、陽極酸化時に接続されていた共通電極をそれぞれ分断して、図1に示した共通電極の形状とした。次に、第3層間絶縁膜459、パッシベーション膜458にドレイン配線457に達するコンタクトホールを形成し、画素電極462を形成する。画素電極462は、100～300nmの厚さを有する導電性を有する金属膜をパターンニングして形成すればよく、本実施例ではアルミニウム膜を用いた。

【0099】

また、この時、画素電極462と共通電極460とが陽極酸化物461を介して重なった領域は、保持容量（キャパシタンス・ストレージ）464を形成する。なお、この場合、共通電極460をフローティング状態（電氣的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

40

【0100】

こうして同一基板上に、駆動回路と画素部とを有した素子基板が完成した。なお、図7（B）においては、駆動回路にはpチャネル型TFT601、nチャネル型TFT602、603が形成され、画素部にはnチャネル型TFTでなる画素TFT604が形成される。

【0101】

駆動回路のpチャネル型TFT601には、チャネル形成領域501、ソース領域502

50

、ドレイン領域503がそれぞれp型不純物領域(a)で形成される。但し、厳密にはソース502領域及びドレイン領域503に $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンを含んでいる。

【0102】

また、nチャネル型TFT602には、チャネル形成領域504、ソース領域505、ドレイン領域506、そしてチャネル形成領域とドレイン領域との間に、ゲート絶縁膜を介してゲート配線と重なった領域(本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。)507が形成される。この時、Lov領域507は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

10

【0103】

また、nチャネル型TFT603には、チャネル形成領域508、ソース領域509、ドレイン領域510、そしてチャネル形成領域を挟むようにしてLDD領域511、512が形成される。即ち、ソース領域とチャネル形成領域との間及びドレイン領域とチャネル形成領域との間にLDD領域が形成される。

【0104】

なお、この構造ではLDD領域511、512の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域(Lov領域)とゲート配線と重ならない領域(本明細書中ではこのような領域をLoff領域という。なお、offはoffsetの意味で付した。)が実現されている。

20

【0105】

LDD領域511はさらにLov領域、Loff領域に区別できる。また、前述のLov領域には $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンが含まれるが、Loff領域はその1～2倍(代表的には1.2～1.5倍)の濃度でリンが含まれる。

【0106】

また、画素TFT604には、チャネル形成領域513、514、ソース領域515、ドレイン領域516、Loff領域517～520、Loff領域518、519に接したn型不純物領域(a)521が形成される。この時、ソース領域515、ドレイン領域516はそれぞれn型不純物領域(a)で形成され、Loff領域517～520はn型不純物領域(c)で形成される。

30

【0107】

本実施例では、画素部および駆動回路が要求する回路仕様に依じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、nチャネル型TFTは回路仕様に依じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と、低オフ電流動作を重視したTFT構造とを実現できる。

【0108】

例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT602は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などの駆動回路に適している。即ち、チャネル形成領域とドレイン領域との間のみにLov領域を形成することで、できるだけ抵抗成分を低減させつつホットキャリア対策を重視した構造となっている。これは上記回路群の場合、ソース領域とドレイン領域の機能が変わらず、キャリア(電子)の移動する方向が一定だからである。

40

【0109】

但し、必要に応じてチャネル形成領域を挟んでLov領域を形成することもできる。即ち、ソース領域とチャネル形成領域の間、及びドレイン領域とチャネル形成領域との間に形成することも可能である。

【0110】

また、nチャネル型TFT603はホットキャリア対策と低オフ電流動作の双方を重視す

50

るサンプリング回路（サンプルホールド回路）に適している。即ち、L_{ov}領域を形成することでホットキャリア対策とし、さらにL_{off}領域を形成することで低オフ電流動作を実現する。また、サンプリング回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が180°変わるため、ゲート配線を中心に線対称となるような構造としなければならない。なお、場合によってはL_{ov}領域のみとすることもありうる。

【0111】

また、nチャンネル型TFT604は低オフ電流動作を重視した画素部、サンプリング回路（サンプルホールド回路）に適している。即ち、オフ電流値を増加させる要因となりうるL_{ov}領域を配置せず、L_{off}領域とオフセット領域を配置することで低オフ電流動作を実現している。また、駆動回路のLDD領域よりも低い濃度のLDD領域をL_{off}領域として用いることで、多少オン電流値が低下しても徹底的にオフ電流値を低減する対策を打っている。さらに、n型不純物領域（a）521はオフ電流値を低減する上で非常に有効であることが確認されている。

10

【0112】

また、チャンネル長3～7μmに対してnチャンネル型TFT602のL_{ov}領域507の長さ（幅）は0.3～3.0μm、代表的には0.5～1.5μmとすれば良い。また、nチャンネル型TFT603のL_{ov}領域511a、512aの長さ（幅）は0.3～3.0μm、代表的には0.5～1.5μm、L_{off}領域511b、512bの長さ（幅）は1.0～3.5μm、代表的には1.5～2.0μmとすれば良い。また、画素TFT604に設けられるL_{off}領域517～520の長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

20

【0113】

また、本実施例では保持容量の誘電体として比誘電率が7～9と高いアルミナ膜を用いたことで、必要な容量を形成するために必要な保持容量の占有面積を少なくすることができる。さらに、本実施例のように画素TFT上に形成される共通電極を保持容量の一方の電極とすることで、液晶表示装置の画素部の開口率を向上させることができる。

【0114】

ここでアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図8に示すように、図7（B）の状態の基板に対し、配向膜801を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板802には、配向膜803を形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

30

【0115】

次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素部と、駆動回路が形成された基板と対向基板とを、公知のセル組み工程によってスペーサ805などを介して貼りあわせる。ただし、スペーサ805は、基板間に圧力がかかった時、ショートが生じるのを防ぐため、保持容量が形成されている領域を避けて配置することが好ましい。また、基板間隔を均等に保つため液晶層をシール材806で囲み、シール材806が形成された領域にスペーサを形成するとよい。また、駆動回路においては、駆動回路の素子が存在しない領域にスペーサ805を配置し、画素電極が設けられた画素部と駆動回路との間の領域にスペーサを形成するとよい。また、凹部となる画素電極462のコンタクト部上にスペーサ805を形成するとディスクリネーションの発生を低減することができる。

40

【0116】

その後、両基板の間に液晶804を注入し、シール材806によって完全に封止する。液晶804にはIPS方式で用いられる公知のn型液晶またはp型液晶を用いれば良い。このようにして図8に示す液晶表示装置が完成する。

【0117】

次に、この液晶表示装置の構成を、図9の斜視図を用いて説明する。石英基板401上に形成された、画素部901と、走査（ゲート）線駆動回路902と、信号（ソース）線駆

50

動回路 903 で構成される。画素部の画素 T F T は n チャネル型 T F T であり、周辺に設けられる駆動回路は C M O S 回路を基本として構成されている。走査線駆動回路と、信号線駆動回路はそれぞれゲート配線とソース配線で画素部 901 に接続されている。また、F P C 904 が接続された外部入出力端子 905 から駆動回路の入出力端子までの接続配線 906、907 が設けられている。

【0118】

次に、図 9 に示した液晶表示装置の回路構成の一例を図 10 に示す。本実施例の液晶表示装置は、信号線駆動回路 1001、走査線駆動回路 (A) 1007、走査線駆動回路 (B) 1011、プリチャージ回路 1012、画素部 1006 を有している。なお、本明細書中において、駆動回路とは、信号線駆動回路 1001、走査線駆動回路 (A) 1007、及び走査線駆動回路 (B) 1011 が含まれる。

10

【0119】

信号線駆動回路 1001 は、シフトレジスタ回路 1002、レベルシフタ回路 1003、バッファ回路 1004、サンプリング回路 1005 を備えている。また、走査線駆動回路 (A) 1007 は、シフトレジスタ回路 1008、レベルシフタ回路 1009、バッファ回路 1010 を備えている。走査線駆動回路 (B) 1011 も同様な構成である。

【0120】

なお、本実施例の構成は、図 4～8 に示した工程に従って T F T を作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、分周波回路、D/A コンバータ回路、オペアンプ回路、 γ 補正回路、さらにはマイクロプロセッサ回路などの信号処理回路 (論理回路と言っても良い) を同一基板上に形成することも可能である。

20

【0121】

このように本発明は、同一基板上に画素部と該画素部を駆動するための駆動回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、駆動回路、画素部及び保持容量とを具備した半導体装置を実現しうる。

【0122】

また、本実施例の図 5 (B) までの工程を行うと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成された T F T の活性層を形成する半導体層の特徴と一致する。

30

【0123】

上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶 (以下、棒状結晶と略記する) が集まって並んだ結晶構造を有する。このことは T E M (透過型電子顕微鏡法) による観察で容易に確認できる。

【0124】

また、電子線回折及びエックス線 (X 線) 回折を利用すると結晶質シリコン膜の表面 (チャンネルを形成する部分) が、結晶軸に多少のずれが含まれているものの主たる配向面として {110} 面を有することを確認できる。この時、電子線回折で分析を行えば {110} 面に対応する回折斑点がきれいに現れるのを確認することができる。また、各斑点は同心円上に分布を持っていることも確認できる。

40

【0125】

また、個々の棒状結晶が接して形成する結晶粒界を H R - T E M (高分解能透過型電子顕微鏡法) により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認することができる。

【0126】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shim

50

okawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0127】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist 粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0128】

特に結晶軸（結晶面に垂直な軸）が $\langle 110 \rangle$ 軸である場合、 $\{211\}$ 双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

10

【0129】

実際に本実施例の結晶質シリコン膜を詳細にTEMを用いて観察すれば、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、典型的には $\{211\}$ 双晶粒界であることが判る。

【0130】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\Sigma 3$ の対応粒界であると言える。

20

【0131】

なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の対応粒界も存在する。いずれにしても不活性であることに変わりはない。

【0132】

この様な対応粒界は、同一面方位の結晶粒の間にしか形成されない。即ち、本実施例の結晶質シリコン膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0133】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜には実質的に結晶粒界が存在しないと見なすことができる。

30

【0134】

さらに、 $800 \sim 1150^\circ\text{C}$ という高い温度での熱処理工程（実施例1における熱酸化工程に相当する）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0135】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の結晶質シリコン膜のスピン密度は少なくとも $5 \times 10^{17} \text{ spins/cm}^3$ 以下（好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

40

【0136】

以上の事から、本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0137】

50

〔実施例 2〕 本実施例では、画素部の構成を実施例 1 とは異なるものとした場合について図 1 1 を用いて説明する。なお、基本的な構造は図 1 (B) に示した画素回路と同一構造であるので、相違点のみを説明する。従って、同一の部分に関しては同じ符号を用いる。

【0138】

図 1 1 (A) は本実施例の画素部の断面図であり、層間絶縁膜 (有機樹脂膜) と共通電極との間にバッファ層 1 1 0 1 を形成した例である。バッファ層 1 1 0 1 としては、1 0 ~ 1 0 0 nm (好ましくは 3 0 ~ 5 0 nm) の膜厚の珪素を含む絶縁膜を用いる。但し、有機樹脂膜上に形成するため、真空中に曝すと樹脂膜中からの脱ガスが問題となるため、スパッタ法で形成できる絶縁膜を用いることが好ましい。

10

【0139】

本実施例では 5 0 nm 厚の酸化シリコン膜をバッファ層 1 1 0 1 として用いる。このバッファ層を形成することで、有機樹脂膜と共通電極との密着性が向上する。実施例 1 のように酸化物を陽極酸化法によって形成する際、密着性が悪いと有機樹脂膜と共通電極との界面に潜り込むようにして陽極酸化物が形成される不具合が発生する。しかしながら、図 1 1 (A) の構造とすることでそのような不具合を防ぐことができる。

【0140】

また、図 1 1 (B) の構造は、基本構造は図 1 1 (A) と同様であるが、共通電極の下に自己整合的にバッファ層 1 1 0 2 を形成する例である。この場合、共通電極をマスクとして自己整合的にバッファ層のエッチングを行うことで図 1 1 (B) の構造を実現できる。

20

【0141】

エッチング工程は、共通電極を形成した直後に行っても良いし、酸化膜を形成した後で行っても良い。但し、バッファ層 1 1 0 2 の材料と酸化膜の材料が同じエッチャントでエッチングされてしまう場合は、酸化膜を形成する前にエッチング工程を行うことが望ましい。

【0142】

また、図 1 1 (B) の構造とすることで第 3 層間絶縁膜にコンタクトホールを開けるときに有利である。有機樹脂膜の上に酸化シリコン膜等が存在すると、有機樹脂膜をエッチングする際に酸化シリコン膜がひさし状に残ってしまう恐れがある。そのため、図 1 1 (B) の構造のように予めコンタクトホールを形成する位置ではバッファ層を除去しておくことが好ましい。

30

【0143】

また、図 1 1 (C) の構造は、共通電極及び酸化膜を形成した後で絶縁膜でなるスペーサー 1 1 0 3 a ~ 1 1 0 3 c を形成し、その後で画素電極 1 0 4 を形成する例を示す。スペーサー 1 1 0 3 a ~ 1 1 0 3 c の材料としては、有機樹脂膜が好ましく、特に感光性を有するポリイミドやアクリルを用いることが好ましい。

【0144】

図 1 1 (C) のような構造とすることで、共通電極の端部 (エッジ部) をスペーサーで隠すことになるので、共通電極の端部で共通電極と画素電極とが短絡するようなことを防ぐことができる。

40

【0145】

なお、本実施例の構成は、実施例 1 の作製工程において第 3 層間絶縁膜の形成 ~ 画素電極の形成までを変更しただけであり、その他の工程は実施例 1 と同様の工程で良い。従って、実施例 1 に示した液晶表示装置に適用することも可能である。

【0146】

〔実施例 3〕 本実施例では、画素部の共通電極の形状を実施例 1 とは異なるものとした場合について図 1 2 及び図 1 3 を用いて説明する。なお、基本的な構造は図 1 (A) に示した画素部と同一構造であるので、相違点のみを説明する。従って、同一の部分に関しては同じ符号を用いる。

【0147】

50

本実施例においては、共通電極をコモン電位（データとして送られる画像信号の中間電位）に設定するために、各共通電極が接続された形状の共通電極 1201 を形成する。そして、画素部の外側において、共通電極 1201 とコモン電位を与える電源供給線とを電氣的に接続することで、共通電極 1201 をコモン電位に保持することができる。なお、共通電極 1201 を用いた場合、陽極酸化後の分断工程を省略できるため、工程を簡略化することができる。

【0148】

また、図 13 に示したような形状の共通電極 1301 として、TFT を完全に覆い、光や電磁波から遮る形状としてもよい。この場合においても、陽極酸化後の分断工程を省略できるため、工程を簡略化することができる。

10

【0149】

なお、本実施例の構成は、実施例 1 の作製工程（共通電極パターン等）を一部変更するだけで実現可能であり、その他の工程は実施例 1 と同様の工程で良い。従って、実施例 1 に示した液晶表示装置に適用することも可能である。また、実施例 2 に示した構成とも自由に組み合わせることが可能である。

【0150】

〔実施例 4〕 本実施例では、画素部の画素電極及び共通電極の形状を実施例 1 とは異なるものとした場合について図 14（A）及び図 14（B）を用いて説明する。なお、基本的な構造は図 1（A）に示した画素部と同一構造であるので、相違点のみを説明する。従って、同一の部分に関しては同じ符号を用いる。

20

【0151】

図 14（A）に示したように、ジグザグ形状の画素電極 1401 と、ジグザグ形状の共通電極 1402 を形成した。こうすることによって液晶に印加される電界の方向を 2 種類形成させて、表示特性を向上させることができた。

【0152】

また、図 14（B）に示したようにジグザグ形状の共通電極 1404 に合わせてソース線の形状を変更し、ソース線 1403 とした。こうすることによって開口率を向上させることができた。ただし、ソース線と共通電極との間に形成される寄生容量を考慮して形状を変更することが好ましい。

【0153】

なお、本実施例の構成は、実施例 1 の作製工程を一部変更するだけで実現可能であり、その他の工程は実施例 1 と同様の工程で良い。従って、実施例 1 に示した液晶表示装置に適用することも可能である。また、実施例 2 に示した構成とも自由に組み合わせることが可能である。

30

【0154】

〔実施例 5〕 本実施例では、画素部の画素電極及び共通電極の形状を実施例 1 とは異なるものとした場合について図 15（A）及び図 15（B）を用いて説明する。なお、基本的な構造は図 1（A）に示した画素部と同一構造であるので、相違点のみを説明する。従って、同一の部分に関しては同じ符号を用いる。

【0155】

図 15（A）に示したように、「く」の字形状の画素電極 1501 と、「く」の字形状の共通電極 1502 を形成した。こうすることによって液晶に印加される電界の方向を 2 種類形成させて、表示特性を向上させることができた。

40

【0156】

また、図 15（B）に示したように「く」の字形状の共通電極 1504 に合わせてソース線の形状を変更し、ソース線 1503 とした。こうすることによって開口率を向上させることができた。ただし、ソース線と共通電極との間に形成される寄生容量を考慮して形状を変更することが好ましい。

【0157】

なお、本実施例の構成は、実施例 1 の作製工程を一部変更するだけで実現可能であり、そ

50

の他の工程は実施例 1 と同様の工程で良い。従って、実施例 1 に示した液晶表示装置に適用することも可能である。また、実施例 2 に示した構成とも自由に組み合わせることが可能である。

【0158】

[実施例 6] 本実施例では、画素部の画素電極及び共通電極の形状を実施例 1 とは異なるものとした場合について図 16 を用いて説明する。なお、基本的な構造は図 1 (A) に示した画素部と同一構造であるので、相違点のみを説明する。従って、同一の部分に関しては同じ符号を用いる。

【0159】

図 16 (A) に示したような形状の画素電極 1601 と、共通電極 1602 を形成した。10
こうすることによって液晶に印加される電界の方向を 3 種類形成させて、表示特性を向上させることができた。

【0160】

また、図 16 (B) に示したような形状の共通電極 1604 に合わせてソース線の形状を変更し、ソース線 1603 とした。こうすることによって開口率を向上させることができた。ただし、ソース線と共通電極との間に形成される寄生容量を考慮して形状を変更することが好ましい。

【0161】

なお、本実施例の構成は、実施例 1 の作製工程を一部変更するだけで実現可能であり、その他の工程は実施例 1 と同様の工程で良い。従って、実施例 1 に示した液晶表示装置に適用することも可能である。また、実施例 2 に示した構成とも自由に組み合わせることが可能である。20

【0162】

[実施例 7]

本実施例では、画素部における他の構成について説明する。

【0163】

なお、本実施例では、実施例 1 と異なる点のみに注目して説明を行うこととする。

【0164】

本実施例は画素 TFT と画素電極との間に RGB 三原色で着色されたカラーフィルタを設けた構成である。R、G、B の色配列はストライプ状またはモザイク状とすればよい。30

【0165】

まず、実施例 1 に従って、パッシベーション膜 458 を形成したら、その上にカラーフィルタを形成する。このカラーフィルタ 1601 は平坦化膜の機能も有している。その後、カラーフィルタをパターンニングすると同時、もしくはカラーフィルタ形成後、事前に ITO コンタクト開口をする。その後、第 2 の層間絶縁膜を形成し、その上に遮光層を形成する。その後の工程は実施例 1 と同様の作製方法を用いて、陽極酸化膜、有機樹脂膜でなる第 3 の層間絶縁膜を形成する。その後、第 3 の層間絶縁膜、第 2 の層間絶縁膜、パッシベーション膜 458 をエッチングしてコンタクトホールを形成し、実施例 1 と同一の材料で画素電極を形成する。保持容量は、遮蔽層と陽極酸化膜と画素電極で構成される。40

【0166】

また、本実施例の構成は、実施例 1 ~ 6 のいずれの構成とも自由に組み合わせることが可能である。

【0167】

[実施例 8]

本実施例では、本発明をボトムゲート型 TFT に用いた場合について説明する。具体的には、逆スタガ型 TFT に用いた場合を図 18 に示す。本発明の逆スタガ型 TFT の場合、実施例 1 のトップゲート型 TFT とはゲート配線と活性層の位置関係が異なる以外、特に大きく異なることはない。従って、本実施例では、図 7 (B) に示した構造と大きく異なる点に注目して説明を行い、その他の部分は図 7 (B) と同一であるため説明を省略する 50

。実施例 1 と同様にして、遮蔽膜とその陽極酸化膜と、画素電極からなる保持容量が形成されている。この陽極酸化膜は発明の実施の形態に示した方法で形成する。

【0168】

図 18 において、11、12 はそれぞれシフトレジスタ回路等を形成する CMOS 回路の p チャネル型 TFT、n チャネル型 TFT、13 はサンプリング回路等を形成する n チャネル型 TFT、14 は画素部を形成する n チャネル型 TFT である。これらは下地膜を設けた基板上に形成されている。

【0169】

また、15 は p チャネル型 TFT 11 のゲート配線、16 は n チャネル型 TFT 12 のゲート配線、17 は n チャネル型 TFT 13 のゲート配線、18 は n チャネル型 TFT 14 のゲート配線であり、実施例 1 で説明したゲート配線と同じ材料を用いて形成することができる。また、19 はゲート絶縁膜であり、これも実施例 1 と同じ材料を用いることができる。

10

【0170】

その上には各 TFT 11～14 の活性層（活性層）が形成される。p チャネル型 TFT 11 の活性層には、ソース領域 20、ドレイン領域 21、チャンネル形成領域 22 が形成される。

【0171】

また、n チャネル型 TFT 12 の活性層には、ソース領域 23、ドレイン領域 24、LDD 領域（この場合、Lov 領域 25）、チャンネル形成領域 26 が形成される。

20

【0172】

また、n チャネル型 TFT 13 の活性層には、ソース領域 27、ドレイン領域 28、LDD 領域（この場合、Lov 領域 29a、30a 及び Loff 領域 29b、30b）、チャンネル形成領域 31 が形成される。

【0173】

また、n チャネル型 TFT 14 の活性層には、ソース領域 32、ドレイン領域 33、LDD 領域（この場合、Loff 領域 34～37）、チャンネル形成領域 38、39、n 型不純物領域 40 が形成される。

【0174】

なお、41～45 で示される絶縁膜は、チャンネル形成領域を保護する目的と LDD 領域を形成する目的のために形成されている。

30

【0175】

以上のように本発明を逆スタガ型 TFT に代表されるボトムゲート型 TFT に適用することは容易である。なお、本実施例の逆スタガ型 TFT を作製するにあたっては、本明細書中に記載された他の実施例に示される作製工程を、公知の逆スタガ型 TFT の作製工程に適用すれば良い。

【0176】

また、本実施例の構成は、実施例 1～7 のいずれの構成とも自由に組み合わせることが可能である。

【0177】

40

[実施例 9]

本願発明を実施して形成された画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0178】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 19、図 20 及び図 21 に示す。

50

【0179】

図19(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0180】

図19(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0181】

図19(C)はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

10

【0182】

図19(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0183】

図19(E)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

20

【0184】

図19(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本願発明を表示部2502に適用することができる。

【0185】

図20(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808に適用することができる。

30

【0186】

図20(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808に適用することができる。

【0187】

なお、図20(C)は、図20(A)及び図20(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図20(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

40

【0188】

また、図20(D)は、図20(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図20(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

50

【0189】

図21(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を表示部2904に適用することができる。

【0190】

図21(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0191】

図21(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

10

【0192】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~7のどのような組み合わせからなる構成を用いても実現することができる。

【0193】

【発明の効果】

本願発明を用いることにより、IPS方式によるLCDに代表される電気光学装置の各回路に用いられる絶縁膜、特に樹脂膜上に形成された電極の表面を本発明の陽極酸化膜で覆うことによって、廻り込み量を少なくすることができ、密着性の優れた電極を有する信頼性の高い液晶表示装置を作製することができた。

20

【0194】

また、IPS方式によるLCDに代表される電気光学装置の画素部において、小さい面積で大きなキャパシティを有する保持容量を形成することができる。従って、対角1インチ以下のAM-LCDにおいても開口率を低下させることなく、十分な保持容量を確保することが可能となった。加えて、陽極酸化膜の廻り込み量がほとんどないため、その上に形成する画素電極のカバレッジも良好とすることができ、歩留まりも向上できた。

【図面の簡単な説明】

30

【図1】 本願発明の画素部における上面図及び断面図の一例を示す図。

【図2】 等価回路図。

【図3】 陽極酸化法における、電極間の電圧と電流の関係を示す図。

【図4】 LCDの作製工程を示す図。

【図5】 LCDの作製工程を示す図。

【図6】 LCDの作製工程を示す図。

【図7】 LCDの作製工程を示す図。

【図8】 液晶表示装置の断面構造図。

【図9】 LCDの外観を示す図。

【図10】 液晶表示装置の回路を示す図。

40

【図11】 保持容量の構成の一例を示す図。

【図12】 画素部における上面図の一例を示す図。

【図13】 画素部における上面図の一例を示す図。

【図14】 画素部における上面図の一例を示す図。

【図15】 画素部における上面図の一例を示す図。

【図16】 画素部における上面図の一例を示す図。

【図17】 アルミニウム膜の吸光度特性を示す図。

【図18】 TFTの構成の一例を示す図。

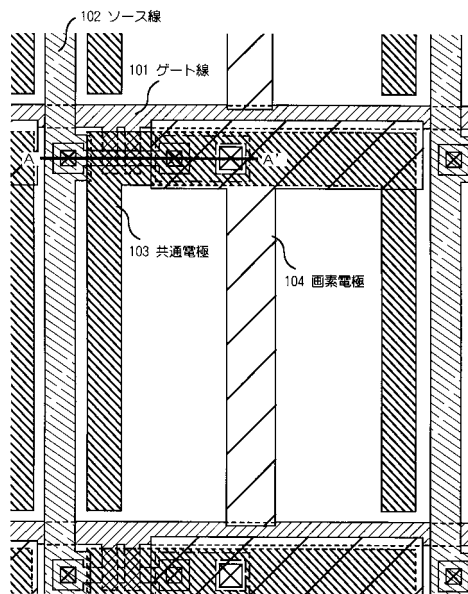
【図19】 電子機器の一例を示す図。

【図20】 電子機器の一例を示す図。

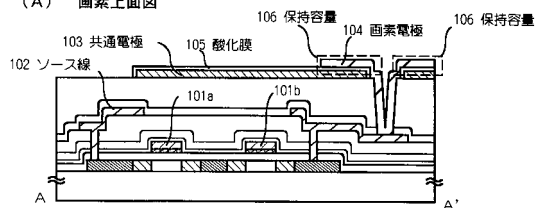
50

【図 2 1】 電子機器の一例を示す図。

【図 1】

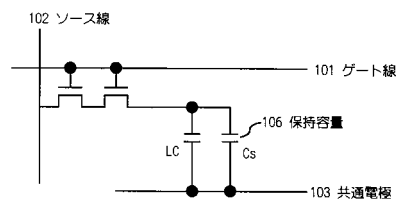


(A) 画素上面図



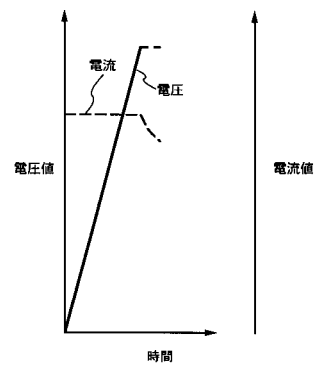
(B) A-A' 断面図

【図 2】



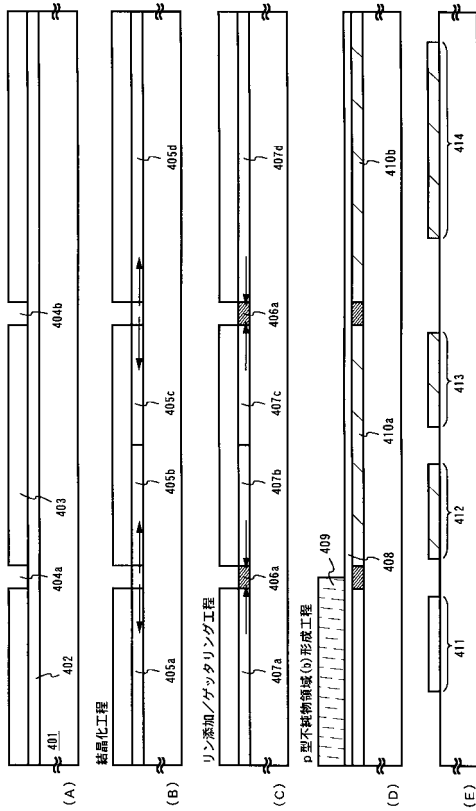
画素部の等価回路図

【図 3】



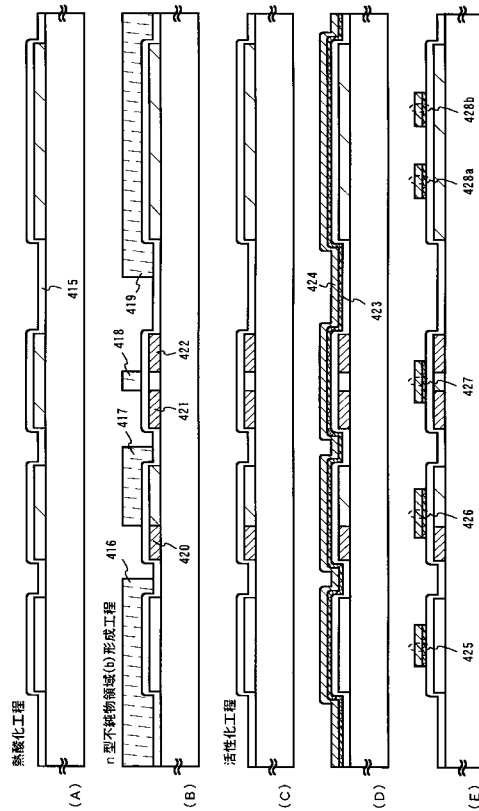
本発明の陽極酸化工程における、電極間の電圧と電流の関係を示す図

【図 4】



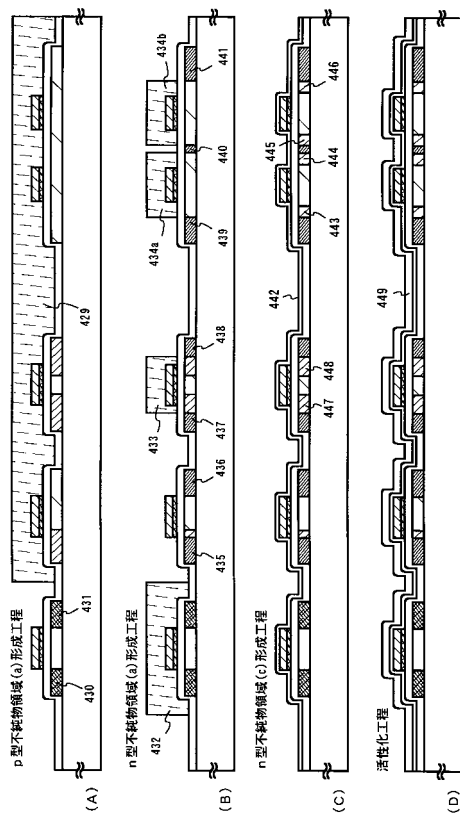
401: 基板 402: 非晶質シリコン膜 403: フリク膜 404a, 404b: 開口部 405a-405d: 結晶質シリコン膜 406a, 406b: リン添加領域
407a-407d: ゲタリソグ 後の結晶質シリコン膜 408: 保護膜 409: シェルトマシ 410-414: 活性層

【図 5】



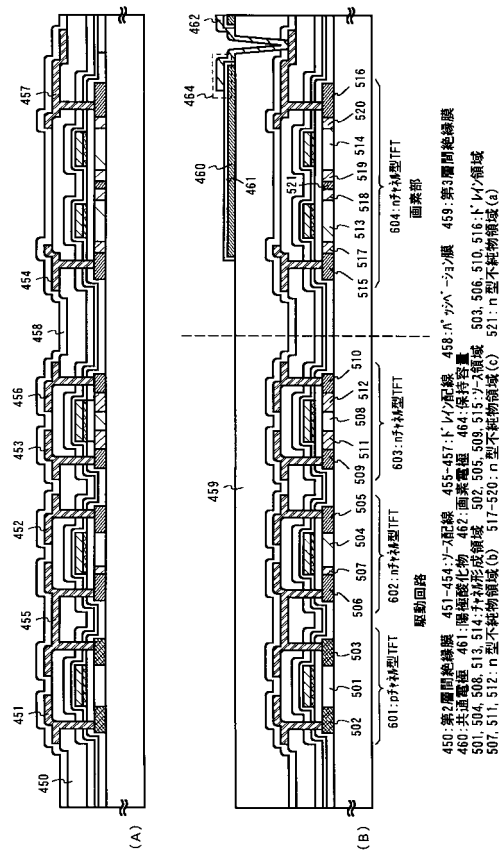
415:ゲート絶縁膜 416-419:レジストマスク
424:第2導電膜 425-428:ゲート配線
420-422:n型不純物領域(b) 423:第1導電膜

【図 6】



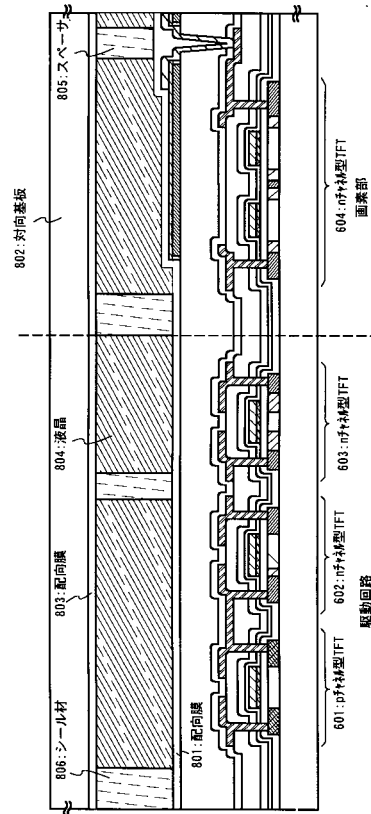
429. 432-434.: ビジトマツ 430. 431.: p型不純物領域(a) 435-441.: n型不純物領域(a) 442.: ナッブ膜
443-446.: n型不純物領域(c) 447. 448.: n型不純物領域(b) 449.: 第1層間絶縁膜

【図 7】

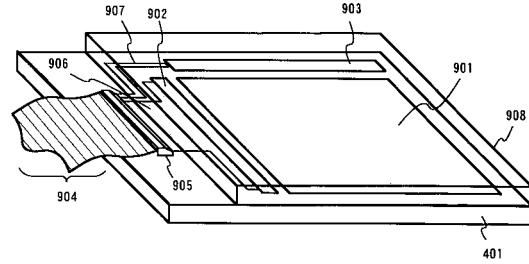


450. 第2層間絶縁層 451~454. γ -配線 455~457. γ -配線 458. γ - γ パルス線 459. 第3層間絶縁層
460. 共通電線 461. 電解性化合物 462. 電蒸着膜 464. 保持容量
501. 504, 508, 513. 材料形成領域 502, 505, 508, 515. γ -領域
507, 511, 514. γ -型不純物領域 (a) 517~520. γ -型不純物領域 (c) 521. γ -型不純物領域 (a)

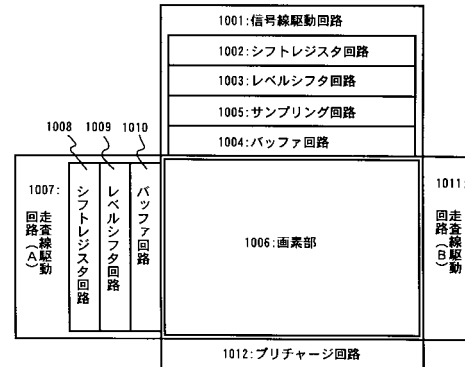
【図 8】



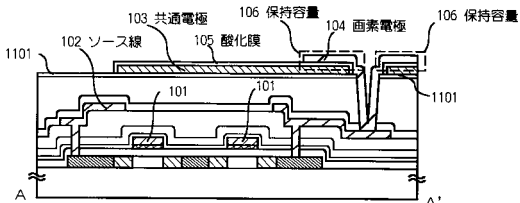
【図 9】



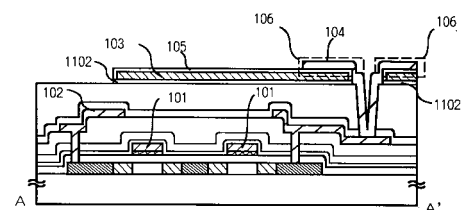
【図 10】



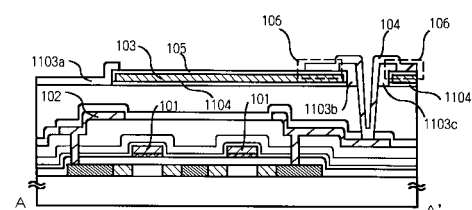
【図 11】



(A)

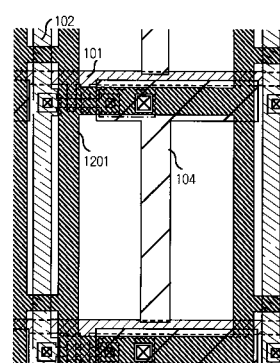


(B)

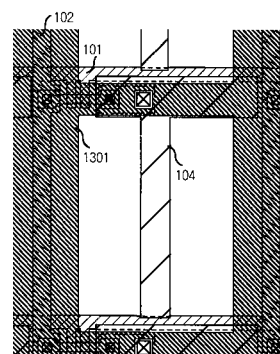


(C)

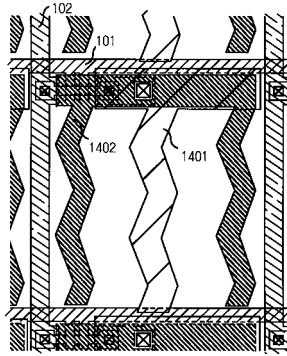
【図 12】



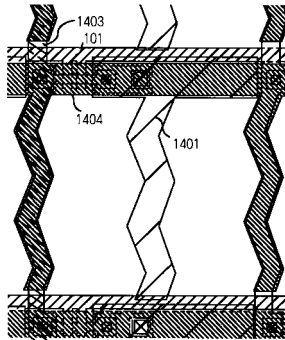
【図 13】



【図 1 4】

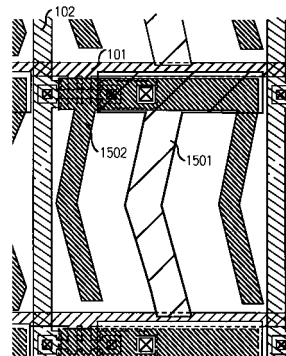


(A)

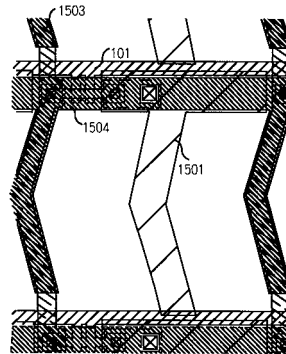


(B)

【図 1 5】

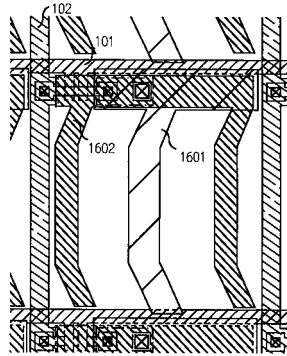


(A)

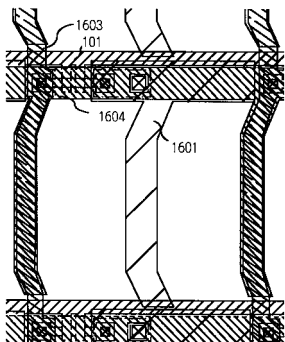


(B)

【図 1 6】

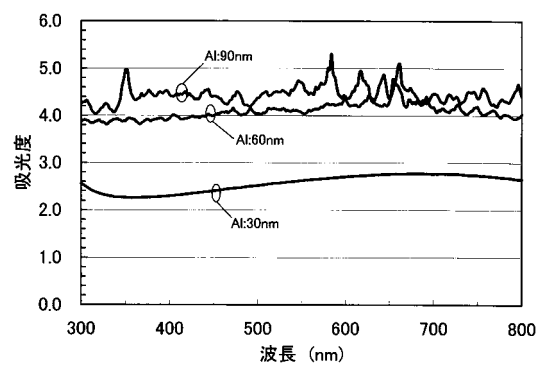


(A)

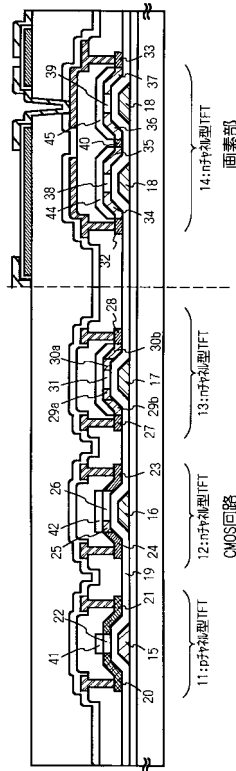


(B)

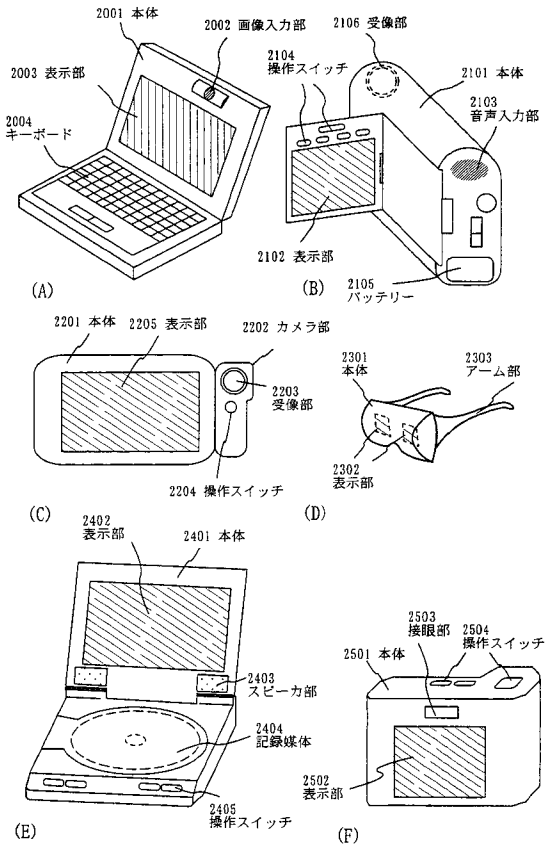
【図 1 7】



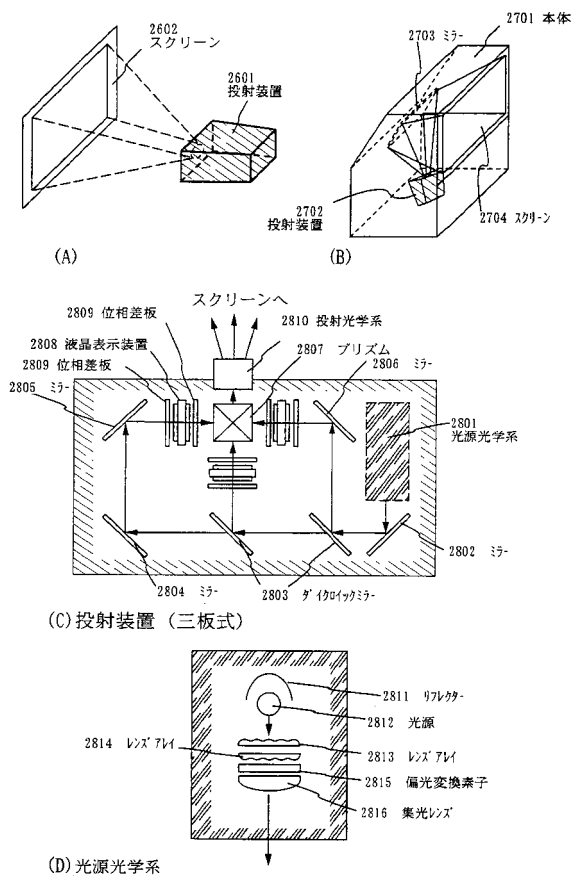
【図 18】



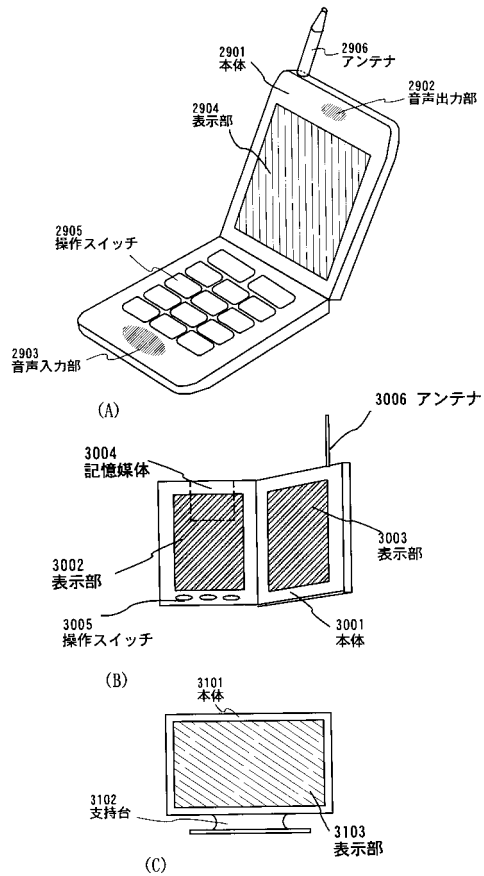
【図 19】



【図 20】



【図 21】



フロントページの続き

- (72)発明者 平形 吉晴
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
- (72)発明者 村上 智史
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内

審査官 右田 昌士

- (56)参考文献 特開平１０－００３０９２（ＪＰ，Ａ）
特開平１０－１８６４１０（ＪＰ，Ａ）
特開平１１－０５２４２９（ＪＰ，Ａ）
特開平１０－１７０９６１（ＪＰ，Ａ）
特開平０６－２２４４３２（ＪＰ，Ａ）

- (58)調査した分野(Int.Cl., ＤＢ名)
- | | |
|------|-----------------|
| G02F | 1/1362 - 1/1368 |
| G02F | 1/1343 |
| G02F | 1/1335 |

专利名称(译)	液晶表示装置		
公开(公告)号	JP4197574B2	公开(公告)日	2008-12-17
申请号	JP2000145899	申请日	2000-05-18
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 平形吉晴 村上智史		
发明人	山崎 舜平 平形 吉晴 村上 智史		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1339 G02F1/136 G09F9/30 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1339.500 G02F1/136.500 G09F9/30.320 G09F9/30.338 H01L29/78.612.B H01L29/78.612.Z H01L29/78.619.A		
F-TERM分类号	2H089/LA14 2H089/LA15 2H089/LA16 2H089/NA12 2H092/GA14 2H092/GA59 2H092/JA24 2H092/JA31 2H092/JA32 2H092/JA46 2H092/JB32 2H092/JB42 2H092/JB62 2H092/JB66 2H092/KA22 2H092/MA24 2H092/NA07 2H092/NA27 2H189/AA78 2H189/DA07 2H189/DA32 2H189/DA33 2H189/DA34 2H189/JA14 2H189/LA03 2H189/LA10 2H189/MA06 2H189/MA07 2H189/MA09 2H189/MA13 2H192/AA24 2H192/BB02 2H192/BB53 2H192/BB54 2H192/BB84 2H192/BC34 2H192/CB02 2H192/CB05 2H192/CB13 2H192/CB34 2H192/CB52 2H192/CC32 2H192/CC55 2H192/CC72 2H192/DA32 2H192/DA42 2H192/DA62 2H192/EA04 2H192/EA13 2H192/EA17 2H192/EA42 2H192/EA66 2H192/EA67 2H192/FA73 2H192/FB02 2H192/FB33 2H192/GD23 2H192/GD25 2H192/HA33 2H192/HA82 2H192/HA86 2H192/JB02 5C094/AA31 5C094/AA42 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA14 5C094/DA15 5C094/EA04 5C094/EA07 5C094/EB02 5C094/EC03 5C094/ED03 5C094/FB12 5C094/FB15 5C094/HA02 5C094/HA05 5C094/HA06 5C094/HA08 5C094/HA10 5F110/AA30 5F110/BB02 5F110/BB04 5F110/BB10 5F110/CC02 5F110/CC08 5F110/DD03 5F110/DD05 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE08 5F110/EE14 5F110/EE15 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG17 5F110/GG25 5F110/GG28 5F110/GG32 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG45 5F110/GG47 5F110/GG51 5F110/GG52 5F110/HJ01 5F110/HJ12 5F110/HJ13 5F110/HJ18 5F110/HJ23 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM12 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN57 5F110/NN58 5F110/PP10 5F110/PP23 5F110/PP24 5F110/PP34 5F110/PP35 5F110/QQ09 5F110/QQ11 5F110/QQ24 5F110/QQ25 5F110/QQ28		
代理人(译)	福田贤三 福田进一 加藤恭介		
优先权	1999139374 1999-05-20 JP		
其他公开文献	JP2001033824A5 JP2001033824A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过提供一种利用IPS系统的液晶显示装置形成保持电容器的方法，实现形成高孔径比的像素区域的技术。解决方案：形成在绝缘膜上的公共电极103的表面，更具体地是树脂膜，用于由IPS系统组成的LCD所代表的电光器件的各个电路，通过执行阳极氧化覆盖有阳极氧化膜。在外加电压/供电时间 $\geq 11\text{V} / \text{min}$ 的阶段，可以降低渗透量，并且可以制造具有优异粘合性和高可靠性的电极的液晶显示装置。

【 図 1 】

