

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4108338号
(P4108338)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO3F 7/20 (2006.01)	GO3F 7/20 501
HO1L 21/3213 (2006.01)	HO1L 21/88 D
HO1L 21/336 (2006.01)	HO1L 29/78 612D
請求項の数 12 (全 11 頁) 最終頁に続く	

(21) 出願番号 特願2002-9667 (P2002-9667)
 (22) 出願日 平成14年1月18日(2002.1.18)
 (65) 公開番号 特開2002-303877 (P2002-303877A)
 (43) 公開日 平成14年10月18日(2002.10.18)
 審査請求日 平成16年6月4日(2004.6.4)
 (31) 優先権主張番号 2001-002971
 (32) 優先日 平成13年1月18日(2001.1.18)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー・フィリップス エルシーデー
 カンパニー、リミテッド
 大韓民国 ソウル、ヨンドゥンポーク、ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100091889
 弁理士 藤野 育男

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレー基板とその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板を準備する段階と；
 前記基板上にゲート配線とゲート電極を形成する段階と；
 前記ゲート配線が形成された基板の全面に絶縁物質を形成してゲート絶縁膜を形成する段階と；
 前記ゲート絶縁膜上にアクティブ層とオーミックコンタクト層を形成する段階と；
 前記アクティブ層とオーミックコンタクト層が形成された基板の全面に透明導電性膜を形成する段階と；
 前記透明導電性物質が形成された基板の全面にフォトリソを塗布して感光層を形成する段階と；
 前記感光層が形成された基板の上部に、データ配線が形成される領域に対応する位置の多数のスリットを含み、かつ、ドレーン電極と画素電極が形成される領域に対応する位置の遮断領域を含むマスクを利用して感光層をパターン形成する段階と；
 エッチング方法を利用して、露出された透明導電性膜をパターン形成するとともに、前記データ配線とソース電極上部に形成された第1感光層を除去し、かつ、前記ドレーン電極と画素電極上部に形成された第2感光層の周辺部の微少領域を除去することによって、前記透明導電性物質でデータ配線と画素電極とソース及びドレーン電極を形成する段階と；
 ；
 前記露出されたデータ配線の上部に低抵抗金属物質をめっきして低抵抗金属膜を形成す

10

20

る段階を含むことを特徴とする液晶表示装置用アレー基板製造方法。

【請求項 2】

前記ゲート配線とゲート電極は、前記基板上に、金属層を蒸着しパターニングして形成することを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

【請求項 3】

前記アクティブ層とオーミックコンタクト層を形成する段階は、前記ゲート絶縁膜上に非晶質シリコンと不純物非晶質シリコンを蒸着してパターニングする段階を含むことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

【請求項 4】

前記感光層パターンを形成する段階は、前記感光層パターンの上部に前記感光層パターンのデータ配線とソース電極が形成される領域に対応する多数のスリットと前記感光層パターンのドレーン電極と画素電極が形成される領域に対応する遮断領域を含むマスクを配置する段階と、前記マスクを通じて前記感光層パターンを露光する段階と、前記露光された感光層パターンを現像する段階とを含むことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

10

【請求項 5】

前記データ配線と画素電極とソース及びドレーン電極を形成する段階は、ドライエッチング方法を利用して前記透明導電性膜をパターニングする段階を含むことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

【請求項 6】

前記ソース電極の上部に低抵抗金属膜を形成する段階をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

20

【請求項 7】

前記ドレーン電極と画素電極周辺部の微小領域に低抵抗金属膜を形成する段階をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

【請求項 8】

前記低抵抗金属膜を形成する段階は、めっき方法を利用することを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

【請求項 9】

前記ソース電極は、データ配線から延ばして形成されたことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

30

【請求項 10】

前記ドレーン電極は、画素電極から延ばして形成されたことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

【請求項 11】

前記透明導電性膜は、インジウム - スズ - オキサイド (ITO) とインジウム - 酸化亜鉛 (IZO)、ジンクオキサイド (ZnOx)、スズオキサイド (SnOx)、インジウムオキサイド (InOx) で構成された透明導電性金属グループ中選択された一つであることを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

【請求項 12】

前記データ配線上の全面に形成された低抵抗金属膜は銅とアルミニウム、金、銀で構成された低抵抗金属グループ中選択された一つであることを特徴とする請求項 1 に記載の液晶表示装置用アレー基板製造方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置用アレー基板に係り特に、画素電極とデータ配線を透明導電性金属で形成する場合、別途のマスク工程を追加しないで前記データ配線の全面に低抵抗金属をめっきして低抵抗データ配線を形成する方法に関する。

【0002】

50

【従来の技術】

一般に、液晶表示装置の駆動原理は、液晶の光学的異方性と分極特性を利用する。前記液晶は構造が細くて長いために分子の配列に方向性を有しており、人為的に液晶に電界を印加して分子配列の方向を制御できる。したがって、前記液晶の分子配列方向を任意に調節すれば、液晶の分子配列が変わるようになって、液晶の光学的異方性によって光が屈折する特性で画像情報を表現できる。

【0003】

現在には前述したことがある薄膜トランジスタと前記薄膜トランジスタに連結された画素電極が行列方式で配列された能動行列液晶表示装置 (Active Matrix LCD : AM-LCD) が解像度及び動映像具現能力が優秀で最も注目されている。一般に液晶表示装置を構成する基本的な部品である液晶パネルの構造を説明すると次のようである。

10

【0004】

図1は、一般的な液晶表示装置を概略的に図示した図面である。

図示したように、一般的な液晶表示装置は、ブラックマトリクス6とサブカラーフィルタ(赤、緑、青)を含んだカラーフィルタ8とカラーフィルタの下に透明な共通電極18が形成された上部基板5と、画素領域Pと画素領域上に形成された画素電極17とスイッチング素子Tを含んだアレー配線が形成された下部基板22とで構成され、前記上部基板5と下部基板22間には液晶14が充填されている。

【0005】

前記下部基板22は、アレー基板とも言い、スイッチング素子である薄膜トランジスタTがマトリクス状(matrix type)に位置して、このような多数の薄膜トランジスタを交差して経路するゲート配線25とデータ配線27が形成される。前記画素領域Pは前記ゲート配線25とデータ配線27が交差して定義される領域である。前記画素領域P上に形成される画素電極17はインジウム-スズ-オキサイド(indium-tin-oxide : ITO)のように光の透過率が比較的優れた透明導電性金属を用いる。

20

【0006】

前述したように構成される液晶表示装置は、前記画素電極17上に位置した液晶層14が前記薄膜トランジスタTから印加された信号により配向されて、前記液晶層の配向程度によって前記液晶層14を透過する光の量を調節する方式で画像を表現できる。

【0007】

前述したような液晶表示装置は、工程単純化を指向すると同時に、漸次大面積に製作される趨勢にあり、これによる信号配線の低抵抗特性が要求されている。また、工程単純化のために画素電極はもちろん、データ配線とソース電極及びドレイン電極を前記透明導電性金属を用いて製作している。

30

【0008】

以下、図2は従来のアレー基板の一部画素を図示した平面図である。

図示したように、アレー基板22は、多数の画素Pで構成され、各画素Pはスイッチング素子である薄膜トランジスタ(thin film transistor)Tと画素電極(pixel electrode)17で構成される。

【0009】

前記薄膜トランジスタTは、ゲート電極32とソース電極33及びドレイン電極35とアクティブ層(active layer)34で構成されて、前記ソース電極33はデータ配線27と連結してゲート配線25上に突出され、前記ゲート電極32は前記データ配線27と交差して画素領域Pを定義するゲート配線25上に形成される。また、前記ドレイン電極35は画素領域P上に構成された画素電極17と延長形成される構造であり、前記二電極は透明導電性金属で形成する。データ配線27とこれと連結されたソース電極33も透明導電性金属で形成する。

40

【0010】

しかし、前記透明導電性金属は、他の導電性金属に比べて抵抗が高いために、透明電極のみでデータ配線を形成するならば、データ配線に流れる信号の遅延が発生して画像表示装

50

置としての信頼性が落ちる。

【0011】

したがって、前記データ配線27の抵抗を低めるために別途の低抵抗金属28をデータ配線27上部の微少領域にめっきした。

【0012】

以下、図3Aないし図3Fを参照して従来の液晶表示装置用アレー基板の製造方法とパターン形成された断面構造を説明する。

【0013】

図3Aないし図3Fは、図2のIII-IIIを切断して工程順序によって図示した工程断面図である。

10

【0014】

図3Aに図示したように、基板22に第1導電性金属を蒸着してパターンして、ゲート配線(図2の25)とゲート電極32を形成する。

【0015】

次に、前記ゲート電極32などが形成された基板22上にゲート絶縁膜41と非晶質シリコン(a-Si:H)層45aと不純物が含まれた非晶質シリコン(n⁺a-Si:H)層47aを積層する。

【0016】

図3Bに図示したように、前記非晶質シリコン層45aと不純物非晶質シリコン層47aを同時にパターンして、アイランド状に積層されたアクティブ層45bとオーミックコンタクト層47bを形成する。

20

【0017】

他の方法として、前記ゲート配線(図2の125)をマスクとして非晶質シリコン層を背面露光して、前記アクティブ層45bとオーミックコンタクト層47bを前記ゲート配線の上部にのみ形成されるようにすることができる。

【0018】

図3Cは、データ配線と、ソース電極及びドレーン電極、前記ドレーン電極から延びた画素電極を形成するためのマスク工程を示す。

【0019】

前記データ配線とソース及びドレーン電極を形成する物質で透明導電性金属を基板22の全面に蒸着して透明導電性膜50を形成した後、連続してフォトレジスト52を塗布する。

30

【0020】

次に、前記フォトレジスト52が塗布された基板22にマスク54を整列(alignment)して露光した後現像すると、図3Dに図示したように、データ配線領域Aとソース領域B及びドレーン領域Cと、前記ドレーン領域Cから延びる画素領域Dを除外した残り部分の透明金属膜17が露出される。

【0021】

この時、前記データ配線領域Aと前記ソース及びドレーン領域B、Cと画素領域Dの上部に残された残留フォトレジスト52aの周辺部位の厚さは前記各構成要素の真ん中部分の厚さより厚さが低い。

40

【0022】

したがって、図3Eに図示したように、乾式エッチングを過度に行うようになれば、前記残留フォトレジスト52a間に露出された透明金属膜50がすべて除去されると同時に前記各構成要素の周辺部Kの透明金属膜が所定面積露出される。

【0023】

このような構造で、図3Fに図示したように、銅(Cu)とアルミニウム(Al)を含む低抵抗導電性金属グループ中一つを選択して、前記露出された透明電極上部Kに低抵抗金属をめっきする。

【0024】

50

次に、残留フォトリジストをすべて除去すると、低抵抗金属膜 28 が形成されたデータ配線 27 と、前記データ配線 27 から延びたソース電極 33 及びこれと所定間隔離隔されたドレーン電極 35 と、前記ドレーン電極 35 から延長形成された画素電極 17 が形成される。

このような方法で従来の液晶表示装置用アレー基板を製作することができる。

【0025】

【発明が解決しようとする課題】

しかし、前述したようなデータ配線は、前記導電性金属の面積があまりに小さくて低抵抗配線としての機能を遂行することに難しさがある。

したがって、このような問題を解決するための本発明は、工程をこれ以上追加しなくても前記データ配線上部に前記低抵抗金属領域をさらに確保することができる方法を提案して、信号遅延による画質低下現象が発生しない大面積アレー基板を製作することにその目的がある。

【0026】

【課題を解決するための手段】

前述したような目的を達成するための参考発明による液晶表示装置用アレー基板は基板と；前記基板上に一方向に構成された多数のゲート配線と；前記ゲート配線と垂直に交差して画素領域を定義して、透明導電性金属層上部に低抵抗金属がめっきされた形態で構成されたデータ配線と；前記ゲート配線と画素領域の交差点に位置して、ゲート電極とソース電極及びドレーン電極とアクティブ層を含む薄膜トランジスタと；前記ドレーン電極と一体化して前記画素領域に位置して、前記データ配線と同一な透明導電性金属で形成される画素電極を含む。

【0027】

前記データ配線とドレーン電極と画素電極を形成する透明電極は、インジウム - スズ - オキサイド (ITO) とインジウム - 酸化亜鉛 (IZO)、ジンクオキサイド (ZnO_x)、スズオキサイド (SnO_x)、インジウムオキサイド (InO_x) で構成する。

【0028】

前記低抵抗金属は、銅 (Cu) とアルミニウム (Al)、銀 (Ag)、銅 (Cu) を含む低抵抗金属グループ中選択された一つである。

【0029】

低抵抗金属膜を前記データ配線の全面に形成する。

前記ソース電極は、前記データ配線と同一な構成、すなわち透明導電性金属層と低抵抗金属膜で形成される。

【0030】

前記一体化して形成されたドレーン電極と画素電極周りの微少領域に低抵抗金属膜が形成される。

【0031】

本発明の特徴による液晶表示装置用アレー基板の製造方法は、基板を準備する段階と；前記基板上にゲート配線とゲート電極を形成する段階と；前記ゲート配線が形成された基板の全面に絶縁物質を形成してゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上にアクティブ層とオーミックコンタクト層を形成する段階と；前記アクティブ層とオーミックコンタクト層が形成された基板の全面に透明導電性膜を形成する段階と；前記透明導電性物質が形成された基板の全面にフォトリジストを塗布して感光層を形成する段階と；前記感光層が形成された基板の上部に、データ配線が形成される領域に対応する位置の多数のスリットを含み、かつ、ドレーン電極と画素電極が形成される領域に対応する位置の遮断領域を含むマスクを利用して感光層をパターン形成する段階と；エッチング方法を利用して、露出された透明導電性膜をパターン形成するとともに、前記データ配線とソース電極上部に形成された第1感光層を除去し、かつ、前記ドレーン電極と画素電極上部に形成された第2感光層の周辺部の微少領域を除去することによって、前記透明導電性物質でデータ配線と画素電極とソース及びドレーン電極を形成する段階と；前記露出されたデータ配

10

20

30

40

50

線の上部に低抵抗金属物質をめっきして低抵抗金属膜を形成する段階を含む。

【 0 0 3 2 】

【発明の実施の形態】

以下、添付した図面を参照しながら本発明の望ましい実施例を説明する。

- - 実施例 - -

前述したように、マスクにスリットを構成して、これによる光の回折露光を利用してデータ配線を形成する方法を以下実施例を通して詳細に説明する。

【 0 0 3 3 】

図 4 は、本発明による液晶表示装置用アレー基板の一部画素を図示した平面図である。

【 0 0 3 4 】

図示したように、本発明による液晶表示装置用アレー基板 1 1 1 は、ゲート配線 1 2 5 とデータ配線 1 2 7 が交差して配線され、前記二配線の交差点にゲート電極 1 3 2 とソース電極 1 3 3 及びドレーン電極 1 3 5 で構成される薄膜トランジスタ T が位置する。

【 0 0 3 5 】

前記データ配線 1 2 7 とゲート配線 1 2 5 が交差して画素領域 P を定義し、前記画素領域 P の上部には画素電極 1 1 7 が位置する。

【 0 0 3 6 】

この時、前記ドレーン電極 1 3 5 と画素電極 1 1 7 は、透明導電性金属で構成し、前記データ配線 1 2 7 とこれに延びた画素電極 1 1 7 の全面には低抵抗金属膜 1 2 8 が形成された構造である。

【 0 0 3 7 】

図示したように、前記データ配線 1 2 7 の全面に低抵抗金属を形成するためには以下、図 5 に図示したようなマスクが必要である。

【 0 0 3 8 】

図 5 は、本発明によるデータ配線と画素電極をパターンするために用いられるマスクの概略的な図面である。

【 0 0 3 9 】

図示したように、データ配線と画素電極を同時にパターンするためのマスク 1 5 4 は前記データ配線（図 4 の 1 2 7）に対応する位置には多数のスリット 1 5 6 を構成することを特徴とする。

【 0 0 4 0 】

この時、光が透過される領域は、スリットがある A 領域と画素電極部分を除外した B 領域である。

【 0 0 4 1 】

前記スリット 1 5 6 は、通過した光を回折するようにして、光の量を減らす役割をする。

【 0 0 4 2 】

したがって、前記データ配線上部に塗布されたフォトリジストは表面から一部のみ露光される結果を有する。

【 0 0 4 3 】

このようにすると、乾式エッチング中フォトリジスト間に露出された透明導電性金属がすべて除去される間前記データ配線（図 4 の 1 2 7）上部の残留フォトリジストが除去される結果を得ることができる。

【 0 0 4 4 】

以下、図 6 A ないし図 6 F を参照して本発明によるアレー基板製作工程を説明する。

【 0 0 4 5 】

図 6 A ないし図 6 F は、図 4 の V I - V I を沿って切断して工程順序によって図示した工程断面図である。

【 0 0 4 6 】

まず、図 6 A に図示したように、透明な基板 1 1 1 上に第 1 導電性金属を蒸着してパターンして、ゲート配線（図 4 の 1 2 5）とゲート電極 1 3 2 を形成する。

10

20

30

40

50

【 0 0 4 7 】

前記第 1 導電性金属は、アルミニウム (A l)、銅 (C u)、タングステン (W)、クロム (C r)、モリブデン (M o) を含む導電性金属グループ中一つである。

【 0 0 4 8 】

前記ゲート電極 1 3 2 などが形成された基板 1 1 1 上にゲート絶縁膜 1 4 1 と非晶質シリコン (a - S i : H) 層 1 4 5 a と不純物が含まれた非晶質シリコン (n + a - S i : H) 層 1 4 7 a を積層する。

【 0 0 4 9 】

図 6 B に図示したように、前記非晶質シリコン層と不純物非晶質シリコン層を同時にパターンして、アイランド状に積層されたアクティブ層 1 4 5 b とオーミックコンタクト層 1 4 7 b を形成する。

10

【 0 0 5 0 】

図 6 C は、データ配線と、ソース電極及びドレーン電極と画素電極を形成する工程である。

【 0 0 5 1 】

図示したように、前記オーミックコンタクト層 1 4 7 b が形成された基板 1 1 1 の全面にインジウム - スズ - オキサイド (I T O) とインジウム - 酸化亜鉛 (I Z O) とジンクオキサイド (Z n O _x)、スズオキサイド (S n O _x)、インジウムオキサイド (I n O _x) で構成された透明導電性金属グループ中選択された一つを蒸着して、透明導電性金属膜 1 5 0 を形成する。連続して、前記透明導電性金属膜 1 5 0 の全面にフォトレジストを塗布して感光層 1 5 2 を形成する。

20

【 0 0 5 2 】

次に、データ配線 (図 4 の 1 2 7) が形成される領域に対応する位置に多数のスリット 1 5 6 が構成されたマスク 1 5 4 を整列して露光工程を実施した後現像する。

【 0 0 5 3 】

このようにすると、図 6 D に図示したように、前記データ配線領域 E とソース領域 F 及びドレーン領域 G と、前記ドレーン領域 G から延びる画素領域 H を除外した残り部分の透明金属膜 1 5 0 が露出される。

【 0 0 5 4 】

この時、前記データ配線領域 E の上部に残留する第 1 残留フォトレジスト 1 5 2 a は、回折露光により一部が露光された後除去された状態であるので、前記ドレーン領域 G 及び画素領域 H 上に残された第 2 残留フォトレジストより薄く構成される。

30

【 0 0 5 5 】

このように構成された基板を乾式エッチングすると、図 6 E に図示したように、エッチング比により、露出された透明導電性金属膜 (図 6 D の 1 5 0) がすべて除去される間、前記データ配線領域 E 及びソース領域 F の上部の第 1 残留フォトレジスト (図 6 D の 1 5 3 a) が除去されて、同時に前記ドレーン領域 G 及び画素領域 H の周辺 K が露出される。

【 0 0 5 6 】

次に、図 6 F に図示したように、前記透明金属層のパターン工程が終われば連続して、アルミニウム (A l) と銅 (C u)、金 (A u)、銀 (A g) を含む低抵抗金属グループ中選択された一つで露出された透明金属層上部にめっきして、低抵抗金属膜 1 2 8 を形成する。以後、第 2 残留フォトレジスト (図 6 E の 1 5 3 b) を完全に除去すると、結果的に前記データ配線 1 2 7 の全面に低抵抗導電性金属膜 1 2 8 が形成された結果を得ることができる。

40

【 0 0 5 7 】

前記低抵抗金属膜の形成方法が多様になされることができ、例えば電解質溶液を用いた電気めっきを利用して前記透明電極上部にのみ前記金属が形成されるようにする方法を用いることができる。

【 0 0 5 8 】

したがって、前述した図 6 C ないし図 6 F の工程を経て、低抵抗金属膜が全面に形成され

50

たデータ配線 1 2 7 と前記データ配線 1 2 7 の一部であるソース電極 1 3 3 と、これとは所定間隔離隔されて前記画素電極 1 1 7 から延長形成されたドレーン電極 1 3 5 を形成することができる。前記ドレーン電極 1 3 5 と画素電極 1 1 7 は全面でない周辺部 K に前記低抵抗金属膜 1 2 8 がめっきされた形態である。

【 0 0 5 9 】

前述したような工程で本発明による液晶表示装置用アレー基板を製作することができる。

【 0 0 6 0 】

【発明の効果】

したがって、本発明によるアレー基板製作方法は下のような効果がある。第一、データ配線と画素電極を同時に形成するために工程を単純化できる。

10

第二、低抵抗のデータ配線を形成することができるために、高解像度を有する大面積アレー基板に適用が可能な効果がある。

【図面の簡単な説明】

【図 1】一般的な液晶表示装置を図示した図面である。

【図 2】従来の液晶表示装置用アレー基板の一部を概略的に図示した平面図である。

【図 3 A】図 2 の I I I - I I I を切断して工程順序によって図示した工程断面図である。

。

【図 3 B】図 2 の I I I - I I I を切断して工程順序によって図示した工程断面図である。

。

【図 3 C】図 2 の I I I - I I I を切断して工程順序によって図示した工程断面図である。

20

。

【図 3 D】図 2 の I I I - I I I を切断して工程順序によって図示した工程断面図、

【図 3 E】図 2 の I I I - I I I を切断して工程順序によって図示した工程断面図である。

。

【図 3 F】図 2 の I I I - I I I を切断して工程順序によって図示した工程断面図である。

。

【図 4】本発明による液晶表示装置用アレー基板の一部を概略的に図示した平面図である。

。

【図 5】本発明によるマスクを概略的に図示した平面図である。

【図 6 A】図 4 の V I - V I を切断して工程順序によって図示した工程断面図である。

30

【図 6 B】図 4 の V I - V I を切断して工程順序によって図示した工程断面図である。

【図 6 C】図 4 の V I - V I を切断して工程順序によって図示した工程断面図である。

【図 6 D】図 4 の V I - V I を切断して工程順序によって図示した工程断面図である。

【図 6 E】図 4 の V I - V I を切断して工程順序によって図示した工程断面図である。

【図 6 F】図 4 の V I - V I を切断して工程順序によって図示した工程断面図である。

【符号の説明】

1 1 1 : 基板

1 1 7 a : 画素電極

1 2 5 : ゲート配線

1 2 7 : データ配線

40

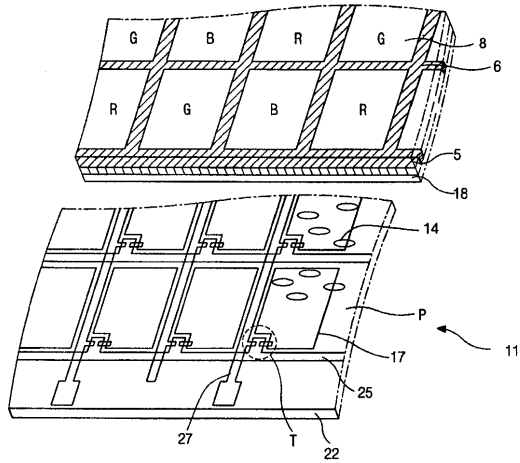
1 2 8 : 低抵抗金属膜

1 3 2 : ゲート電極

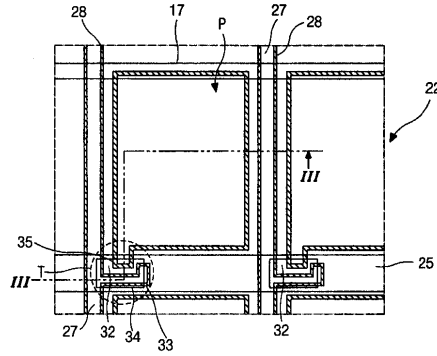
1 3 3 : ソース電極

1 3 5 : ドレーン電極

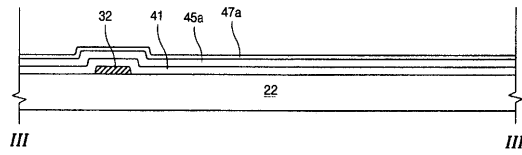
【図 1】



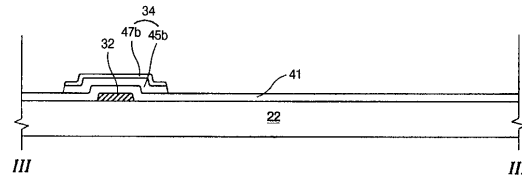
【図 2】



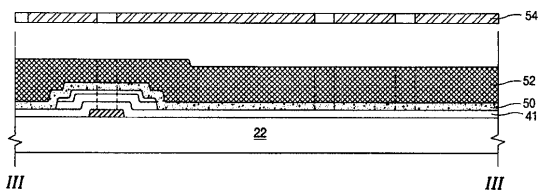
【図 3 A】



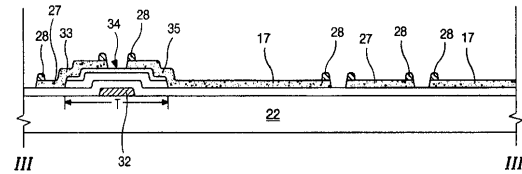
【図 3 B】



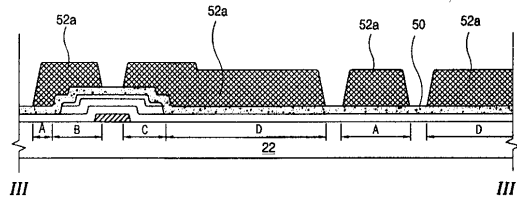
【図 3 C】



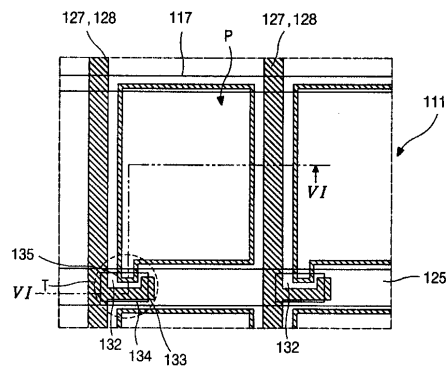
【図 3 F】



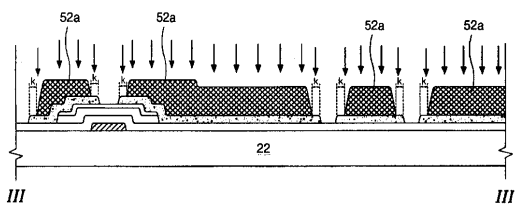
【図 3 D】



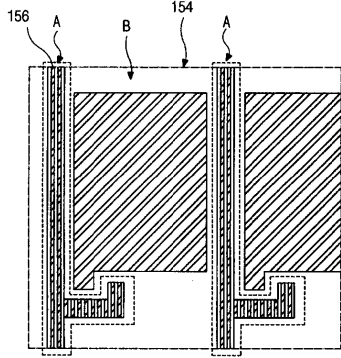
【図 4】



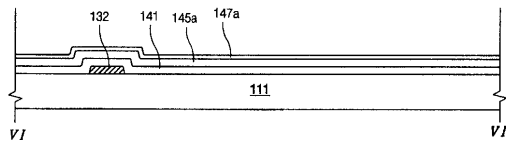
【図 3 E】



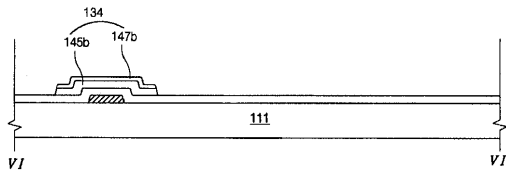
【 5 】



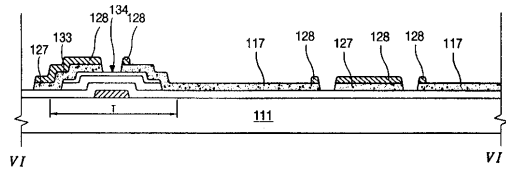
【 6 A 】



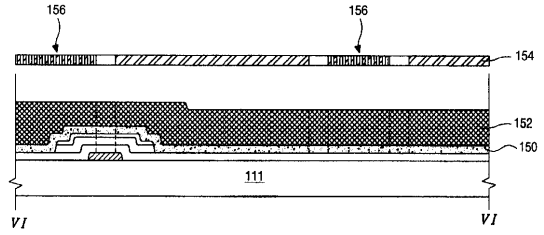
【 6 B 】



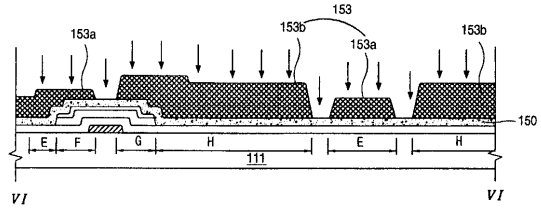
【 6 F 】



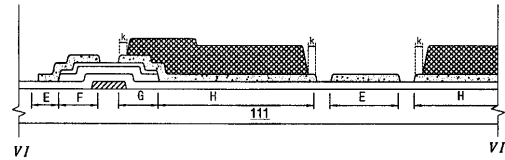
【 6 C 】



【 6 D 】



【 6 E 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 (2006.01) H 0 1 L 29/78 6 1 2 C

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100102808

弁理士 高梨 憲通

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100107401

弁理士 高橋 誠一郎

(74)代理人 100106183

弁理士 吉澤 弘司

(72)発明者 チョイ ビョン - デ

大韓民国 7 0 1 - 0 1 4 , デグ , ドン - グ , シナム 4 - ドン , 6 5 1 - 1 8

審査官 山口 裕之

(56)参考文献 特開平 0 2 - 0 4 4 3 1 8 (J P , A)

特開平 0 4 - 2 8 3 9 3 8 (J P , A)

特開平 0 6 - 0 3 5 0 0 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1343

G02F 1/1368

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP4108338B2	公开(公告)日	2008-06-25
申请号	JP2002009667	申请日	2002-01-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	チヨイビヨンデ		
发明人	チヨイビヨン-デ		
IPC分类号	G02F1/1343 G02F1/1368 G03F7/20 H01L21/3213 H01L21/336 H01L29/786 G02F1/1345 G02F1/136 G02F1/1362 H01L21/28 H01L29/423 H01L29/43 H01L29/49		
CPC分类号	G02F1/136286 G02F1/13439 G02F1/1345 G02F2001/13629		
FI分类号	G02F1/1343 G02F1/1368 G03F7/20.501 H01L21/88.D H01L29/78.612.D H01L29/78.612.C H01L21/28.E H01L21/28.F H01L29/58.G H01L29/62.G		
F-TERM分类号	2H092/GA17 2H092/GA25 2H092/HA04 2H092/HA06 2H092/JA24 2H092/JA44 2H092/JB33 2H092 /KB04 2H092/MA04 2H092/MA11 2H092/MA13 2H092/MA16 2H092/MA19 2H092/MA37 2H097/GA50 2H097/LA12 2H192/AA24 2H192/CB05 2H192/CC04 2H192/CC42 2H192/CC72 2H192/CC75 2H192 /HA27 2H192/HA44 2H197/AA04 2H197/BA11 2H197/DB01 2H197/DB06 2H197/HA05 2H197/JA05 2H197/JA15 4M104/BB02 4M104/BB04 4M104/BB08 4M104/BB09 4M104/BB13 4M104/BB16 4M104 /BB18 4M104/BB36 4M104/CC01 4M104/CC05 4M104/DD52 4M104/DD65 4M104/GG09 4M104/HH16 5F033/HH08 5F033/HH11 5F033/HH13 5F033/HH14 5F033/HH17 5F033/HH19 5F033/HH20 5F033 /HH38 5F033/PP27 5F033/QQ01 5F033/QQ08 5F033/QQ11 5F033/VV06 5F033/VV15 5F033/XX10 5F033/XX33 5F110/AA03 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110 /EE43 5F110/GG02 5F110/GG15 5F110/GG42 5F110/HK02 5F110/HK03 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK31 5F110/HK32 5F110/HM19 5F110 /NN72 5F110/QQ02 5F110/QQ03 5F110/QQ08		
代理人(译)	白井伸一 藤野郁夫 朝日 伸光 高桥诚一郎 吉泽博		
审查员(译)	山口博之		
优先权	1020010002971 2001-01-18 KR		
其他公开文献	JP2002303877A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种方法，允许在没有额外工艺的情况下进一步确保数据布线上的低电阻金属区域，并且制造大面积的阵列基板，不会由于延迟而导致图像质量劣化的现象。一个信号。解决方案：本发明涉及一种用于以较少掩模工艺制造的液晶显示装置的阵列基板的形成方法，并涉及一种在数据布线和源电极上形成低电阻金属膜以降低电阻的方法特别是当数据布线，源电极，漏电极和像素电极由透明电极形成时。根据本发明的原理，通过在图案化数据布线和源电极的过程中使用衍射曝光方法，可以在数据布线和源电极的整个表面上形成低电阻金属膜。

【 図 2 】

