

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3661638号
(P3661638)

(45) 発行日 平成17年6月15日(2005.6.15)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int.Cl.⁷

F I

G O 2 F 1/1368

G O 2 F 1/1368

G O 2 F 1/133

G O 2 F 1/133 5 5 O

G O 2 F 1/1343

G O 2 F 1/1343

G O 9 G 3/20

G O 9 G 3/20 6 2 2 C

G O 9 G 3/36

G O 9 G 3/20 6 7 O E

請求項の数 9 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2001-376506 (P2001-376506)

(22) 出願日 平成13年12月10日(2001.12.10)

(62) 分割の表示 特願2000-183625 (P2000-183625)

の分割

原出願日 平成12年6月19日(2000.6.19)

(65) 公開番号 特開2002-250938 (P2002-250938A)

(43) 公開日 平成14年9月6日(2002.9.6)

審査請求日 平成13年12月10日(2001.12.10)

(31) 優先権主張番号 特願平11-208329

(32) 優先日 平成11年7月23日(1999.7.23)

(33) 優先権主張国 日本国(JP)

(31) 優先権主張番号 特願2000-125055 (P2000-125055)

(32) 優先日 平成12年4月26日(2000.4.26)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(74) 代理人 100108578

弁理士 高橋 詔男

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100101465

弁理士 青山 正和

(74) 代理人 100108453

弁理士 村山 靖彦

(72) 発明者 木村 和典

東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続された n 型 MOS ランジスタと、

入力電極が前記 n 型 MOS トランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、

前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、

前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、

前記走査線を形成する材料の抵抗値 R が、

$$V_{gL} = I \times R \times n \times (n - 1) / 2 + I \times R_0 \times n + V_{g0} \text{ 及び } V_{gL} - V_{dL} < V_t$$
 (ただし、 n は画素数、 I は走査線に流れ込む一画素当りの平均電流、 V_{g0} は入力電極に入力される電圧、 R_0 は入力電極から1画素目までの走査線抵抗、 V_t はスイッチングトランジスタの閾値、 V_{gL} は走査線信号の最小電圧、 V_{dL} はデータ信号の最小電圧) を満たすことを特徴とする液晶表示装置。

【請求項2】

ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続された n 型 MOS ランジスタと、

入力電極が前記 n 型 MOS トランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、

前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、

前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、

前記走査線を駆動するゲートドライバのローレベル側電源が負電源であり、
走査線信号の最小電圧 V_{gL} が、

$$V_{gL} = I \times R \times n \times (n - 1) / 2 + I \times R_0 \times n + V_{g0} \text{ 及び } V_{gL} - V_{dL} < V_t$$
 (ただし、n は画素数、R は走査線の抵抗、I は走査線に流れ込む一画素当りの平均電流、 V_{g0} は入力電極に入力される電圧、 R_0 は入力電極から 1 画素目までの走査線抵抗、 V_t はスイッチングトランジスタの閾値、 V_{dL} はデータ信号の最小電圧) を満たすことを特徴とする液晶表示装置。 10

【請求項 3】

ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続された p 型 MOS トランジスタと、

入力電極が前記 p 型 MOS トランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、 20

前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、

前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、

前記走査線を形成する材料の抵抗値 R が、

$$V_{gH} = I \times R \times n \times (n - 1) / 2 + I \times R_0 \times n + V_{g0} \text{ 及び } V_{gH} - V_{dH} > V_t$$
 (ただし、n は画素数、I は走査線に流れ込む一画素当りの平均電流、 V_{g0} は入力電極に入力される電圧、 R_0 は入力電極から 1 画素目までの走査線抵抗、 V_t はスイッチングトランジスタの閾値、 V_{gH} は走査線信号の最大電圧、 V_{dH} はデータ信号の最大電圧) を満たすことを特徴とする液晶表示装置。 30

【請求項 4】

ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続された p 型 MOS トランジスタと、

入力電極が前記 p 型 MOS トランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、

前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、

前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、 40

前記走査線を駆動するゲートドライバのハイレベル側電源が、全ての画素において、データ信号電圧の最大値と前記 p 型 MOS トランジスタのしきい値との和よりもゲート走査電圧が高くなるような電圧を供給できるように、

走査線信号の最大電圧 V_{gH} が、

$$V_{gH} = I \times R \times n \times (n - 1) / 2 + I \times R_0 \times n + V_{g0} \text{ 及び } V_{gH} - V_{dH} > V_t$$
 (ただし、n は画素数、R は走査線の抵抗、I は走査線に流れ込む一画素当りの平均電流、 V_{g0} は入力電極に入力される電圧、 R_0 は入力電極から 1 画素目までの走査線抵抗、 V_t はスイッチングトランジスタの閾値、 V_{dH} はデータ信号の最大電圧) を満たすことを特徴とする液晶表示装置。

【請求項 5】

前記走査線を形成する材料の抵抗値はデータ信号線数の自乗に略反比例することを特徴とする請求項 1 から 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記走査線に接続される電源線を、当該画素が接続された走査線に接続するか又は当該画素が接続された走査線の隣接走査線に接続し、

前記走査線に接続されない方の電源線を、専用の配線で接続するか又は前記電圧保持容量電極若しくは前記対向電極に接続することを特徴とする請求項 1 から 5 のいずれかの項に記載の液晶表示装置。

【請求項 7】

一走査線当たりのデータ信号線数が n 本の場合、前記走査線の抵抗率が約 $140 / (n \times n)$ $[\Omega \cdot \text{cm}]$ 以下であることを特徴とする請求項 1 または 3 のいずれかに記載の液晶表示装置。

10

【請求項 8】

一走査線当たりのデータ信号線数が 1920 本以上の場合、前記走査線の抵抗率が約 7×10^{-5} $[\Omega \cdot \text{cm}]$ 以下であることを特徴とする請求項 1 または 3 のいずれかに記載の液晶表示装置。

【請求項 9】

一走査線当たりのデータ信号線数が 3072 本以上の場合、前記走査線の抵抗率が約 3×10^{-5} $[\Omega \cdot \text{cm}]$ 以下であることを特徴とする請求項 1 または 3 のいずれかに記載の液晶表示装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロジェクタ、ノート PC、モニタ等に用いられるアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】

現在、液晶表示装置の主流は、薄膜トランジスタで駆動するアクティブマトリクス型である。図 21 はツイステッドネマティック液晶 (TN 液晶) を用いた場合のアクティブマトリクス型液晶表示装置の一画素分の等価回路の例を示したものである。

30

同図に示すように、スイッチング用トランジスタ (Q_n) 2101 のゲート電極にゲート走査線 1401 を、ソース電極にデータ信号線 102 を、ドレイン電極に液晶 109 の画素電極 108 を接続して、対向電極 107 との間で液晶に電圧を印加し、駆動する構成になっている。

【0003】

また、通常、画素電極 108 と電圧保持容量電極 105 の間には電圧保持容量 106 が形成される。この時のゲート走査電圧 V_g 、データ信号電圧 V_d 、画素電極の電圧 V_{pix} の一般的なタイミングチャートを図 22 に示す。

ゲート走査電圧 V_g が水平走査期間中、ハイレベル V_{gH} となることによって、トランジスタ (Q_n) 2101 はオン状態となり、信号線に入力されているデータ信号 V_d がトランジスタ (Q_n) 2101 を経由して画素電極 108 に転送される。水平走査期間が終了し、ゲート走査電圧 V_g がローレベルとなると、トランジスタ (Q_n) 2101 はオフ状態となり、画素電極 108 に転送されたデータ信号は電圧保持容量 106 および液晶容量により保持される。

40

【0004】

この際、画素電圧 V_{pix} は、トランジスタ (Q_n) 2101 がオフ状態になる時刻において、トランジスタ (Q_n) 2101 のゲート・ソース間容量を經由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図 22 では、 V_{f1} 、 V_{f2} 、 V_{f3} で示されている。この電圧シフトの量は、電圧保持容量 106 の値を大きくすることにより小さくすることができる。

50

【0005】

画素電圧 V_{pix} は、次の水平走査期間において、再びゲート走査電圧 V_g がハイレベルとなり、トランジスタ (Qn) 2101 がオン状態になるまで保持される。この際、保持期間において、画素電圧 V_{pix} は、各フィールドで、それぞれ ΔV_1 、 ΔV_2 、 ΔV_3 だけ変動する。これは、液晶の応答に従って液晶の容量が変化することに起因している。通常、この変動ができるだけ小さくなるように、電圧保持容量 106 を画素容量 C_{pix} に対し、2～3倍以上の大きな値で設計される。以上説明したようにして、図21に示した画素回路構成によりTN液晶を駆動することができる。

【0006】

しかしながら、こうした蓄積容量を用いても原理的に電荷保持機能の低下防止には限界があり、また、高集積化されたマトリクス表示装置において、電圧変動を抑制し得る程大面積の容量を画素毎に設けることは、データ信号ドライバやスイッチングトランジスタ (Qn) 2101 に対する負荷を増すとともに、画素開口率の低下という問題を生じさせる。

10

【0007】

また、液晶表示装置の高性能化を図るため種々の液晶材料が研究開発されているが、その中には、偏光板を使用しないため光の透過率が高くなる高分子液晶材料、高速応答性・高視野角特性を備えた強誘電性液晶、反強誘電性液晶などの分極を有する液晶材料、OCBモード液晶材料等が存在する。ところが、例えば高分子液晶材料は比抵抗が小さく、TN液晶に比較してリーク電流が大きくなるため、保持期間中の画素電圧変動が大きくなる。分極を有する液晶材料においても同様に、分極により生じる電荷の再分配などにより、保持期間中の画素電圧変動がTN液晶の場合より増大するため、従来の画素構成ではこうした液晶材料を使用した表示装置の実用化は困難である。

20

【0008】

こうした問題を解決するための方法として、図21の回路にソースフォロワ型のアンプを併用することで、保持期間中の画素電圧 V_{pix} を一定に保つ構成が提案されている。しかしながら、例えば特開平2-272521号公報、特開平7-20820号公報、特開平10-148848号公報などで提案されている、ソースフォロワ型アンプ回路の正電源 (VDD) ラインと負電源 (VSS) ラインを通常のバスラインとは別に設ける構成では、回路構成が複雑となり、開口率も低下してしまう。

【0009】

前記特開平10-148848号公報においては、複数行で電源ラインを共有して省スペース化を図るなどしているが、配線本数の増加が必然的に生じる。他方、特開平1-292979号公報、特開平5-173175号公報、特開平11-326946号公報などにおいては、アンプ回路の負電源線または正電源線のどちらか一方をゲート走査線に接続することで、特別なバスラインを不要にする構成が提案されている。この方法によれば、開口率をそれ程低下させない簡素な構成で、保持期間中の画素電圧 V_{pix} を一定に保つことができる。

30

【0010】

図23は、このような省電源線型アナログアンプ回路付き画素回路構成の一例を示す図である。

40

同図に示すように、スイッチング用トランジスタ (Qn) 2301 のゲート電極に走査線 1401 を、ソース電極に信号線 102 を、アナログアンプ回路 2302 の入力電極に前記トランジスタ (Qn) 2301 のドレイン電極を、出力電極に液晶 109 の画素電極 108 を、正負電源線的一方を前記走査線 1201 に接続して、対向電極 107 との間で液晶に電圧を印加し駆動する構成になっている。

【0011】

通常、画素電極 108 と電圧保持容量電極 105 の間には電圧保持容量 106 が形成される。アナログアンプ回路 2302 のもう一方の電源線は、別に設けたアンプ電源電極 110 に接続するか、あるいは回路構成を簡素にするため、電圧保持容量電極 105 など既存の電極に接続する。図23には電源電極 2303 を設けた場合を示している。この回路の

50

動作は基本的には図 2 1、図 2 2 で説明した場合と同様であるが、スイッチングトランジスタがオフ状態にある時、アナログアンプ回路 2 3 0 2 により液晶 1 0 9 に所定の電圧が印加され続けるため、図 2 2 で生じている電圧変動 $\Delta V 1$ 、 $\Delta V 2$ 、 $\Delta V 3$ を抑制することができる。

【 0 0 1 2 】

【 発明が解決しようとする課題 】

以上説明したように、従来の画素構成にアナログアンプ回路を併用し、このアナログアンプ回路の電源線的一方をゲート走査線に接続した構成にすれば、T N 液晶のみならず、高分子液晶材料のような低比抵抗材料や、強誘電液晶・反強誘電性液晶のような分極を有する液晶材料においても、簡素な回路構成で、開口率をそれ程低下させることなく、液晶画素電位の変動を抑制することが可能であるが、この画素構成で表示を行う場合、以下に述べる問題が発生する。

10

【 0 0 1 3 】

図 2 1 に示した従来の画素構成においては、ゲート走査線に接続されているのはスイッチングトランジスタ (Q n) 1 0 1 のゲート電極のみであるが、図 2 3 の構成においては、アナログアンプ回路 2 3 0 2 を通じて、アンプの正電源側から負電源側に対して常に電流が供給されるため、スイッチングトランジスタがオフ状態にある時、ゲート走査線の電位は、n 型 M O S ではゲートドライバのローレベル側電源電圧に対してプラスに、p 型 M O S ではゲートドライバのハイレベル側電源電圧に対してマイナスに、それぞれシフトしてしまう。この電圧シフト量は画素数に対して単調に増加するため、高解像度パネルにおいては、ゲート走査電位のローレベルがスイッチングトランジスタのしきい値を越えてしまい、画素選択が正常に行われなくなるといった問題が生じる。

20

【 0 0 1 4 】

従って、本発明の目的は、保持期間中の画素電圧変動を抑制するためにアナログアンプ回路が付加され、このアナログアンプ回路の電源線がゲート走査線に接続された構成の画素回路において、上述の如く生じるゲート走査電位の変動を低減し、スイッチングトランジスタのオン・オフが適正に行われるようにすることで、回路の簡素化、表示部の高開口率化を保ちつつ、画素電圧の変動を抑制し、また分極を有する液晶材料や比抵抗の小さな液晶材料を使用できる液晶表示装置を提供することである。

【 0 0 1 5 】

【 課題を解決するための手段 】

上記目的を達成するために、本発明による第 1 の液晶表示装置は、ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続された M O S トランジスタと、入力電極が前記 M O S トランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線的一方が前記走査線に接続されたアナログアンプ回路と、前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、前記走査線を形成する材料が、抵抗値の小さいメタルまたはメタルシリサイドを含んでいることを特徴とするものである。

40

【 0 0 1 6 】

本発明による第 2 の液晶表示装置は、ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続された n 型 M O S トランジスタと、入力電極が前記 n 型 M O S トランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線的一方が前記走査線に接続されたアナログアンプ回路と、前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、前記走査線を駆動するゲートドライバのローレベル側電源が負電源であることを特徴とするものである。

【 0 0 1 7 】

50

本発明による第3の液晶表示装置は、ゲート電極が走査線に接続され、ソース電極・ドレイン電極の一方が信号線に接続されたp型MOSトランジスタと、入力電極が前記p型MOSトランジスタのソース電極・ドレイン電極の他方に接続され、出力電極が画素電極に接続され、正負電源線の一方が前記走査線に接続されたアナログアンプ回路と、前記アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量と、前記画素電極と対向電極との間でスイッチングさせる液晶素子とで構成されているアクティブマトリクス型液晶表示装置において、前記走査線を駆動するゲートドライバのハイレベル側電源が、全ての画素において、データ信号電圧の最大値と前記p型MOSトランジスタのしきい値との和よりもゲート走査電圧が高くなるような電圧を供給できることを特徴とするものである。

10

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

先ず、本発明を原理的に説明する。

図20は、図23のような、アナログアンプ回路の電源線の一方をゲート走査線に接続した画素構成を持つ液晶表示装置の一走査線を、電流源を用いた等価回路で表した図である。

各画素毎にアナログアンプ回路を通じてゲート走査線に供給される電流を、電流源(I_1 、 I_2 、 $I_3 \dots I_n$)で置き換えている。走査線101のビットピッチ当たりの抵抗を R 、ビット総数を n 、入力電極2001に入力される電圧を V_{g0} (ゲートドライバの電源電圧に相当し、スイッチングトランジスタがn型MOSの場合はローレベル側電源電圧、p型MOSの場合はハイレベル側電源電圧になる)、入力電極2001の側から数えて k 番目の電流源 I_k と走査線1401との接続点 X_k での電位を V_k (k 番目のビットにおけるゲート走査電位に相当)、入力電極2001と最初の電流流入点 X_1 の間の抵抗を R_0 とする。

20

【0019】

ここで、電流源から供給される電流が全て一定値 I であると仮定しても現象の本質は変わらない。この場合、 k 番目のビットにおけるゲート走査線電位 V_k は、以下の(1)式で表される。

$$V_k = -I \cdot R \cdot k^2 / 2 + I \cdot R \cdot (n - 0.5) \cdot k + I \cdot R \cdot n + I \cdot R_0 \cdot n + V_{g0} \dots (1)$$

30

【0020】

スイッチングトランジスタがn型MOSの場合は $I > 0$ なので、走査線電位 V_k はビット数 k の増加に対し、ビット総数 n まで単調に増加する。p型MOSの場合は $I < 0$ であるので、逆に単調に減少する。 $k = n$ の時、(1)式は以下の(2)式ようになる。

$$V_n = I \cdot R \cdot n \cdot (n + 1) / 2 + I \cdot R_0 \cdot n + V_{g0} \dots (2)$$

【0021】

図23において、スイッチングトランジスタ(Q_n)2301がn型MOSの場合を考える。この回路が正常なスイッチング動作を行うには、ゲート走査電圧のローレベル V_{gL} 、データ信号電圧のローレベル V_{dL} 、トランジスタ2301のしきい値 V_t の間には、少なくとも以下の(3)式が成り立つ必要がある。

40

$$V_{gL} - V_{dL} < V_t \dots (3)$$

【0022】

ここで、先ほど述べたように $V_{gL} = V_n$ であるから、 $V_{gL} = V_n$ の場合について(3)式が成立すれば、全てのビットについて(3)式が成立する。(2)式から V_n はゲート走査線のビットピッチ当たりの抵抗 R に対して単調増加であるから、ゲート走査線の抵抗を下げるのが有効である。また V_{g0} を小さくすることも効果がある。

【0023】

スイッチングトランジスタ2301がp型MOSの場合、ゲート走査電位のハイレベル V_{gH} 、データ信号電圧のハイレベル V_{dH} として、正常なスイッチング動作のためには、少なくとも以下の(4)式が成り立つ必要がある。

50

$$V_t < V_{gH} - V_{dH} \cdots (4)$$

【0024】

ここで、 $V_n = V_{gH}$ であるから、 $V_{gH} = V_n$ の場合について(4)式が成立すればよい。(2)式から、走査線の配線抵抗を小さくすること、 V_{g0} を大きくすることが有効であることが分かる。

【0025】

本発明の実施の形態では、ゲート走査線の形成材料の一部または全部に、抵抗値の小さなメタルまたはメタルシリサイドを用いている。このため、非選択時のゲート走査電位の変動量を抑制し、正常なスイッチング動作を行うことが可能である。

【0026】

また、スイッチングトランジスタがn型MOSの場合には、ゲートドライバのローレベル側電源に負電源を用いているので、ゲート走査電位のローレベルの最大値が小さくなり、やはり正常なスイッチング動作を行うことが可能である。

【0027】

また、スイッチングトランジスタがp型MOSの場合には、ゲートドライバのハイレベル電源電圧を、ゲート走査電位の電圧降下を予め見込んで、高出力側にシフトさせているので、ゲート走査電位のハイレベルの最小値が大きくなり、やはり正常なスイッチング動作を行うことが可能である。

【0028】

次に、本発明の第1～第3の実施の形態について図面を参照して詳細に説明する。

図1は、本発明の液晶表示装置の第1の実施の形態を示す図である。

図に示すように、本実施の形態の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Q_n)103と、入力電極がトランジスタ(Q_n)103のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続され、電源線の他方はアンプ電源電極 V_{amp} 110に接続されたアナログアンプ回路104と、このアナログアンプ回路104の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0029】

ここで、MOS型トランジスタ(Q_n)103及びアナログアンプ回路104は、p-Si TFTで構成されている。また、アナログアンプ回路104のゲインは1倍に設定されている。

【0030】

以下、この画素構成を用いた液晶表示装置の駆動方法を、図2を用いて説明する。図2は、図1に示した画素構成により液晶を駆動した場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、アンプ入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャートを示したものである。ゲートドライバの負電源電圧を V_{g0} 、ゲート走査電圧のローレベル電圧を V_{gL} とする。

【0031】

図2に示すように、ゲート走査電圧 V_g が水平走査の期間にハイレベル V_{gH} となることによって、トランジスタ(Q_n)103はオン状態となり、信号線に入力されているデータ信号 V_d がトランジスタ103を経由してアナログアンプ回路104の入力電極に転送される。水平走査期間が終了し、ゲートドライバから走査線101に対してローレベル電圧 V_{gL} が出力されると、トランジスタ(Q_n)103はオフ状態となり、アナログアンプ回路の入力電極に転送されたデータ信号は電圧保持容量106により保持される。

【0032】

この際、アンプ入力電圧 V_a は、トランジスタ(Q_n)がオフ状態になる時刻において、トランジスタ(Q_n)のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる

10

20

30

40

50

電圧シフトを起こす。これは図2では、 V_{f1} 、 V_{f2} 、 V_{f3} で示されている。

【0033】

アンプ入力電圧 V_a は、次のフィールド期間において再びゲート走査電圧 V_g がハイレベルとなり、トランジスタ(Q_n)103が選択されるまで保持される。アナログアンプ回路104は、次のフィールドでアンプ入力電圧が変化するまでの間、その保持されたアンプ入力電圧 V_a に応じたアナログ階調電圧を出力することができる。この保持期間中、走査線101には、アナログアンプ回路の正電源線から負電源線を経て常に電流が流入し、ゲート走査電圧 V_g のローレベル出力 V_{gL} をシフトさせる。これは図2では ΔV_{gL1} 、 ΔV_{gL2} 、 ΔV_{gL3} で示されている。

【0034】

この結果、 V_{gL} は、 ΔV_{gL} を正として、

$$V_{gL} = V_{gL0} + \Delta V_{gL} (1 \text{ または } 2 \text{ または } 3) \cdots (5)$$

となる。 ΔV_{gL} は同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧 V_d の値により変化する。本発明の第1の実施の形態においては、材料に抵抗の小さなメタル又はメタルシリサイドを用いて走査線の配線抵抗を低くしているため、 ΔV_{gL} の絶対値が小さく、 V_{gL} の最大値が小さくなるので、正常なスイッチングの必要条件である、

$$V_{gL} - V_{dL} < V_t \cdots (3)$$

が成立している。

【0035】

次に、本発明の第1の実施の形態の効果について説明する。

本実施の形態では、走査線101には、アナログアンプ回路104の正電源線から負電源線を経て常に電流が流入している。このため、ゲート走査電圧 V_g のローレベル出力が押し上げられてしまうこととなるが、この上昇量は走査線抵抗に応じて増加している。これに対し、本実施の形態のように、走査線を少なくともメタル又はメタルシリサイドを含む材料で形成することによって低抵抗化することにより、走査電圧 V_g のローレベル出力変動を小さく抑えることができ、スイッチング用MOS型トランジスタ103の動作不良を防止できる。

【0036】

これにより、水平走査期間終了後も、画素電極108はアナログアンプ回路104によって駆動されるので、従来技術で述べたような液晶の応答に伴う画素電圧 V_{pix} の変動を無くすることができる。このため、高分子液晶、分極を有する強誘電液晶・反強誘電液晶、OCB液晶等、従来技術において保持期間中に電圧変動が生じてしまう液晶材料をも使用することが可能となる。

【0037】

更に、TN液晶等の他の液晶を駆動する場合についても、より正確な階調表示を実現し、画面のちらつきやコントラスト低下を抑制する効果が得られる。

また、アナログアンプ回路104の電源線の一方を走査線で兼用しているため、回路の簡素化を実現でき、画素開口率を余り低下させずに、前記の効果を得ることができる。

【0038】

図3(a)は、本実施の形態の効果を示す走査線の配線抵抗と走査線ローレベル電圧の相関図である。ゲートドライバのハイレベル側電源電圧を16V、ローレベル側電源電圧を0V、データ信号電圧のハイレベルを11V、ローレベルを1V、一走査線当りのビット数を640として、配線のシート抵抗を変化させた場合の、640番目のビットにおける走査線ローレベル電圧の値をシミュレーションにより求めた。計算に使用したスイッチングMOS型トランジスタのしきい値 V_{tn} は1Vである。

【0039】

ゲート走査電圧のローレベルはシート抵抗の減少に伴い単調に減少しており、メタルまたはメタルシリサイドを用いることにより低抵抗の走査線を形成するという本実施の形態による有効性が示されている。また、スイッチング動作を正常に行うためには、ゲート走査

10

20

30

40

50

電圧のローレベルが、少なくともデータ信号のローレベル電圧としきい値の和（図3の例では2V）より小さいことが必要である。図3（a）の例ではシート抵抗が少なくとも 3Ω 以下であり、これは、配線高さを $500\text{nm} \sim 1\mu\text{m}$ 程度と仮定した時、 $1.5 \times 10^{-4} \sim 3 \times 10^{-4} [\Omega \cdot \text{cm}]$ 以下の抵抗率に相当する。走査線を形成するメタルまたはメタルシリサイドは、例えば抵抗率が少なくともこの値以下であれば良い。

【0040】

図3（b）は、本実施の形態の効果を示すビット数と走査線ローレベル電圧の相関図である。シミュレーション条件は図3（a）の場合と同様で、加えてパネルの総配線長を一定としてビット数（データ信号線数）を変化させている。そのため、走査線のビットピッチ当りの抵抗は画素数に反比例している。ビット数が640の場合の配線シート抵抗を0.06 Ω と5 Ω の2種類として、走査線ローレベル電圧の値をシミュレーションにより求めた。この場合、上述したように $R = 1/n$ であり、式（2）より $V_n = R \times n^2$ であるため、 $V_n \propto n$ となっているのが分かる。

10

【0041】

配線高さを仮に 500nm とすると、シート抵抗 0.06Ω は抵抗率 $3 \times 10^{-6} [\Omega \cdot \text{cm}]$ に相当し、これはほぼA1の抵抗率に相当する。このように、本実施の形態の一例としてゲート走査線をA1で形成した場合、ビット数が6000（ $= 2000 \times \text{RGB}$ ）程度でも正常なスイッチングが可能となっている。

【0042】

一方、シート抵抗が5 Ω の場合は抵抗率 $2.5 \times 10^{-4} [\Omega \cdot \text{cm}]$ に相当するが、正常なスイッチング動作が可能と思われるのはビット数がせいぜい320までの場合である。本実施の形態のように、走査線を形成する材料に、少なくともメタルまたはメタルシリサイドを用いることにより、ビット数が増加しても正常なスイッチングを行うことが可能である。

20

【0043】

走査線の配線抵抗は、同一材料の場合でも線高・線幅等により変化するが、低抵抗化のために線高や線幅を極端に大きくすることは、断線や液晶の配向不良の原因となり、また開口率の低下を生じるため、避けた方が良く、そうした点でも本特許は有効である。

【0044】

図4は、第1の実施の形態の変形例を示す一画素分の回路構成図である。

30

図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成されたN番目（Nは2以上の整数）の走査線403に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ401と、入力電極が前記MOS型トランジスタ401のソース電極及びドレイン電極の他方に接続され、正負電源線の一方が、少なくともメタルまたはメタルシリサイドを含む材料により形成された（N-1）番目の走査線404に接続され、電源線の他方はアンプ電源電極Vamp110に接続され、出力電極が画素電極108に接続されたアナログアンプ回路402と、このアナログアンプ回路402の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

40

図4の変形例においても、図1の場合と同様の効果が得られる。

【0045】

図5は、第1の実施の形態の他の変形例を示す一画素分の回路構成図である。図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ（ Q_n ）501と、入力電極がトランジスタ（ Q_n ）501のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続され、電源線の他方が電圧保持容量電極105に接続されたアナログアンプ回路502と、このアナログアンプ回路502の入力電極と前記電圧保持容量電極105との間に形成された電

50

圧保持容量 106 と、画素電極 108 と対向電極 107 との間でスイッチングさせる液晶 109 とで構成されている。

【0046】

この変形例においては、アナログアンプ回路 502 の正負いずれの電源線についても特別な配線が必要ないため、画素の回路構造を更に簡素にでき、開口率を高くすることができる。

【0047】

図 5 の変形例においては、図 1 の効果に加えて、画素の回路構成を一層簡略でき、開口率を向上できるという効果も有する。

【0048】

なお、アナログアンプ回路 502 の、走査線に接続されている電源線が、図 4 の変形例のように隣接する走査線に接続される形であっても良い。

【0049】

上記図 1、図 4、図 5 の各変形例では、MOS 型トランジスタ (Qn) 103、401、501 及びアナログアンプ回路 104、402、502 は、poly-SiTFT で形成すると述べたが、a-SiTFT、カドミウム・セレン薄膜トランジスタ等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。

【0050】

また、上記図 1、図 4、図 5 の各変形例では、画素の選択スイッチとして、n 型 MOS トランジスタを採用しているが、p 型 MOS トランジスタを採用しても良い。その場合、ゲート走査信号として、選択時にローレベル、非選択時にハイレベルとなるパルス信号を入力する。

【0051】

また、上記図 1、図 4、図 5 の各変形例では、アナログアンプ回路 104 のゲインは 1 に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

【0052】

図 6 は、第 1 の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図 1 のアナログアンプ回路 104 をトランジスタで構成する場合の具体的な構成例である。

図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線 101 に接続され、ソース電極及びドレイン電極の一方が信号線 102 に接続された n 型 MOS トランジスタ (Qn) 601 と、ゲート電極がその n 型トランジスタ (Qn) 601 のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線 101 に接続され、ソース電極及びドレイン電極の他方が画素電極 108 に接続された p 型 MOS トランジスタ (Qp) 602 と、この p 型 MOS トランジスタ (Qp) 602 のゲート電極と電圧保持容量電極 105 との間に形成された電圧保持容量 106 と、画素電極 108 と電圧保持容量電極 105 の間に接続された抵抗 (RL) 603 と、画素電極 108 と対向電極 107 との間でスイッチングさせる液晶 109 とで構成されている。

【0053】

抵抗 (RL) 603 は、半導体薄膜あるいは不純物ドーピングされた半導体薄膜で形成されている。

【0054】

以下、図 6 に示した画素回路構成を用いた液晶表示装置の駆動方法について説明する。図 7 は、図 6 に示した画素構成により液晶を駆動した場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、p 型 MOS トランジスタ (Qp) 602 のゲート電圧 V_a 、画素電圧 V_{pix} のタイミングチャートを示したものである。ゲートドライバの負電源電圧を V_{g_L} 、ゲート走査電圧のローレベル電圧を V_{g_L} とする。

【0055】

図に示すように、ゲート走査電圧 V_g が水平走査の期間、ハイレベル V_{g_H} となることに

10

20

30

40

50

よって、 n 型MOSトランジスタ(Q_n)601はオン状態となり、信号線に入力されているデータ信号 V_d が n 型MOSトランジスタ(Q_n)601を経由して p 型MOSトランジスタ(Q_p)602のゲート電極に転送される。

【0056】

一方、その水平走査期間において、画素電極108は、 p 型MOSトランジスタ(Q_p)602を経由してゲート走査電圧 V_{gH} が転送されることによりリセット状態となる。ここで、下記に述べるように、 p 型MOSトランジスタ(Q_p)602は、水平走査期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、水平走査期間において画素電圧 V_{pix} が V_{gH} となることで、 p 型MOSトランジスタ(Q_p)602のリセットが同時に行われる。

10

【0057】

水平走査期間が終了し、ゲート走査電圧 V_g がローレベルとなると、 n 型MOSトランジスタ(Q_n)601はオフ状態となり、 p 型MOSトランジスタ(Q_p)602のゲート電極に転送されたデータ信号は電圧保持容量106により保持される。この際、 p 型MOSトランジスタ(Q_p)602のゲート入力電圧 V_a は、 n 型MOSトランジスタ(Q_n)601がオフ状態になる時刻において、 n 型MOSトランジスタ(Q_n)601のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図7では、 V_{f1} 、 V_{f2} 、 V_{f3} で示されている。

【0058】

p 型MOSトランジスタ(Q_p)602のゲート入力電圧 V_a は、次のフィールド期間において、再びゲート走査電圧 V_g がハイレベルとなり、 n 型MOSトランジスタ(Q_n)601が選択されるまで保持される。

20

【0059】

一方、 p 型MOSトランジスタ(Q_p)602は、水平走査期間にリセットが完了しており、画素電極108をソース電極としたソースフォロワ型アナログアンプとして動作する。この際、電圧保持容量電極105には、 p 型MOSトランジスタ(Q_p)602をアナログアンプとして動作させるために、少なくとも $(V_{dmax} - V_{tp})$ よりも高い電圧を供給しておく。ここで、 V_{dmax} はデータ信号 V_d の最大値、 V_{tp} は p 型MOSトランジスタ(Q_p)602のしきい値電圧である。

【0060】

p 型MOSトランジスタ(Q_p)602は、次のフィールドでゲート走査電圧が V_{gH} となってリセットが行われるまでの間、その保持されたゲート入力電圧 V_a に応じたアナログ階調電圧を出力することができる。その出力電圧は、 p 型MOSトランジスタのトランス・コンダクタンス g_{mp} と抵抗(R_L)603との値によって変わるが、およそ次の式で表される。

30

$$V_{pix} = V_a - V_{tp} \cdots (6)$$

【0061】

ここで、 V_{tp} は通常負の値であるので、図7に示すように、 V_{pix} は V_a よりも p 型MOSトランジスタ(Q_p)602のしきい値電圧の絶対値だけ高い電圧となる。この保持期間中、走査線101には、アナログアンプ回路の正電源線から負電源線を経て常に電流が流入し、ゲート走査電圧 V_g のローレベル出力 V_{gL} をシフトさせる。これは図7では、 ΔV_{gL1} 、 ΔV_{gL2} 、 ΔV_{gL3} で示されている。この結果、 V_{gL} は、 ΔV_{gL} を正として、

40

$$V_{gL} = V_{gL0} + \Delta V_{gL} (1 \text{ または } 2 \text{ または } 3) \cdots (5)$$

となる。

【0062】

ΔV_{gL} は同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧 V_d の値により変化する。第1の実施の形態においては、材料に抵抗の小さなメタル又はメタルシリサイドを用いて走査線の配線抵抗を低くしているため、 ΔV_{gL} の絶対値が小さく、 V_{gL} の最大値が小さくなるので、正常なスイッチングの必要条件である、

50

$$V_{gL} - V_{dL} < V_t \cdots (3)$$

が成立している。このようにして、画素電圧 V_{pix} の変動なく、液晶を駆動することが可能となる。

図6の変形例においても、図1の場合と同様の効果が得られる。

【0063】

図8は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した例である。

図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ(Q_n)801と、ゲート電極がそのn型トランジスタ(Q_n)801のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続された第1のp型MOSトランジスタ(Q_{p1})802と、この第1のp型MOSトランジスタ(Q_{p1})802のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がバイアス電源(V_B)804に接続され、ソース電極が前記電圧保持容量電極105に接続され、ドレイン電極が画素電極108に接続された第2のp型MOSトランジスタ(Q_{p2})803と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0064】

第2のp型MOSトランジスタ(Q_{p2})803は、第1のp型MOSトランジスタ(Q_{p1})802をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

この図8の変形例の液晶表示装置の駆動方法は、図6の液晶表示装置の駆動方法と同様である。

【0065】

図8の変形例においても、図6の場合と同様の効果が期待できる。加えて、図8の変形例は、第2のp型MOSトランジスタ(Q_{p2})803のゲート電極をバイアス電源(V_B)804、ソース電極を電圧保持容量電極105に接続しているため、両者の電圧を調節することで、第2のp型MOSトランジスタ803の動作領域を制御することが可能であり、図6の場合よりもアナログアンプ回路の制御性が高いという効果を有する。

【0066】

図9は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した別の例である。

図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ(Q_n)901と、ゲート電極がそのn型トランジスタ(Q_n)901のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続された第1のp型MOSトランジスタ(Q_{p1})902と、この第1のp型MOSトランジスタ(Q_{p1})902のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極が電圧保持容量電極105に接続され、ソース電極がソース電源(V_S)904に接続され、ドレイン電極が画素電極108に接続された第2のp型MOSトランジスタ(Q_{p2})903と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0067】

第2のp型MOSトランジスタ(Q_{p2})903は、第1のp型MOSトランジスタ(Q_{p1})902をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

10

20

30

40

50

この変形例の液晶表示装置の駆動方法は、図6の液晶表示装置の駆動方法と同様である。

【0068】

図9の変形例においても、図6の場合と同様の効果が期待できる。加えて、図9の変形例は、第2のp型MOSトランジスタ(Qp2)903のゲート電極を電圧保持容量電極105、ソース電極をソース電源(VS)904に接続しているため、両者の電圧を調節することで、第2のp型MOSトランジスタ(Qp2)903の動作領域を制御することが可能であり、図6の場合よりもアナログアンプ回路の制御性が高いという効果を有する。

【0069】

図10は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した別の例である。

図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたn型MOS型トランジスタ(Qn)1001と、ゲート電極がそのn型トランジスタ(Qn)1001のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続された第1のp型MOSトランジスタ(Qp1)1002と、この第1のp型MOSトランジスタ(Qp1)1002のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極及びソース電極が電圧保持容量電極105に接続され、ドレイン電極が画素電極108に接続された第2のp型MOSトランジスタ(Qp2)1003と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0070】

第2のp型MOSトランジスタ(Qp2)1003のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のp型MOSトランジスタ(Qp2)1003のゲート・ソース間電圧 V_{gs} は0Vとなる。このバイアス条件下でアナログアンプを適正に動作させるために、第2のp型MOSトランジスタ(Qp2)1003のしきい値電圧はチャネル・ドーズによりシフト制御されている。第2のp型MOSトランジスタ(Qp2)1003は、第1のp型MOSトランジスタ(Qp1)1002をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

この変形例の液晶表示装置の駆動方法は、図6の液晶表示装置の駆動方法と同様である。

【0071】

図10の変形例においても、図6の場合と同様の効果が期待できる。加えて、図10の変形例では、図8、図9で必要であったバイアス電源(VB)804、ソース電源(VS)904が不要であり、回路の簡素化、高開口率化という効果も有する。ただし、第2のp型MOSトランジスタ(Qp2)1003のしきい値制御を行うために、チャネルドーズ工程が必要となる。

【0072】

図11は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104を2つのトランジスタで実施した別の例である。

図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続された第1のn型MOS型トランジスタ(Qn1)1101と、ゲート電極がその第1のn型トランジスタ(Qn1)1101のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続されたp型MOSトランジスタ(Qp)1102と、このp型MOSトランジスタ(Qp)1102のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、ゲート電極がp型MOSトランジスタ(Qp)1102のゲート電極に接続され、ソース電極がドレイン電源(VD)1104に接続され、ソース電極が画素電極108に接続された第2のn型MOSトランジスタ(Qn2)1103と、画素電極108と対向電極107との間

10

20

30

40

50

でスイッチングさせる液晶 109 とで構成されている。

【0073】

第2のn型MOSトランジスタ(Qn2)1103は、p型MOSトランジスタ(Qp)1201をアナログアンプとして動作させる場合の、バイアス電流源として動作している。

この変形例においても、図6の場合と同様の効果が期待できる。

【0074】

図12は、第1の実施の形態のさらに他の変形例を示す一画素分の回路構成図であり、図1のアナログアンプ回路104をトランジスタで構成した別の例である。

図に示すように、本例の液晶表示装置は、ゲート電極が、少なくともメタルまたはメタルシリサイドを含む材料により形成された走査線101に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたp型MOS型トランジスタ(Qp)1201と、ゲート電極がそのp型トランジスタ(Qp)1201のソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の一方が前記走査線101に接続され、ソース電極及びドレイン電極の他方が画素電極108に接続されたn型MOSトランジスタ(Qn)1202と、このn型MOSトランジスタ(Qn)1202のゲート電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と電圧保持容量電極105の間に接続された抵抗(RL)1203と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0075】

抵抗(RL)1203は、半導体薄膜あるいは不純物ドーピングされた半導体薄膜で形成されている。

【0076】

以下、図12の画素回路構成を用いた液晶表示装置の駆動方法について説明する。

図13は、図12の画素回路構成により液晶を駆動した場合の、ゲート走査電圧Vg、データ信号電圧Vd、n型MOSトランジスタ(Qn)1202のゲート電圧Va、画素電圧Vpixのタイミングチャートを示したものである。

【0077】

図に示すように、ゲート走査電圧Vgが水平走査の期間、ローレベルVgLとなることによって、p型MOSトランジスタ(Qp)1201はオン状態となり、信号線に入力されているデータ信号Vdがp型MOSトランジスタ(Qp)1201を経由してn型MOSトランジスタ(Qn)1202のゲート電極に転送される。

【0078】

一方、その水平走査期間において、画素電極108は、n型MOSトランジスタ(Qn)1202を経由してゲート走査電圧VgLが転送されることによりリセット状態となる。ここで、下記に述べるように、n型MOSトランジスタ(Qn)1202は、水平走査期間が終了した後、ソースフォロワ型のアナログアンプとして動作するが、水平走査期間において画素電圧VpixがVgLとなることで、n型MOSトランジスタ(Qn)1202のリセットが同時に行われる。

【0079】

水平走査期間が終了し、ゲート走査電圧Vgがハイレベルになると、p型MOSトランジスタ(Qp)1201はオフ状態となり、n型MOSトランジスタ(Qn)1202のゲート電極に転送されたデータ信号は電圧保持容量106により保持される。この際、n型MOSトランジスタ(Qn)1202のゲート入力電圧Vaは、p型MOSトランジスタ(Qp)1201がオフ状態になる時刻において、p型MOSトランジスタ(Qp)1201のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図13では、Vf1、Vf2、Vf3で示されている。

【0080】

n型MOSトランジスタ(Qn)1202のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがローレベルとなり、p型MOSトランジスタ(Qp)

10

20

30

40

50

）１２０１が選択されるまで保持される。一方、 n 型ＭＯＳトランジスタ（ Q_n ）１２０２は、水平走査期間にリセットが完了しており、画素電極１０８をソース電極としたソースフォロワ型アナログアンプとして動作する。

【００８１】

この際、電圧保持容量電極１０５には、 n 型ＭＯＳトランジスタ（ Q_n ）１２０２をアナログアンプとして動作させるために、少なくとも（ $V_{dmin} - V_{tn}$ ）よりも低い電圧を供給しておく。ここで、 V_{dmin} はデータ信号 V_d の最小値、 V_{tn} は n 型ＭＯＳトランジスタ（ Q_n ）１２０２のしきい値電圧である。

【００８２】

n 型ＭＯＳトランジスタ（ Q_n ）１２０２は、次のフィールドでゲート走査電圧が V_{gL} 10
となつてリセットが行われるまでの間、その保持されたゲート入力電圧 V_a に応じたアナログ階調電圧を出力することができる。その出力電圧 V_{pix} は、 n 型ＭＯＳトランジスタのトランス・コンダクタンス g_{mn} と抵抗（ RL ）１２０３との値によって変わるが、およそ次の式で表される。

$$V_{pix} = V_a - V_{tn} \cdots (7)$$

【００８３】

ここで、 V_{tn} は通常正の値であるので、図１３に示すように、 V_{pix} は V_a よりも n 20
型ＭＯＳトランジスタ（ Q_n ）１２０２のしきい値電圧の絶対値だけ低い電圧となる。この保持期間中、走査線１０１からは、アナログアンプ回路の負電源線から正電源線を経て常に電流が流出し、ゲート走査電圧 V_g のハイレベル出力 V_{gH} をシフトさせる。これは図７では、 ΔV_{gH1} 、 ΔV_{gH2} 、 ΔV_{gH3} で示されている。

【００８４】

この結果、 V_{gH} は、 ΔV_{gH} を正として、

$$V_{gH} = V_{gH0} - \Delta V_{gH} (1 \text{ または } 2 \text{ または } 3) \cdots (8)$$

となる。 ΔV_{gH} は同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧 V_d の値により変化する。

【００８５】

第１の実施の形態においては、材料に抵抗の小さなメタル又はメタルシリサイドを用いて走査線の配線抵抗を低くしているため、 ΔV_{gH} の絶対値が小さく、 V_{gH} の最小値が大きくなるので、正常なスイッチングの必要条件である、 30

$$V_t < V_{gH} - V_{dH} \cdots (4)$$

が成立している。このようにして、画素電圧 V_{pix} の変動なく、液晶を駆動する事が可能となる。なお、上記 V_{dH} は、データ信号のハイレベルである。

図１２の変形例においても、図６場合と同様の効果が得られる。

【００８６】

なお、上記図６～図１１の各変形例では、画素の選択スイッチとして、 n 型ＭＯＳトランジスタを採用しているが、 p 型ＭＯＳトランジスタを採用しても良い。その場合、ゲート走査信号として、選択時にローレベル、非選択時にハイレベルとなるパルス信号を入力し、アナログアンプ回路を構成する１つまたは２つのトランジスタは、各変形例中の p 型は n 型に、 n 型は p 型に変更する。 40

【００８７】

図１２は、このようにして図６におけるスイッチング用 n 型ＭＯＳトランジスタを p 型ＭＯＳトランジスタに、アンプ用 p 型ＭＯＳトランジスタを n 型ＭＯＳトランジスタに置き換えた場合の変形例である。図１２の変形例では図６の変形例と同様の効果が得られており、他の図８～図１１の変形例についても、スイッチング用トランジスタを p 型に変更することが可能である。

【００８８】

なお、上記図６～図１２の各変形例では、 n 型ＭＯＳトランジスタ（ Q_n 、 Q_{n1} 、 Q_{n2} ）及び p 型ＭＯＳトランジスタ（ Q_p 、 Q_{p1} 、 Q_{p2} ）は、 $poly-Si TFT$ で形成すると述べたが、 $a-Si TFT$ 、カドミウム・セレン薄膜トランジスタ等の他の薄 50

膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。また、アナログアンプ回路 104 のゲインは 1 に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

【0089】

以上全ての變形例において、走査線 (101、403、404) は、少なくともメタルまたはメタルシリサイドを含む材料で形成された低抵抗の配線で形成されており、非選択時のゲート走査電圧の電圧シフト量を低減することが可能である。

【0090】

走査線の抵抗は、正常なスイッチング動作が行われる程度に低い値である必要がある。即ち、スイッチングトランジスタが n 型の場合は、ゲート走査電圧のローレベルが少なくともデータ信号のローレベル電圧と閾値の和以下となる抵抗値、スイッチングトランジスタが p 型の場合は、ゲート走査電圧のハイレベルがデータ信号のハイレベル電圧と閾値の和以上となる抵抗値である必要がある。

図 3 (a) の例で言えば、走査線のシート抵抗が少なくとも 3Ω 以下の場合であり、配線高さを $1 \mu m$ 程度と考えると、これは、 $3 \times 10^{-4} [\Omega \cdot cm]$ 以下の抵抗率に相当する。走査線を形成するメタルまたはメタルシリサイドは、(配線高さを $1 \mu m$ とした場合) 抵抗率が少なくともこの値以下のものであれば良い。ただしこれは一例であって、条件により、必要とされる抵抗率の最大値は異なる。例えば、図 3 (b) のように、画素数の増加によってゲートローレベル電圧のシフト量は増加するので、こうした場合には、メタル又はメタルシリサイドの抵抗値を、画素数の自乗にほぼ反比例した大きさとなるようにすると良い。

【0091】

また、走査線を形成する材料は、高融点金属または高融点の金属珪化物であることがさらに望ましい。これらは、より具体的には、Al 及び Al 合金、Mo 及び Mo 合金、W 及び W 合金、 $MoSi_2$ 、 WSi_2 、 $TiSi_2$ 、 $TaSi_2$ 等である。Al 合金は、例えば、Pd、Ti、Ta、Nb、Co、Cr、Mo、V、Ni、Cu、Fe、Mn 等の遷移金属元素のうち、少なくとも 1 種類の遷移金属元素を含有したものである。これらの材料は、単体で使用してもよく、また二つ以上を組み合わせ多層にして使用しても良い。また、不純物ドーピングされた半導体薄膜のような高抵抗材料であっても、ここで挙げた材料と組み合わせ多層にするなどして使用を可能にすることもできる。

【0092】

図 14 は、本発明による液晶表示装置の第 2 の実施の形態の構成を概略的に示す図である。

図において、ゲートドライバ 1403 により順次駆動される複数の走査線 1401 と、データドライバ 1404 により順次データ信号を転送される複数の信号線 102 との各交点付近に、MOS 型トランジスタ回路 1402 が配設され、この MOS 型トランジスタ回路 1402 により、画素電極 108 が駆動されるアクティブマトリクス型液晶表示装置であって、前記ゲートドライバ 1403 から走査線 101 に入力されるゲート走査電圧の最小値 V_{GL0} は負の値である。

【0093】

図 15 は、図 14 に示した液晶表示装置の一画素回路構成の一例を示す図である。

図 15 に示すように、第 2 の実施の形態の液晶表示装置は、ゲート電極が、走査線 1401 に接続され、ソース電極及びドレイン電極の一方が信号線 102 に接続された MOS 型トランジスタ (Q_n) 1501 と、入力電極がトランジスタ (Q_n) 1501 のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極 108 に接続され、正負電源線のどちらか一方が前記走査線 101 に接続され、電源線の他方はアンプ電源電極 V_{amp} 110 に接続されたアナログアンプ回路 1502 と、前記アナログアンプ回路 1502 の入力電極と電圧保持容量電極 105 との間に形成された電圧保持容量 106 と、画素電極 108 と対向電極 107 との間でスイッチングさせる液晶 109 とで構成されている。

【0094】

ここで、MOS型トランジスタ(Qn)1501及びアナログアンプ回路1502は、p-Si TFTで構成されている。また、アナログアンプ回路1502のゲインは1倍に設定されている。

【0095】

以下、この画素構成を用いた液晶表示装置の駆動方法を、図16を用いて説明する。図16は、図15に示した画素構成により液晶を駆動した場合の、ゲート走査電圧Vg、データ信号電圧Vd、アンプ入力電圧Va、画素電圧Vpixのタイミングチャートを示したものである。ゲートドライバの負電源電圧をVgL0、画素部におけるゲート走査電圧のローレベル電圧をVgL、トランジスタ(Qn)1501のしきい値をVtとする。

【0096】

図に示すように、ゲート走査電圧Vgが水平走査の期間にハイレベルVgHとなることによって、トランジスタ(Qn)1501はオン状態となり、信号線102に入力されているデータ信号Vdがトランジスタ(Qn)1501を経由してアナログアンプ回路1502の入力電極に転送される。水平走査期間が終了し、ゲートドライバから走査線1501に対してローレベル電圧VgL0が出力されると、トランジスタ(Qn)1501はオフ状態となり、アナログアンプ回路1502の入力電極に転送されたデータ信号は電圧保持容量106により保持される。

【0097】

ここでVgL0は、

$$V_{gL0} < 0 \cdots (9)$$

となる電圧である。この際、アンプ入力電圧Vaは、トランジスタ(Qn)1501がオフ状態になる時刻において、トランジスタ(Qn)1501のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図16では、Vf1、Vf2、Vf3で示されている。

【0098】

アンプ入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがハイレベルとなり、トランジスタ(Qn)1501が選択されるまで保持される。アナログアンプ回路1502は、次のフィールドでアンプ入力電圧が変化するまでの間、その保持されたアンプ入力電圧Vaに応じたアナログ階調電圧を出力することができる。この保持期間中、走査線1401には、アナログアンプ回路の正電源線から負電源線を経て常に電流が流入し、ゲート走査電圧Vgのローレベル出力VgLをΔVgLだけ押し上げている。

【0099】

この結果、VgLは、ΔVgLを正として、

$$V_{gL} = V_{gL0} + \Delta V_{gL} \cdots (10)$$

となる。ΔVgLは同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧Vdの値により変化する。第2の実施の形態においては、VgL0が負の値であり、VgLの最大値が小さいことから、

$$V_{gL} - V_{dL} < V_t \cdots (3)$$

が成立している。

【0100】

次に、第2の実施の形態の効果について説明する。

図17は、第2の実施の形態の効果を示すゲートドライバ出力の最小値と走査線ローレベル電圧の相関図である。ゲート走査電圧の入力時ハイレベルを16V、データ信号電圧のハイレベルを11V、ローレベル1V、一走査線当りの画素数を640、配線のシート抵抗を5Ωとして、ゲートドライバ出力の最小値VgL0を変化させた場合の、640番目の画素における走査線ローレベル電圧の値VgL(640)をシミュレーションにより求めた。計算に使用したスイッチングMOS型トランジスタのしきい値Vtnは1Vである。

【0101】

ゲート走査電圧のローレベルが、データ信号ローレベルVdminとスイッチングMOS

10

20

30

40

50

トランジスタのしきい値 V_t の和（この場合は $2V$ ）を超えていれば、スイッチングトランジスタは正常なスイッチングを行えない。計算を行った画素回路構成においては、ゲートドライバの最小出力電圧 V_{GL0} が、通常用いられる $0V$ の場合、 $V_{GL}(640)$ は $3.2V$ であり、スイッチングトランジスタは正常に動作しない。

【0102】

第2の実施の形態を用いて、ゲートドライバの最小出力電圧 V_{GL0} を $-1.5V$ 以下に設定すれば、シート抵抗 5Ω の条件下で、

$$V_{GL}(640) < 2V \cdots (11)$$

となり、スイッチング用MOS型トランジスタの正常な動作を実現できる（マージンを考慮すれば V_{GL0} は $-1.5V$ よりも低い値が望ましい）。これは、図3(a)の例において、シート抵抗が 3Ω 以下で実現できることであり、シート抵抗の高い材料を用いた場合でも、画素スイッチングを正常に動作させることが可能となっている。

【0103】

このように、第2の実施の形態は、走査線の材料にメタルまたはメタルシリサイドを用いることなく、イオンドーピングを行ったpoly-Si膜などの高抵抗の配線材料を使用することが可能になるという効果を有する。ただし、アナログアンプ回路1502に使用するトランジスタの耐圧などの観点から、 V_{GL0} は出来るだけ $0V$ に近い方が好ましく、せいぜいマイナス数V程度であることが望ましい。そのため、配線には低抵抗の材料を用いることが望ましく、第1の実施の形態と組み合わせて用いることが有効である。

【0104】

なお、第2の実施の形態では、MOS型トランジスタ(Qn)1501及びアナログアンプ回路1502は、poly-SiTFTで形成すると述べたが、a-SiTFT、カドミウム・セレン薄膜トランジスタ等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。また、アナログアンプ回路1502のゲインは1に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

【0105】

第2の実施の形態においては、走査線を形成する材料にメタルまたはメタルシリサイドを含まなくとも良く、ゲートドライバの最小出力電圧 V_{GL0} の値をマイナスに規定すれば、走査線の材料を規制せずに、第1の実施の形態の各変形例の構成（図1、図4～図6、図8～図11）を全て用いることが可能である。

【0106】

図18は、本発明による液晶表示装置の第3の実施の形態の画素回路構成を示す図である。

図に示すように、本実施の形態の液晶表示装置は、ゲート電極が、走査線1401に接続され、ソース電極及びドレイン電極の一方が信号線102に接続されたMOS型トランジスタ(Qp)1801と、入力電極がトランジスタ(Qp)1801のソース電極及びドレイン電極の他方に接続され、出力電極が画素電極108に接続され、正負電源線のどちらか一方が前記走査線101に接続され、電源線の他方はアンプ電源電極Vamp110に接続されたアナログアンプ回路1802と、このアナログアンプ回路1802の入力電極と電圧保持容量電極105との間に形成された電圧保持容量106と、画素電極108と対向電極107との間でスイッチングさせる液晶109とで構成されている。

【0107】

ここで、MOS型トランジスタ(Qp)1801及びアナログアンプ回路1802は、p-SiTFTで構成されている。また、アナログアンプ回路1802のゲインは1倍に設定されている。

【0108】

以下、この画素回路構成を用いた液晶表示装置の駆動方法を、図19を用いて説明する。図19は、図18の画素回路構成により液晶を駆動した場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、アンプ入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャートを示し

10

20

30

40

50

たものである。ゲートドライバの正電源電圧を V_{gH0} 、画素部におけるゲート走査電圧のハイレベル電圧を V_{gH} 、トランジスタ(Q_p) 1801のしきい値を V_t とする。

【0109】

図に示すように、ゲート走査電圧 V_g が水平走査の期間、ローレベル V_{gL} となることによって、トランジスタ(Q_p) 1801はオン状態となり、信号線に入力されているデータ信号 V_d がトランジスタ(Q_p) 1801を経由してアナログアンプ回路1802の入力電極に転送される。水平走査期間が終了し、ゲートドライバから走査線1401に対してハイレベル電圧 V_{gH0} が出力されると、トランジスタ(Q_p) 1801はオフ状態となり、アナログアンプ回路1802の入力電極に転送されたデータ信号は電圧保持容量106により保持される。

10

【0110】

この際、アンプ入力電圧 V_a は、トランジスタ(Q_p) 1801がオフ状態になる時刻において、トランジスタ(Q_p) 1801のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。これは図16では、 V_{f1} 、 V_{f2} 、 V_{f3} で示されている。

【0111】

アンプ入力電圧 V_a は、次のフィールド期間において、再びゲート走査電圧 V_g がローレベルとなり、トランジスタ(Q_p) 1801が選択されるまで保持される。アナログアンプ回路1802は、次のフィールドでアンプ入力電圧が変化するまでの間、その保持されたアンプ入力電圧 V_a に応じたアナログ階調電圧を出力することができる。この保持期間中、走査線1401からは、アナログアンプ回路の正電源線から負電源線に対して常に電流が流出し、ゲート走査電圧 V_g のハイレベル出力 V_{gH} を降下させる。これは図19では、 ΔV_{gH1} 、 ΔV_{gH2} 、 ΔV_{gH3} で示されている。

20

【0112】

この結果 V_{gH} は、 ΔV_{gH} を正として、

$$V_{gH} = V_{gH0} - \Delta V_{gH} (1 \text{ または } 2 \text{ または } 3) \cdots (12)$$

となる。 ΔV_{gH} は同一走査線上においても画素毎に異なり、また同一画素においてはデータ信号電圧 V_d により変化する。

【0113】

第3の実施の形態においては、全ての画素において、少なくとも

30

$$V_{gH} > V_{dH} + V_t \cdots (13)$$

が成立するような V_{gH0} を供給することが可能であり、これによって正常なスイッチングを行うことが可能になる。ここで、 V_{dH} はデータ信号のハイレベルである。

第3の実施の形態を用いれば、スイッチング用MOSトランジスタがp型の場合について、第2の実施の形態と同様の効果が得られる。

【0114】

なお、第3の実施の形態では、MOS型トランジスタ(Q_p) 1801及びアナログアンプ回路1802は、poly-Si TFTで形成すると述べたが、a-Si TFT、カドミウム・セレン薄膜トランジスタ等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。また、アナログアンプ回路1802のゲインは1に設定されているが、画素電圧を入力電圧と異ならせるために、電圧増幅度を変化させても良い。

40

【0115】

また、第3の実施の形態においては、走査線を形成する材料にメタルまたはメタルシリサイドを含まなくとも良く、ゲートドライバの正電源電圧 V_{gH0} を十分に高い値に規定すれば、第1の実施の形態の構成(図12のように、図1~図11でスイッチング用トランジスタをp型に変更した構成)を用いることが可能である。

【0116】

アナログアンプ回路1802に使用するトランジスタの耐圧などの観点から、 V_{gH0} は出来るだけ低い方が好ましい。そのため、配線には低抵抗の材料を用いることが望ましく

50

、第 1 の実施の形態と組み合わせて用いることが有効である。

【 0 1 1 7 】

【 発明の効果 】

以上のように本発明によれば、アナログアンプ回路の出力端子を液晶素子に接続し、入力端子をスイッチングトランジスタのソース・ドレイン間を介して信号線に接続するとともに、このアナログアンプ回路の電源ラインが接続されたゲート走査線を、少なくともメタルまたはメタルシリサイドを含む材料により形成することで、ゲート走査線の非選択時電圧の変動を抑制して正常なスイッチング動作を達成し、電源線を省略した簡素な構成において、画質の劣化を防ぐと共に、比抵抗の小さい高分子液晶材料や、分極を有する強誘電・反強誘電液晶材料などを使用することができる。

10

【 0 1 1 8 】

また、スイッチングトランジスタが n 型の場合は、アナログアンプ回路が接続されたゲート走査線ドライバ電源のハイレベル電圧を十分に高くすることで、p 型の場合は、アナログアンプ回路が接続されたゲート走査線ドライバ電源のローレベル電圧をマイナスにシフトすることで、ゲート走査線の非選択時電圧のシフト量を低減し、高抵抗の配線材料においても正常なスイッチング動作を達成し、電源線を省略した簡素な構成において、画質の劣化を防ぐと共に、比抵抗の小さい高分子液晶材料や、分極を有する強誘電・反強誘電液晶材料などを使用することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明による液晶表示装置の第 1 の実施の形態を示す構成図である。

20

【 図 2 】 第 1 の実施の形態の液晶表示装置の駆動方法を示すタイミングチャートである。

【 図 3 】 第 1 の実施の形態の液晶表示装置の効果を示す特性図である。

【 図 4 】 第 1 の実施の形態の液晶表示装置の変形例を示す構成図である。

【 図 5 】 第 1 の実施の形態の液晶表示装置の他の変形例を示す構成図である。

【 図 6 】 第 1 の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【 図 7 】 図 6 の液晶表示装置の駆動方法を示すタイミングチャートである。

【 図 8 】 第 1 の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【 図 9 】 第 1 の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【 図 1 0 】 第 1 の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

30

【 図 1 1 】 第 1 の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【 図 1 2 】 第 1 の実施の形態の液晶表示装置のさらに他の変形例を示す構成図である。

【 図 1 3 】 図 1 2 の液晶表示装置の駆動方法を示すタイミングチャートである。

【 図 1 4 】 本発明による液晶表示装置の第 2 の実施の形態を示す構成図である。

【 図 1 5 】 第 2 の実施の形態の液晶表示装置の 1 画素分の回路構成を示す構成図である。

【 図 1 6 】 図 1 5 の液晶表示装置の駆動方法を示すタイミングチャートである。

【 図 1 7 】 第 2 の液晶表示装置の効果を示す特性図である。

【 図 1 8 】 本発明による液晶表示装置の第 3 の実施の形態の 1 画素分の回路構成を示す構成図である。

40

【 図 1 9 】 第 3 の実施の形態の液晶表示装置の駆動方法を示すタイミングチャートである。

【 図 2 0 】 本発明による液晶表示装置を原理的に説明するための電流源を用いた等価回路を示す構成図である。

【 図 2 1 】 従来の液晶表示装置の構成図である。

【 図 2 2 】 従来の液晶表示装置の駆動方法を示すタイミングチャートである。

【 図 2 3 】 従来のアナログアンプを付加した液晶表示装置の構成図である。

【 符号の説明 】

1 0 1、4 0 3、4 0 4 メタルまたはメタルシリサイドにより形成された走査線

1 0 2 信号線

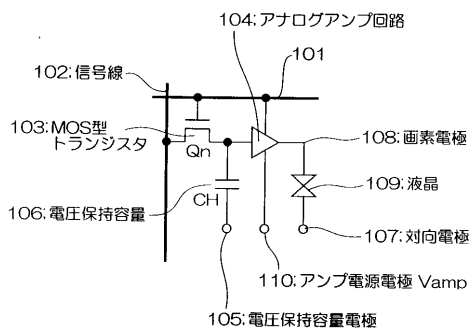
50

- 103、401、501、2101、2301 MOS型トランジスタ
 104、402、502、1502、1802、2302 アナログアンプ回路
 105 電圧保持容量電極
 106 電圧保持容量
 107 対向電極
 108 画素電極
 109 液晶
 110 アンプ電源電極 (Vamp)
 601、801、901、1001、1101、1103、1202、1501 n型MOSトランジスタ
 602、802、803、902、1002、1003、1102、1201、1801 p型MOSトランジスタ
 603、1203 抵抗 (RL)
 804 バイアス電源 (VB)
 904 ソース電源 (VS)
 1104 ドレイン電源 (VD)
 1401 走査線
 1402 MOS型トランジスタ回路
 1403 ゲートドライバ
 1404 データドライバ
 2001 入力電極

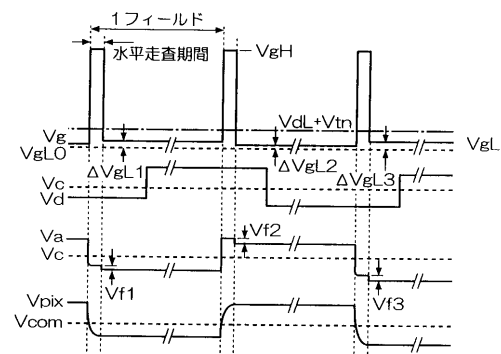
10

20

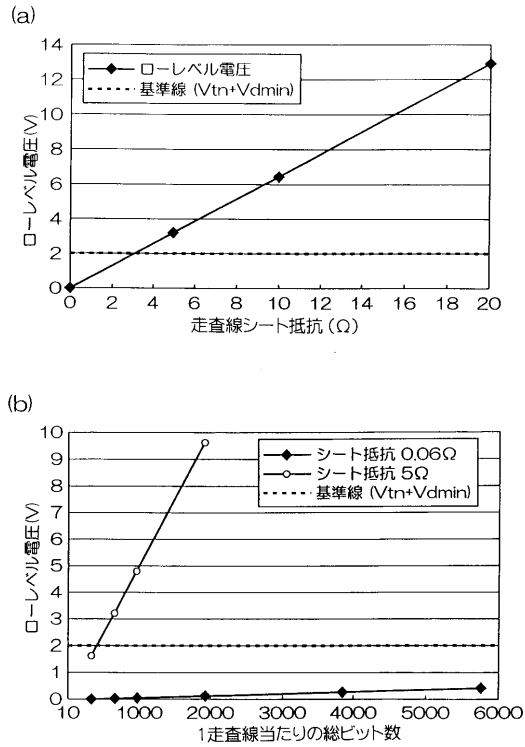
【図1】



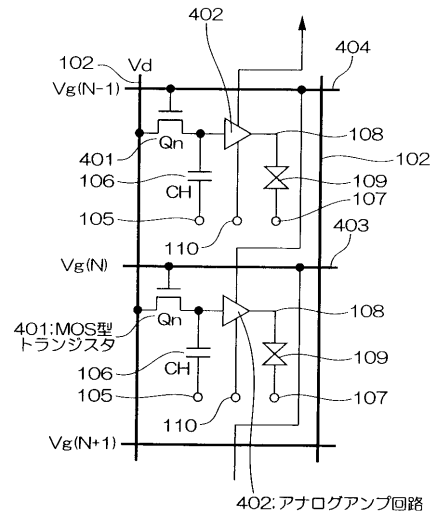
【図2】



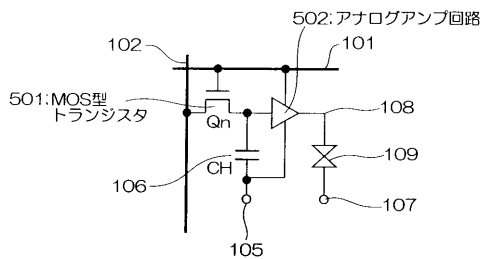
【図 3】



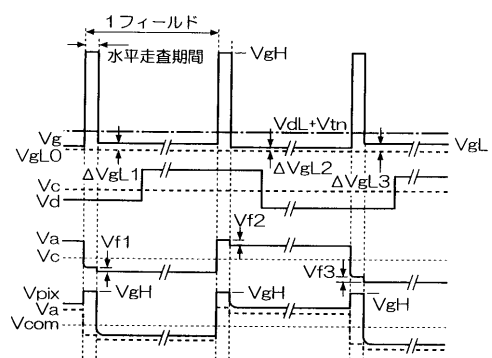
【図 4】



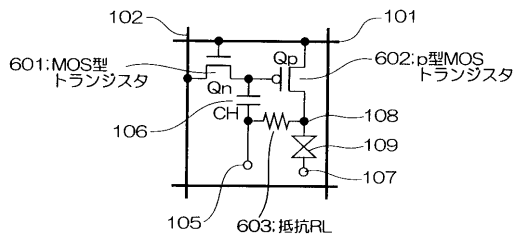
【図 5】



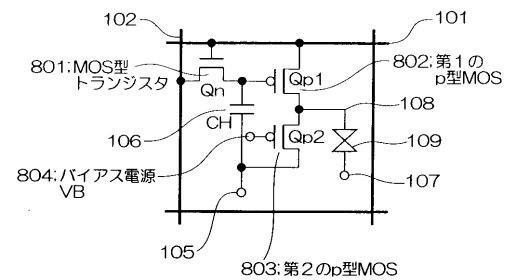
【図 7】



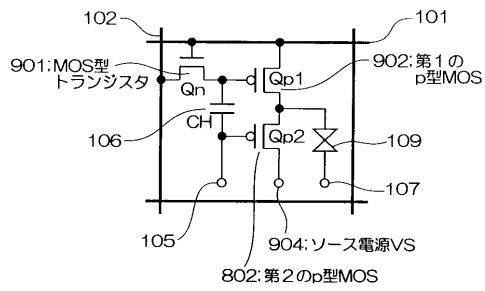
【図 6】



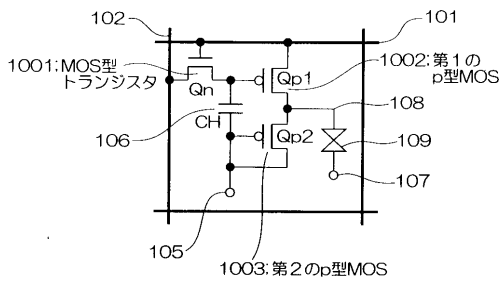
【図 8】



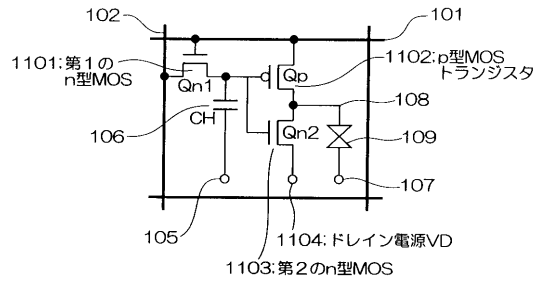
【図 9】



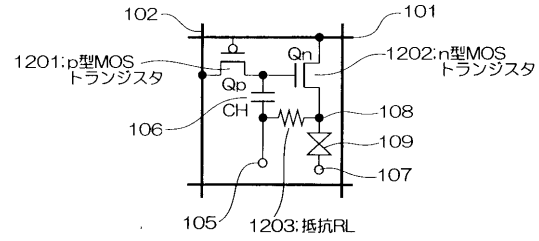
【図 10】



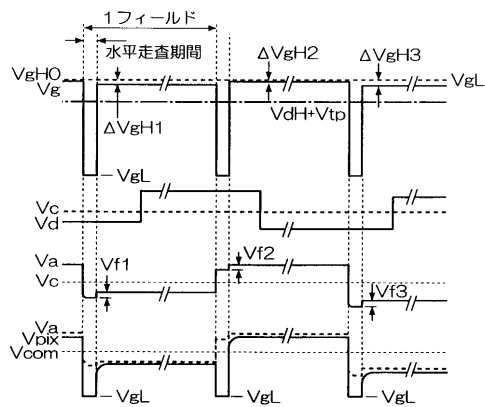
【図 11】



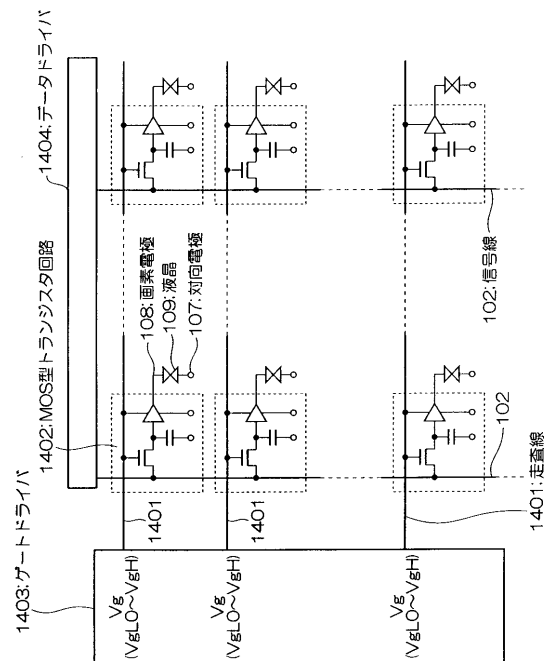
【図 12】



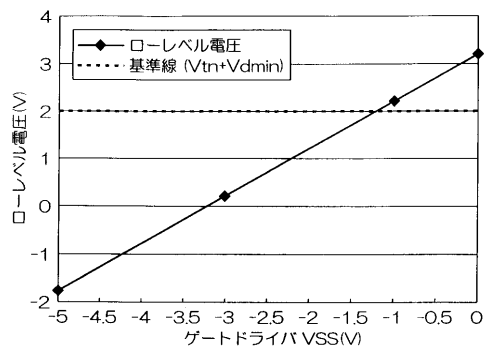
【図 13】



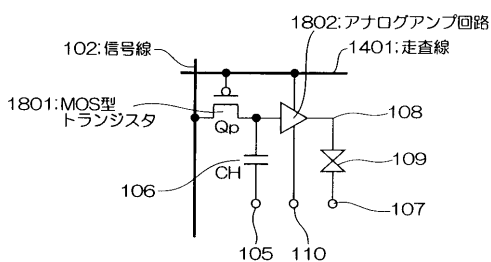
【図 14】



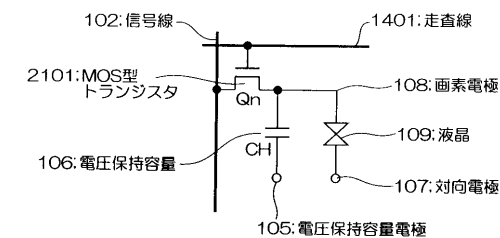
【 図 1 7 】



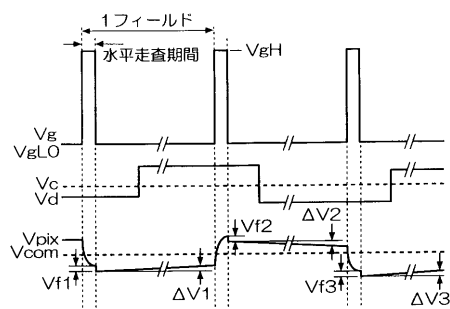
【 図 1 8 】



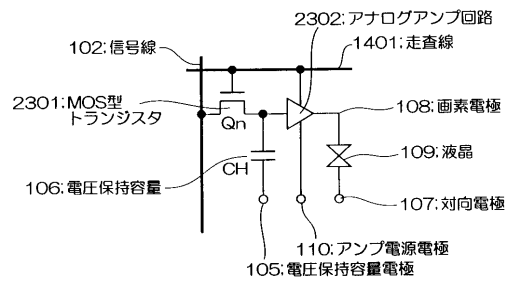
【 図 2 1 】



【 図 2 2 】



【図 23】



フロントページの続き

(51) Int.Cl. ⁷	F I
H 0 1 L 29/786	G 0 9 G 3/36
	H 0 1 L 29/78 6 1 2 C
	H 0 1 L 29/78 6 1 4

(31)優先権主張番号 特願2000-172582(P2000-172582)

(32)優先日 平成12年6月8日(2000.6.8)

(33)優先権主張国 日本国(JP)

(72)発明者 浅田 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 藤田 都志行

(56)参考文献 特開平11-326946(JP,A)

特開平11-281949(JP,A)

実開平02-047621(JP,U)

(58)調査した分野(Int.Cl.⁷, DB名)

G02F 1/1368

G02F 1/133 550

G02F 1/1343

G09G 3/20 622C

G09G 3/20 670E

G09G 3/36

H01L 29/78 612C

H01L 29/78 614

专利名称(译)	液晶表示装置		
公开(公告)号	JP3661638B2	公开(公告)日	2005-06-15
申请号	JP2001376506	申请日	2001-12-10
申请(专利权)人(译)	NEC公司		
当前申请(专利权)人(译)	NEC公司		
[标]发明人	木村和典 浅田秀樹		
发明人	木村 和典 浅田 秀樹		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1343 G09G3/20 G09G3/36 H01L29/786		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/1343 G09G3/20.622.C G09G3/20.670.E G09G3/36 H01L29/78.612.C H01L29/78.614		
F-TERM分类号	2H092/JB61 2H092/KB01 2H092/NA11 2H092/PA06 2H093/NC02 2H093/NC03 2H093/NC33 2H093/ND31 2H192/AA24 2H192/CB22 2H192/CC01 2H192/DA01 2H192/DA91 2H192/GD61 2H193/ZA03 2H193/ZA04 2H193/ZA20 2H193/ZF02 2H193/ZF03 5C006/AC22 5C006/AF42 5C006/AF51 5C006/BB16 5C006/BC03 5C006/BF43 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5F110/AA30 5F110/BB01 5F110/EE03 5F110/EE04 5F110/EE05 5F110/EE06 5F110/GG02 5F110/GG04 5F110/GG12 5F110/GG13 5F110/GG15 5F110/HM20 5F110/NN72 5F110/NN73		
代理人(译)	正和青山 村山彦		
优先权	1999208329 1999-07-23 JP 2000125055 2000-04-26 JP 2000172582 2000-06-08 JP		
其他公开文献	JP2002250938A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通常在像素中具有模拟放大器电路的有源矩阵型液晶显示装置中执行开关操作。解决方案：液晶显示装置由MOS（金属氧化物半导体）晶体管（ Q_n ）103组成，其栅极连接到由金属或金属硅化物形成的扫描线101，以及源电极或漏电极其输入电极连接到信号线102，模拟放大器电路104的输入电极连接到晶体管（ Q_n ）103的源电极和漏电极中的另一个，其输出电极连接到像素电极108，其正/负电源线中的任一个连接到扫描线101，形成在模拟放大器电路104的输入电极和电压保持电容器电极105之间的电压保持电容器106，以及液晶体109用于在像素电极108和对电极107之间进行切换。

【 図 2 】

