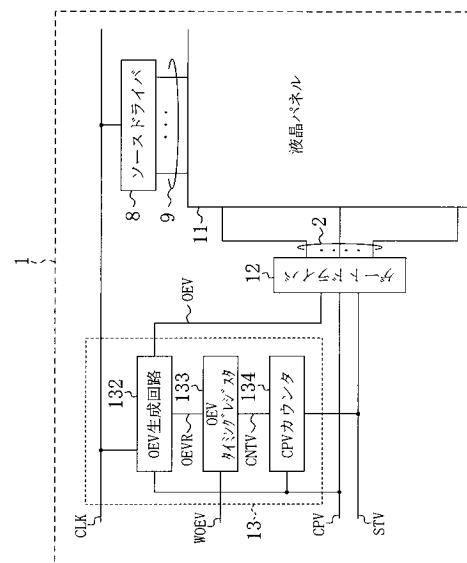




【特許請求の範囲】

【請求項 1】

アクティブマトリクス型の液晶パネルと、
前記液晶パネルの走査線制御信号配線とそれぞれ接続されている複数の出力端子を有し、前記各出力端子から、前記液晶パネルの薄膜トランジスタを ON させるためのパネル制御パルスをそれぞれ出力するゲートドライバと、
前記ゲートドライバに、前記パネル制御パルスの出力タイミングを制御するための出力イネーブル信号を与えるタイミング制御回路とを備え、
前記タイミング制御回路は、
前記出力イネーブル信号として、前記パネル制御パルスの出力を許可するイネーブル制御パルスを含む信号を出力するものであり、かつ、前記イネーブル制御パルスのパルス幅を、前記ゲートドライバの出力端子に応じて、設定可能に構成されている
ことを特徴とする液晶表示装置。

10

【請求項 2】

請求項 1 記載の液晶表示装置において、
前記タイミング制御回路は、
走査線シフトクロック信号をカウントするカウンタを備え、
このカウンタ値から、前記パネル制御パルスが出力される前記ゲートドライバの出力端子を特定し、特定した出力端子に応じて、前記イネーブル制御パルスのパルス幅を設定する
ことを特徴とする液晶表示装置。

20

【請求項 3】

請求項 2 記載の液晶表示装置において、
前記タイミング制御回路は、
前記走査線シフトクロック信号を、外部から受ける
ことを特徴とする液晶表示装置。

【請求項 4】

請求項 2 記載の液晶表示装置において、
前記タイミング制御回路は、
前記液晶パネルの垂直同期信号および水平同期信号を受け、前記走査線シフトクロック
信号を生成する走査線シフト制御信号生成回路を備えている
ことを特徴とする液晶表示装置。

30

【請求項 5】

請求項 1 記載の液晶表示装置において、
前記タイミング制御回路は、
前記ゲートドライバの出力端子を複数個ずつ組分けし、各組毎に、前記イネーブル制御パルスのパルス幅を設定する
ことを特徴とする液晶表示装置。

【請求項 6】

請求項 1 記載の液晶表示装置において、
前記タイミング制御回路は、
前記イネーブル制御パルスのパルス幅を、対応する出力端子に接続された前記走査線制御信号配線の配線長が長いほど、長くなるように、設定している
ことを特徴とする液晶表示装置。

40

【請求項 7】

アクティブマトリクス型の液晶パネルを制御する液晶パネル制御装置であって、
前記液晶パネルの走査線制御信号配線とそれぞれ接続されている複数の出力端子を有し、前記各出力端子から、前記液晶パネルの薄膜トランジスタを ON させるためのパネル制御パルスをそれぞれ出力するゲートドライバと、
前記ゲートドライバに、前記パネル制御パルスの出力タイミングを制御するための出力

50

イネーブル信号を与えるタイミング制御回路とを備え、
前記タイミング制御回路は、

前記出力イネーブル信号として、前記パネル制御パルスの出力を許可するイネーブル制御パルスを含む信号を出力するものであり、かつ、前記イネーブル制御パルスのパルス幅を、前記ゲートドライバの出力端子に応じて、設定可能に構成されていることを特徴とする液晶パネル制御装置。

【請求項 8】

アクティブマトリクス型の液晶パネルを制御するゲートドライバの動作タイミングを制御するためのタイミング制御回路であって、

前記ゲートドライバは、前記液晶パネルの走査線制御信号配線とそれぞれ接続されている複数の出力端子を有し、前記各出力端子から、前記液晶パネルの薄膜トランジスタを ON させるためのパネル制御パルスをそれぞれ出力するものであり、

前記タイミング制御回路は、

前記ゲートドライバに、前記パネル制御パルスの出力タイミングを制御するための出力イネーブル信号として、前記パネル制御パルスの出力を許可するイネーブル制御パルスを含む信号を出力するものであり、かつ、前記イネーブル制御パルスのパルス幅を、前記ゲートドライバの出力端子に応じて、設定可能に構成されている

ことを特徴とするタイミング制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関するものであり、特に、液晶パネルの走査線制御信号の制御に関するものである。

【背景技術】

【0002】

近年、液晶ディスプレイは、高精細化およびパネルサイズの大型化に伴い、液晶パネルの走査線数が増加してきている。また、液晶表示装置に実装される駆動回路の部品点数は、製造コスト削減のために、削減されつつある。とりわけ、液晶パネルのトランジスタのスイッチングを制御するゲートドライバにおいては、多出力化することにより、部品点数削減が進められている。

【0003】

従来の液晶表示装置については、例えば、特許文献 1、2 に開示されている。

【特許文献 1】特開 2006-259721 号公報

【特許文献 2】特開 2007-178784 号公報

【特許文献 3】特開 2005-165034 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、ゲートドライバの出力端子数が増加すると、各出力端子から液晶パネルまでの走査線制御信号配線の長さにばらつきが生じてしまい、各配線の配線負荷が大きく異なってしまう。これにより、液晶パネルに与えられる制御信号のパルス幅が、走査線毎に、大きく異なってしまう、という問題が生じる。

【0005】

図 8 は液晶表示装置の構成の一部を示す図であり、液晶パネル 11 とゲートドライバ 12 とが示されている。G1～G4 は走査線制御信号配線であり、R1～R4 はその配線抵抗である。図 8 の例では、走査線制御信号配線 G1～G4 の配線長はそれぞれ異なっており、配線抵抗 R1～R4 は、

$$R1 > R2 > R3 > R4$$

となっているものとする。ゲートドライバ 12 から出力されたパネル制御パルスが、液晶パネル 11 において薄膜トランジスタの ON レベルまで立ち上がる時間は、各走査線制御

10

20

30

40

50

信号配線 G 1 ～ G 4 の配線抵抗 R 1 ～ R 4 によって影響を受ける。例えば、最も高い配線抵抗 R 1 を有する走査線制御信号配線 G 1 では、パルスの立ち上がりが遅くなる一方、最も低い配線抵抗 R 4 を有する走査線制御信号配線 G 4 では、配線 G 1 に比べてパルスの立ち上がりが速くなる。この結果、各走査線制御信号配線 G 1 ～ G 4 において、走査線制御信号におけるパルス幅がばらばらになり、均一にならない。

【0006】

このように、走査線制御信号配線の配線抵抗の差に起因して、液晶パネルの走査線毎に、パルス幅にばらつきが生じる。この結果、液晶パネルの画像にグラデーションのような表示ムラが発生し、表示品質の低下を招くことになる。

【0007】

この問題を解決するために、従来では、例えば、走査線制御信号配線の配線幅をゲートドライバの出力端子毎に変更することによって、配線負荷を合わせ込むという方法がとられていた。ところがこの方法では、装置の設計製造が困難になるため、汎用性がなく、またコストが増加する。また、別の方法として、ゲートドライバの出力電圧を供給する電源配線に抵抗調節回路を備えることによって、配線負荷を合わせ込む、といった技術がある（例えば、特許文献 3 参照）。ところがこの方法では、部品の増加による製造コストの増加や、装置の小型化に制約が生じる、という問題があった。

【0008】

本発明は、液晶表示装置において、走査線制御信号配線の配線抵抗の差に起因した表示品質の低下を、簡易な構成によって、抑制可能にすることを目的とする。

【課題を解決するための手段】

【0009】

本発明は、液晶表示装置として、アクティブマトリクス型の液晶パネルと、前記液晶パネルの走査線制御信号配線とそれぞれ接続されている複数の出力端子を有し、前記各出力端子から、前記液晶パネルの薄膜トランジスタを ON させるためのパネル制御パルスをそれぞれ出力するゲートドライバと、前記ゲートドライバに、前記パネル制御パルスの出力タイミングを制御するための出力イネーブル信号を与えるタイミング制御回路とを備え、前記タイミング制御回路は、前記出力イネーブル信号として、前記パネル制御パルスの出力を許可するイネーブル制御パルスを含む信号を出力するものであり、かつ、前記イネーブル制御パルスのパルス幅を、前記ゲートドライバの出力端子に応じて、設定可能に構成されているものである。

【0010】

本発明によると、ゲートドライバの各出力端子からそれぞれ出力されるパネル制御パルスは、タイミング制御回路から与えられる出力イネーブル信号によって、その出力タイミングが制御される。そして、タイミング制御回路では、出力イネーブル信号に含まれるイネーブル制御パルスのパルス幅が、ゲートドライバの出力端子に応じて、設定可能に構成されている。このため、走査線制御信号配線の配線抵抗に差がある場合でも、イネーブル制御パルスのパルス幅をゲートドライバの出力端子に応じて設定することによって、液晶パネルの各走査線に印加される制御信号のパルス幅を均一にそろえることが可能になる。したがって、表示ムラの発生を抑えることができるので、表示品質の低下を抑制することが可能になる。しかも、走査線制御信号配線の配線幅を調整したり、あるいは、抵抗調整回路を設けたりするといったコスト増につながる方策が不要である。

【0011】

そして、本発明の液晶表示装置において、前記タイミング制御回路は、走査線シフトクロック信号をカウントするカウンタを備え、このカウンタ値から、前記パネル制御パルスが出力される前記ゲートドライバの出力端子を特定し、特定した出力端子に応じて、前記イネーブル制御パルスのパルス幅を設定するものとするのが好ましい。

【0012】

さらに、前記タイミング制御回路は、前記走査線シフトクロック信号を外部から受けるものとしてもよい。あるいは、前記タイミング制御回路は、前記液晶パネルの垂直同期信

10

20

30

40

50

号および水平同期信号を受け、前記走査線シフトクロック信号を生成する走査線シフト制御信号生成回路を備えているものとしてもよい。

【0013】

また、本発明の液晶表示装置において、前記タイミング制御回路は、前記ゲートドライバの出力端子を複数個ずつ組分けし、各組毎に、前記イネーブル制御パルスのパルス幅を設定するものとしてもよい。

【0014】

また、本発明の液晶表示装置において、前記タイミング制御回路は、前記イネーブル制御パルスのパルス幅を、対応する出力端子に接続された前記走査線制御信号配線の配線長が長いほど、長くなるように、設定しているのが好ましい。

10

【0015】

また、本発明は、アクティブマトリクス型の液晶パネルを制御する液晶パネル制御装置として、前記液晶パネルの走査線制御信号配線とそれぞれ接続されている複数の出力端子を有し、前記各出力端子から、前記液晶パネルの薄膜トランジスタをONさせるためのパネル制御パルスをそれぞれ出力するゲートドライバと、前記ゲートドライバに、前記パネル制御パルスの出力タイミングを制御するための出力イネーブル信号を与えるタイミング制御回路とを備え、前記タイミング制御回路は、前記出力イネーブル信号として、前記パネル制御パルスの出力を許可するイネーブル制御パルスを含む信号を出力するものであり、かつ、前記イネーブル制御パルスのパルス幅を、前記ゲートドライバの出力端子に応じて、設定可能に構成されているものを含む。

20

【0016】

また、本発明は、アクティブマトリクス型の液晶パネルを制御するゲートドライバの動作タイミングを制御するためのタイミング制御回路として、前記ゲートドライバは、前記液晶パネルの走査線制御信号配線とそれぞれ接続されている複数の出力端子を有し、前記各出力端子から、前記液晶パネル薄膜トランジスタをONさせるためのパネル制御パルスをそれぞれ出力するものであり、前記タイミング制御回路は、前記ゲートドライバに、前記パネル制御パルスの出力タイミングを制御するための出力イネーブル信号として、前記パネル制御パルスの出力を許可するイネーブル制御パルスを含む信号を出力するものであり、かつ、前記イネーブル制御パルスのパルス幅を、前記ゲートドライバの出力端子に応じて、設定可能に構成されているものを含む。

30

【発明の効果】

【0017】

本発明によると、走査線制御信号配線の配線抵抗に差がある場合でも、液晶パネルの各走査線に印加されるパルス幅を均一にそろえることが可能になるので、表示ムラの発生を抑えることができ、したがって、高画質な液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について、図面を参照して説明する。なお、同様の動作を行う構成要素には、同一の符号を付して再度の説明を省略する場合がある。

【0019】

40

(実施の形態1)

図1は実施の形態1に係る液晶表示装置の構成を示すブロック図である。図1において、液晶表示装置1は、薄膜トランジスタで制御されるアクティブマトリクス型の液晶パネル11、ゲートドライバ12、ソースドライバ8、およびタイミング制御回路13を備えている。なお、本実施形態における液晶パネル制御装置は、ゲートドライバ12とタイミング制御回路13とを少なくとも備えた構成からなる。

【0020】

液晶パネル11は、画素がアレイ状に配置されており、各画素は、液晶の勾配を制御する電圧を保持する画素容量と、画素容量に蓄えられる電荷の入出流を制御する薄膜トランジスタとから構成される。

50

【0021】

ゲートドライバ12は、複数の出力端子を有し、各出力端子は液晶パネル11の走査線制御信号配線2とそれぞれ接続されている。液晶パネル11の薄膜トランジスタは、ゲート端子が走査線電極に接続されており、ゲートドライバ12が出力する走査線制御信号によって制御される。ソースドライバ8は、液晶パネル11の信号線制御信号配線9と接続されており、階調電圧を出力する。液晶パネル11の薄膜トランジスタは、ソース端子が信号線電極に接続されており、薄膜トランジスタがONしている期間、ソースドライバ8から出力された階調電圧が画素電極に印加される。すなわち、ソースドライバ8から出力された階調電圧は、走査線電極がONしている1ラインの画素容量に保持される。ゲートドライバ12の出力がシフトすることによって走査線電極を順にONさせつつ、各画素に表示したい階調の電圧を書き込むことによって、液晶パネル11に画像を表示させることができる。

10

【0022】

また、ゲートドライバ12には、シフト動作を制御するための信号として、走査線シフトクロック信号CPVおよび走査線シフトスタート信号STVが入力される。ゲートドライバ12は各出力端子から、液晶パネル11内の薄膜トランジスタをONさせるためのパネル制御パルスそれぞれを出力するが、このパネル制御パルスを出力する出力端子を、走査線シフトクロック信号CPVに従って順次シフトさせる。また、タイミング制御回路13によって生成された出力イネーブル信号OEVも、ゲートドライバ12に入力される。この出力イネーブル信号OEVは、パネル制御パルスの出力タイミングを制御するための信号であり、パネル制御パルスの出力を許可するイネーブル制御パルスを含む。出力イネーブル信号OEVは、パネル制御パルスが隣接走査線間でオーバーラップすることを防止する役割を有する。

20

【0023】

タイミング制御回路13は、OEV生成回路132、OEVタイミングレジスタ133、およびCPVカウンタ134を備えている。そして、上述の走査線シフトクロック信号CPVと走査線シフトスタート信号STVに加えて、制御クロック信号CLKおよびOEVタイミング書き込み信号WOEVを入力とし、上述の出力イネーブル信号OEVを出力する。制御クロック信号CLKはタイミング制御回路13の動作基準クロック信号である。なお、図1の構成では、制御クロック信号CLKがソースドライバ8の動作基準クロック信号としても用いられているが、タイミング制御回路13がソースドライバ8の動作基準クロック信号を別途生成するように構成してもよい。また、OEVタイミング書き込み信号WOEVは、出力イネーブル信号OEVのタイミングデータを与える信号である。

30

【0024】

タイミング制御回路13において、CPVカウンタ134は、走査線シフトクロック信号CPVをカウントし、このカウント値CNTVをOEVタイミングレジスタ133に出力する。このカウント値CNTVから、ゲートドライバ12の出力シフト回数、言い換えると、パネル制御パルスが出力される出力端子を特定することができる。OEVタイミングレジスタ133は、CPVカウンタ134から出力されたカウント値CNTVとOEVタイミング書き込み信号WOEVによって与えられたタイミングデータとを基にして、OEV立ち上がりタイミングデータOEVRを求め、OEV生成回路132に出力する。OEV生成回路132は、OEVタイミングレジスタ133からOEV立ち上がりタイミングデータOEVRを受け、このデータOEVRに対応したタイミングで出力イネーブル信号OEVの立ち上がり時間を制御する。すなわち、出力イネーブル信号OEVに含まれたイネーブル制御パルスのパルス幅が、データOEVRに基づいて設定される。これにより、カウント値CNTVから特定したゲートドライバ12の出力端子に応じて、イネーブル制御パルスのパルス幅が設定されることになる。OEV生成回路132によって生成された出力イネーブル信号OEVは、ゲートドライバ12に与えられる。

40

【0025】

このように、タイミング制御回路13において、走査線シフトクロック信号CPVのカ

50

ウント値CNTVに応じて、出力イネーブル信号OE V信号の立ち上がり時間を制御することによって、ゲートドライバ12の出力端子毎に、異なるパルス幅のイネーブル制御パルスを設定することができる。すなわち、タイミング制御回路13は、イネーブル制御パルスのパルス幅を、ゲートドライバ12の出力端子毎に設定可能に構成されている。

【0026】

図2は本実施形態に係る液晶表示装置の動作例を示すタイミングチャートである。図2では、走査線シフトスタート信号STV、走査線シフトクロック信号CPV、出力イネーブル信号OE V、および、走査線制御信号G1, G2, …, GN（走査線制御信号配線2における信号）の時間変化を示している。

【0027】

走査線制御信号G1, G2, …, GNの立ち上がり時間は、その配線負荷の違いから、互いに異なっている。図2の例では、走査線制御信号G1の立ち上がりが最も遅く、走査線制御信号GNの立ち上がりが最も速くなっている。これに対処するために、本実施形態では、走査線シフトクロック信号CPVの立ち上がりタイミングから出力イネーブル信号OE Vの立ち上がりタイミングまでの期間を、走査線制御信号G1, G2, …, GN毎に、変更している($t_1, t_2, \dots, t_n$)。言い換えると、出力イネーブル信号OE Vにおいて、パネル制御パルスの出力を許可するイネーブル制御パルスのパルス幅(OE Vが“H”の期間)を、走査線毎にすなわちゲートドライバ12の出力端子毎に、変更している。これにより、各走査線制御信号G1, G2, …, GNにおいて、走査線シフトクロック信号CPVの立ち上がりタイミングから、制御信号が薄膜トランジスタのONレベルまで立ち上がるまでの時間を均一にすることができる(T_1)。この結果、各走査線制御信号G1, G2, …, GNにおけるパルス幅を均一にすることができる(t_{GH1})。なお、イネーブル制御パルスのパルス幅は、対応する出力端子に接続された走査線制御信号配線2の配線長が長いほど、長くなるように、設定するのが好ましい。

【0028】

図3を用いて、タイミング制御回路13における出力イネーブル信号OE Vの生成方法について、具体的に説明する。ここでは例えば、図3に示すとおり、走査線シフトクロック信号CPVの1周期を制御クロック信号CLKの32クロック分とし、出力イネーブル信号OE Vの立ち下がりタイミングを走査線シフトクロック信号CPVの立ち上がりから28クロック後とする。

【0029】

いま、走査線制御信号G4について、出力イネーブル信号OE Vの立ち上がりタイミングすなわちイネーブル制御パルスの開始タイミングを、走査線シフトクロック信号CPVの立ち上がりタイミングから9クロック後に設定するものとする。この場合、OE Vタイミングレジスタ133内の走査線制御信号G4に対応したレジスタに、OE Vタイミング書き込み信号WOE Vによって、予めタイミングデータとして“9”を設定する。

【0030】

CPVカウンタ134は、走査線シフトスタート信号STVを受けて、走査線シフトクロック信号CPVのカウントを開始する。CPVカウンタ134が走査線制御信号G4に相当する“4”をカウントしたとき、OE Vタイミングレジスタ133はそのカウント値CNTV(“4”)を受けて、走査線制御信号G4に対応したレジスタに設定された値(ここでは“9”)をタイミングデータOE VRとしてOE V生成回路132に出力する。OE V生成回路132は、走査線シフトクロック信号CPVの立ち上がりから制御クロック信号CLKのカウントを始め、制御クロック信号CLKの9クロック目のタイミングで、出力イネーブル信号OE Vにおいてイネーブル制御パルスの出力を開始する。その後、制御クロック信号CLKの28クロック目のタイミングでイネーブル制御パルスの出力を終了する。このようにして、走査線制御信号G4に対するイネーブル制御パルスが生成される。

【0031】

図4は比較例として、出力イネーブル信号OE Vにおけるイネーブル制御パルスのパル

10

20

30

40

50

ス幅が一定の場合の動作例を示すタイミングチャートである。図4の例では、各走査線制御信号G1, G2, ..., GNにおいて、走査線シフトクロック信号CPVの立ち上がりタイミングから、制御信号が薄膜トランジスタのONレベルまで立ち上がるまでの時間が、それぞれ異なっている($T_1 > T_2 > T_n$)。このため、各走査線制御信号G1, G2, ..., GNにおけるパルス幅が均一になっていない($t_{GH1} < t_{GH2} < t_{GHn}$)。この結果、液晶パネル11において表示ムラが発生し、表示品質の低下を招くことになる。本実施形態によって、このような不具合を解消することができる。

【0032】

ここで、タイミングデータOEVRの決定方法について説明する。

【0033】

例えば、制御クロック信号CLKの周波数を200MHz(周期5ns)、ゲートドライバ12の各出力端子に係る配線遅延の差が最大で100ns(実測または設計時シミュレーション)とする。この場合、配線遅延が最も小さい出力端子(走査線電極までの配線が最も短い)と配線遅延が最も大きい出力端子(走査線電極までの配線が最も長い)との配線遅延の差は、制御クロック信号CLKの20クロックに相当する。走査線ゲートに印加されるパルス幅を均一にするためには、例えば、配線遅延が最も大きい出力端子に係るパルス幅に、他の出力端子に係るパルス幅を合わせればよい。この場合、ゲートドライバ12の出力端子を配線遅延の大小に従って21組に分けて、各組毎に、配線遅延が大きい方から順に、タイミングデータOEVRとして“0”~“20”を順次設定すればよい。これによって、イネーブル制御パルスのパルス幅は、配線遅延が最も大きい出力端子では最も長くなる一方、配線遅延が最も小さい出力端子では最も短くなり、その差は制御クロック信号CLKの20クロック分となる。

【0034】

液晶パネルの走査線数は、例えば、ハイビジョンであれば720本、フルハイビジョンであれば1080本である。ゲートドライバの出力が270チャンネルの場合は、ゲートドライバはハイビジョンで3個、フルハイビジョンの場合は4個必要である。図5は複数のゲートドライバ12a, 12b, 12cを設けた場合の構成例を示す。ハイビジョンの場合は、3個のゲートドライバの全出力端子を約35個ずつ21組に分けて、タイミングデータOEVRをそれぞれ設定すればよい。フルハイビジョンの場合は、4個のゲートドライバの出力端子を約52個ずつ21組に分けて、タイミングデータOEVRをそれぞれ

【0035】

以上のように本実施形態によると、ゲートドライバに与える出力イネーブル信号におけるイネーブル制御パルスのパルス幅を、ゲートドライバの出力端子毎に、設定可能に構成されているので、たとえ走査線制御信号配線の配線長にばらつきがあっても、ゲートドライバから液晶パネルに与える制御信号のパルス幅を均一にすることができる。これにより、液晶パネルの表示ムラを抑えることができる。

【0036】

なお、上述の説明では、ゲートドライバの出力端子を21組に分けるものとしたが、これに限られるものではなく、出力端子の分け方は、例えばゲートドライバ1個当たりの出力端子数や制御クロック信号のクロック周波数などに応じて、様々な形態が実現できる。また、出力端子をその個数がほぼ均等になるように分けるものとしたが、これに限られるものではなく、液晶パネルの形態等により、よりよい特性を得るためにその個数の割合を変える方が好ましい場合もあり得る。さらに、ゲートドライバの出力数が少ないときは、各出力端子ごとに、イネーブル制御パルスのパルス幅を変えるようにしてもかまわない。

【0037】

(実施の形態2)

図6は実施の形態2に係る液晶表示装置の構成を示すブロック図である。図6に示す液晶表示装置1aは、図1の液晶表示装置1とほぼ同様の構成からなり、その動作も図1の構成と同様である。ただし、タイミング制御回路13aの構成が異なっている。

【0038】

タイミング制御回路13aは、液晶パネル11の垂直同期信号VSYNCおよび水平同期信号HSYNCを受け、走査線シフトスタート信号STVと走査線シフトクロック信号CPVを生成する走査線シフト制御信号生成回路138を備えている。垂直同期信号VSYNCは液晶パネル11の一画面表示の書き換え周期に同期しており、標準で60Hz、倍速表示時では120Hz等の周期が用いられる。水平同期信号HSYNCは液晶パネル11の走査線一ラインの階調データ書き込み周期を制御する信号である。

【0039】

図7は走査線シフト制御信号生成回路138の動作例を示すタイミングチャートである。走査線シフト制御信号生成回路138は、垂直同期信号VSYNCのパルスが入力されると、例えば制御クロック信号CLKの6クロック分のパルス幅で、走査線シフトスタート信号STVを生成する。また、走査線シフト制御信号生成回路138は、水平同期信号HSYNCのパルスが入力されると、例えば制御クロック信号CLKの3クロック分のパルス幅で、走査線シフトクロック信号CPVを生成する。タイミング制御回路13aは、このようにして走査線シフト制御信号生成回路138によって生成された走査線シフトスタート信号STVと走査線シフトクロック信号CPVを用いて、実施の形態1と同様に、出力イネーブル信号OEVを生成する。

【産業上の利用可能性】

【0040】

以上のように、本発明に係る液晶表示装置は、表示ムラの発生を抑えることができるため、特に、大画面および高精細の表示装置に有用である。

【図面の簡単な説明】

【0041】

【図1】本発明の実施の形態1に係る液晶表示装置の構成を示すブロック図である。

【図2】本発明の実施の形態1に係る液晶表示装置の動作例を示すタイミングチャートである。

【図3】出力イネーブル信号の生成方法を説明するためのタイミングチャートである。

【図4】比較例を示すタイミングチャートである。

【図5】ゲートドライバを複数個備えた構成を示すブロック図である。

【図6】本発明の実施の形態2に係る液晶表示装置の構成を示すブロック図である。

【図7】走査線シフト制御信号生成回路の動作例を示すタイミングチャートである。

【図8】走査線制御信号線の配線負荷を説明するための図である。

【符号の説明】

【0042】

1, 1a 液晶表示装置
 2 走査線制御信号配線
 11 液晶パネル
 12 ゲートドライバ
 13, 13a タイミング制御回路
 134 CPVカウンタ(カウンタ)
 138 走査線シフト制御信号生成回路
 OEV 出力イネーブル信号
 CPV 走査線シフトクロック信号
 CNTV カウンタ値
 VSYNC 垂直同期信号
 HSYNC 水平同期信号

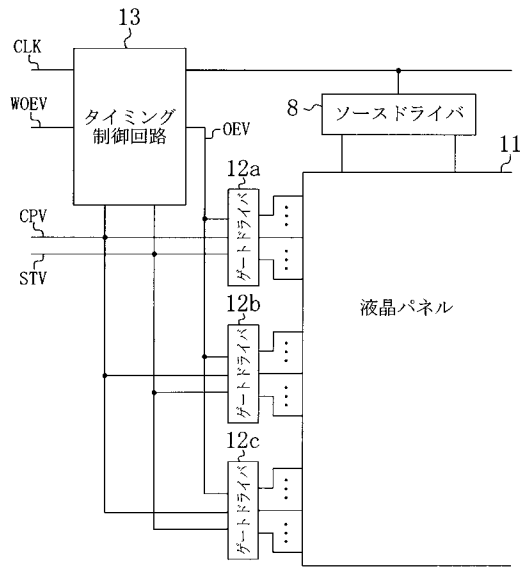
10

20

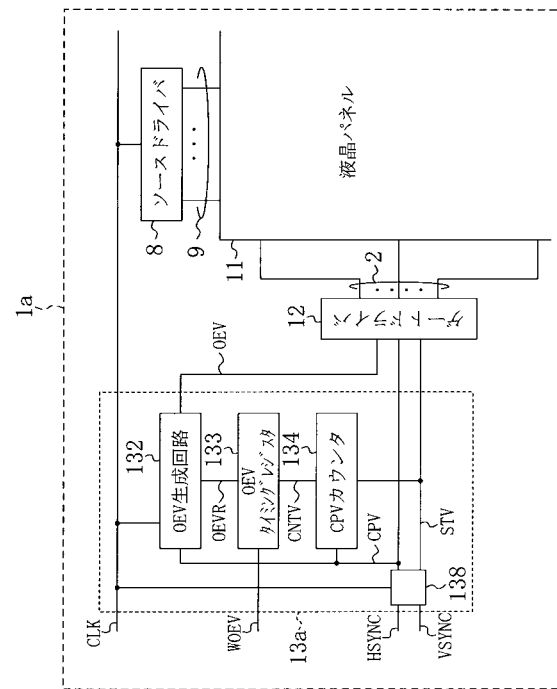
30

40

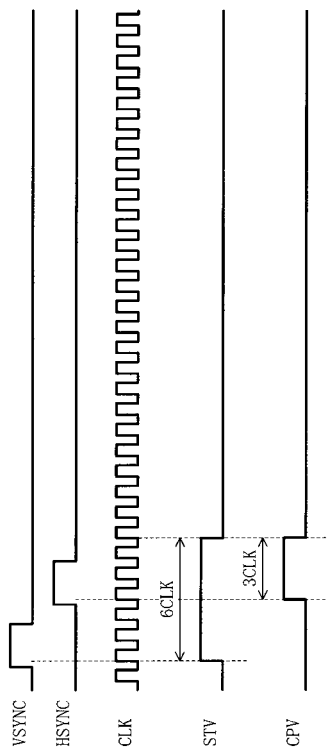
【図 5】



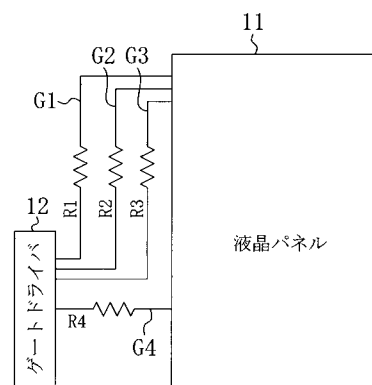
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
 G 0 9 G 3/20 6 4 2 A
 G 0 2 F 1/133 5 5 0

(74)代理人 100117581
 弁理士 二宮 克也

(74)代理人 100117710
 弁理士 原田 智雄

(74)代理人 100121728
 弁理士 井関 勝守

(74)代理人 100124671
 弁理士 関 啓

(74)代理人 100131060
 弁理士 杉浦 靖也

(72)発明者 淵上 優樹
 大阪府門真市大字門真 1 0 0 6 番地 パナソニックセミコンダクターシステムテクノ株式会社内

(72)発明者 皿井 修
 大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 松木 徹
 大阪府門真市大字門真 1 0 0 6 番地 パナソニックセミコンダクターシステムテクノ株式会社内

F ターム (参考) 2H093 NA16 NA45 NA53 NC10 NC12 NC21 NC27 NC34 NC49 ND05
 ND09 ND15 ND54 NH06
 2H193 ZA04 ZC26 ZD23 ZD32 ZD34 ZF22 ZF36
 5C006 AA01 AA16 AC22 AF42 AF50 BB16 BC06 BC22 BF22 FA11
 FA20 FA22 FA41 FA52
 5C080 AA10 BB05 DD05 DD22 DD27 DD28 EE29 FF11 JJ02 JJ03
 JJ04 KK43

专利名称(译)	液晶显示装置，液晶面板控制装置和定时控制电路		
公开(公告)号	JP2009230103A	公开(公告)日	2009-10-08
申请号	JP2008305004	申请日	2008-11-28
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	淵上優樹 皿井修 松木徹		
发明人	淵上 優樹 皿井 修 松木 徹		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2310/067 G09G2320/0223 G09G2320/0285		
FI分类号	G09G3/36 G09G3/20.611.H G09G3/20.611.F G09G3/20.622.C G09G3/20.612.J G09G3/20.642.A G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA45 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC27 2H093/NC34 2H093/NC49 2H093/ND05 2H093/ND09 2H093/ND15 2H093/ND54 2H093/NH06 2H193/ZA04 2H193/ZC26 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF22 2H193/ZF36 5C006/AA01 5C006/AA16 5C006/AC22 5C006/AF42 5C006/AF50 5C006/BB16 5C006/BC06 5C006/BC22 5C006/BF22 5C006/FA11 5C006/FA20 5C006/FA22 5C006/FA41 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD27 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 2H193/ZB02 2H193/ZF23 2H193/ZH46 2H193/ZH54		
代理人(译)	前田弘 竹内浩 高久岛 竹内雄二 藤田淳 杉浦 靖也		
优先权	2008047066 2008-02-28 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过液晶显示装置中的简单结构来抑制由扫描线控制信号布线的布线电阻的差异引起的显示质量的劣化。栅极驱动器输出面板控制脉冲，用于从连接到液晶面板11的扫描线控制信号布线2的每个输出端子导薄膜晶体管。定时控制电路13向栅极驱动器12提供输出使能信号OEV，用于控制面板控制脉冲的输出定时。输出使能信号OEV包括用于允许输出面板控制脉冲的使能控制脉冲，并且定时控制电路13被配置为使得能够根据栅极驱动器12的输出端子设置使能控制脉冲的脉冲宽度。那里。点域1

