(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-171314
(P2007-171314A)
(43)公開日　平成19年7月5日(2007.7.5)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/1368	(2006.01)	G02F	1/1368		2H092
H01L	29/786	(2006.01)	H01L	29/78	612C	5F033
H01L	21/768	(2006.01)	H01L	21/90	W	5F110
H01L	23/522	(2006.01)	H01L	21/90	Q	

審査請求 有　請求項の数 11　ＯＬ　（全 21 頁）

(21)出願番号　特願2005-365739 (P2005-365739)
(22)出願日　平成17年12月20日 (2005.12.20)

(71)出願人　502266320
株式会社フューチャービジョン
東京都港区赤坂２丁目４番１号　白亞ビル３Ｆ
(74)代理人　100093506
弁理士　小野寺　洋二
(72)発明者　好本　芳和
東京都港区赤坂２丁目４番１号白亞ビル３Ｆ　株式会社フューチャービジョン内

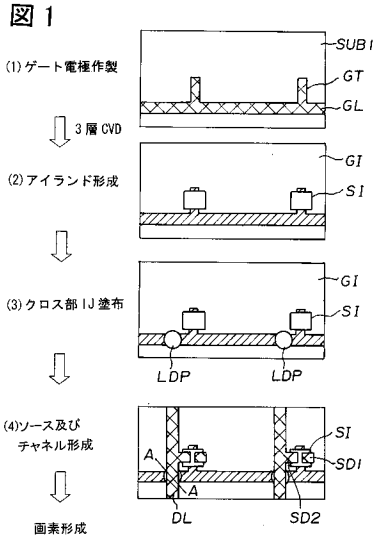
Ｆターム(参考)　2H092 JA26 JA28 JA34 JA37 JA41 JA47 JB22 JB31 JB69 KA05 KA18 KA20 KB04 KB06 KB22 KB25 MA02 MA12 NA27 NA29 PA07 PA12

最終頁に続く

(54)【発明の名称】液晶表示装置とその製造方法

(57)【要約】
【課題】ゲート配線とデータ配線の交差容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供する。
【解決手段】液晶表示装置の液晶表示パネルを構成するアクティブ・マトリクス基板ＳＵＢ１に形成されるゲート配線ＧＬとデータ配線ＤＬの交差部に介在するゲート絶縁膜ＧＩの上層に低誘電率の絶縁材料をインクジェット法で滴下してもう一つの絶縁膜ＬＤＰとし、当該交差部の交差容量を増加させることなく、シリコン半導体層ＳＩ上に作り込む薄膜トランジスタの性能を向上させる。
【選択図】図１

図１



【特許請求の範囲】
【請求項１】
第１の絶縁基板と第２の絶縁基板との間に液晶を挟持した液晶表示装置であって、
前記第１の絶縁基板の上に互いに平行に形成された複数のゲート配線と、
前記ゲート配線絶縁層を介して交差して互いに平行に形成された複数のデータ配線と、
前記ゲート配線と前記データ配線で囲まれる部分のそれぞれが単位画素領域とされ、前記複数のゲート配線と前記複数のデータ配線とが交差する領域で表示領域を構成し、
前記ゲート配線から前記単位画素領域に延びるゲート電極と、前記ゲート配線および前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜上に順次形成された半導体層と、この半導体層の表面に分離して形成されたオーミックコンタクト層と、前記分離されたオーミックコンタクト層上にそれぞれ形成されたソース電極及びドレイン電極とで構成された薄膜トランジスタと、
前記ゲート配線と前記データ配線の交差部における前記絶縁層が、前記ゲート絶縁膜と、このゲート絶縁膜の上層または下層にインクジェット法で滴下して被覆した低誘電率の絶縁膜との二層構造であることを特徴とする液晶表示装置。
【請求項２】
第１の絶縁基板と第２の絶縁基板との間に液晶を挟持した液晶表示装置であって、
前記第１の絶縁基板の上に互いに平行に形成された複数のゲート配線と、
前記ゲート配線絶縁層を介して交差して互いに平行に形成された複数のデータ配線と、
前記ゲート配線と前記データ配線で囲まれる部分のそれぞれが単位画素領域とされ、前記複数のゲート配線と前記複数のデータ配線とが交差する領域で表示領域を構成し、
前記ゲート配線から前記単位画素領域に延びるゲート電極と、前記ゲート配線および前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜上に順次形成された半導体層と、この半導体層の表面に分離して形成されたオーミックコンタクト層と、前記分離されたオーミックコンタクト層上にそれぞれ形成されたソース電極及びドレイン電極とで構成された薄膜トランジスタと、
前記表示領域の全域で、前記ゲート配線上の前記ゲート絶縁層が前記ゲート絶縁膜と、このゲート絶縁膜の上層または下層に、当該ゲート配線に沿ってインクジェット法で滴下して被覆した低誘電率の絶縁膜との二層構造であることを特徴とする液晶表示装置。
【請求項３】
請求項１又は２に記載の液晶表示装置において、
前記低誘電率の絶縁膜は、耐熱性樹脂であることを特徴とする液晶表示装置。
【請求項４】
請求項１又は２に記載の液晶表示装置において、
前記低誘電率の絶縁膜は、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーであることを特徴とする液晶表示装置。
【請求項５】
第１の絶縁基板と第２の絶縁基板との間に液晶を挟持した液晶表示装置の製造方法であって、
前記第１の絶縁基板の上に複数のゲート配線を互いに平行に形成する工程と、
前記ゲート配線を含む前記第１の絶縁基板を覆ってゲート絶縁膜を成膜する工程と、
前記ゲート配線と前記データ配線が交差する部分の前記ゲート絶縁膜上にインクジェット法により低誘電率の絶縁膜を滴下する工程と、
前記ゲート配線絶縁層および前記低誘電率の絶縁膜上で前記ゲート配線に交差させて複数のデータ配線を互いに平行に形成する工程とを含むことを特徴とする液晶表示装置の製造方法。
【請求項６】
第１の絶縁基板と第２の絶縁基板との間に液晶を挟持した液晶表示装置の製造方法であって、
前記第１の絶縁基板の上に複数のゲート配線を互いに平行に形成する工程と、

前記ゲート配線と前記データ配線が交差する部分の前記ゲート配線上にインクジェット法により低誘電率の絶縁膜を滴下する工程と、
前記ゲート配線および前記低誘電率の絶縁膜を含む前記第１の絶縁基板を覆ってゲート絶縁膜を成膜する工程と、
前記低誘電率の絶縁膜および前記ゲート配線絶縁層上で前記ゲート配線に交差させて複数のデータ配線を互いに平行に形成する工程とを含むことを特徴とする液晶表示装置の製造方法。
【請求項７】
第１の絶縁基板と第２の絶縁基板との間に液晶を挟持した液晶表示装置の製造方法であって、
前記第１の絶縁基板の上に複数のゲート配線を互いに平行に形成する工程と、
前記ゲート配線を含む前記第１の絶縁基板を覆ってゲート絶縁膜を成膜する工程と、
前記ゲート配線に沿った前記ゲート絶縁膜の上にインクジェット法により低誘電率の絶縁膜を滴下する工程と、
前記ゲート配線絶縁層および前記低誘電率の絶縁膜上で当該ゲート配線に交差させて複数のデータ配線を互いに平行に形成する工程とを含むことを特徴とする液晶表示装置の製造方法。
【請求項８】
第１の絶縁基板と第２の絶縁基板との間に液晶を挟持した液晶表示装置の製造方法であって、
前記第１の絶縁基板の上に複数のゲート配線を互いに平行に形成する工程と、
前記ゲート配線に沿った前記ゲート絶縁膜の上にインクジェット法により低誘電率の絶縁膜を滴下する工程と、
前記ゲート配線を含む前記第１の絶縁基板を覆ってゲート絶縁膜を成膜する工程と、
前記低誘電率の絶縁膜および前記ゲート配線絶縁層上で当該ゲート配線に交差させて複数のデータ配線を互いに平行に形成する工程とを含むことを特徴とする液晶表示装置の製造方法。
【請求項９】
請求項５～８に記載の液晶表示装置の製造方法において、
前記複数のゲート配線と前記複数のデータ配線で囲まれる各部分に形成される各単位画素で表示領域が構成され、前記ゲート絶縁膜上に半導体層とこの半導体層の表面に分離させてオーミックコンタクト層とを形成し、前記分離されたオーミックコンタクト層上にソース電極及びドレイン電極とをそれぞれ形成して薄膜トランジスタを構成する工程を含むことを特徴とする液晶表示装置の製造方法。
【請求項１０】
請求項５～８に記載の液晶表示装置の製造方法において、
前記低誘電率の絶縁膜は、耐熱性樹脂であることを特徴とする液晶表示装置の製造方法。
【請求項１１】
請求項５～８に記載の液晶表示装置の製造方法において、
前記低誘電率の絶縁膜は、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーであることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アクティブ・マトリクス型の液晶表示装置とその製造方法に係り、特に当該液晶表示装置を構成する液晶表示パネルの一方の基板に形成する薄膜トランジスタとその製造に好適なものである。
【背景技術】

【０００２】
アクティブ・マトリクス型の液晶表示装置を構成する液晶表示パネルは、一方の基板（アクティブ・マトリクス基板）と他方の基板（カラーフィルタ基板）との間に液晶を挟持して形成される。アクティブ・マトリクス基板に薄膜トランジスタ（ＴＦＴ）を作り込む製造工程では、当該基板上に先ずクロム等の金属膜からなる平行配置された複数のゲート配線およびこの各ゲート配線から画素毎に延びるゲート電極が形成される。
【０００３】
図１７は、アクティブ・マトリクス型液晶表示装置の表示パネル部の等価回路を説明する図である。図１７（ａ）は全体の回路図、図１７（ｂ）は図１７（ａ）における画素部ＰＸＬの拡大図である。図１７（ａ）において、表示パネルＰＮＬには多数の画素部ＰＸＬがマトリクス配列されており、各画素部ＰＸＬは走査配線駆動回路ＧＤＲで選択され、データ配線(ソース配線とも言う)駆動回路ＤＤＲからの表示データ信号に応じて点灯される。
【０００４】
すなわち、走査配線駆動回路ＧＤＲによって選択されたゲート配線ＧＬに対応して、データ配線駆動回路ＤＤＲからデータ配線ＤＬを通して表示パネルＰＮＬの画素部ＰＸＬにおける薄膜トランジスタＴＦＴに表示データ（電圧）が供給される。
【０００５】
図１７（ｂ）に示したように、画素部ＰＸＬを構成する薄膜トランジスタＴＦＴは、ゲート配線ＧＬとデータ配線ＤＬとの交差部に設けられる。薄膜トランジスタＴＦＴのゲート極ＧＴには、ゲート配線ＧＬが接続され、薄膜トランジスタＴＦＴのドレイン電極又はソース電極（この時点ではドレイン電極）ＳＤ２には、データ配線ＤＬが接続されている。
【０００６】
薄膜トランジスタＴＦＴのドレイン電極又はソース電極（この時点ではソース電極）ＳＤ１は液晶（素子）ＬＣの画素電極ＰＸに接続される。液晶ＬＣは、画素電極ＰＸと共通電極ＣＴとの間にあって、画素電極ＰＸに供給されるデータ(電圧)により駆動される。なお、データを一時保持するための補助容量Ｃａがドレイン電極ＳＤ２と補助容量配線ＣＬとの間に接続されている。
【０００７】
図１８は、図１７に示す表示パネルＰＮＬの画素部ＰＸＬの構成とこの画素部ＰＸＬを構成する薄膜トランジスタＴＦＴの構成を説明する図である。すなわち、図１８（ａ）は図１７に示すマトリクス状に配置された画素部ＰＸＬの平面図、図１８（ｂ）は、図１８（ａ）に示す画素部ＰＸＬにおける薄膜トランジスタＴＦＴ部分のＡ－Ａ’線に沿った断面図である。
【０００８】
図１８（ａ）に示したように、マトリクス状に配置された画素部ＰＸＬでは、薄膜トランジスタＴＦＴがゲート配線ＧＬとデータ配線ＤＬとの交差部に配置されている。また、画素電極ＰＸが薄膜トランジスタＴＦＴに接続され、補助容量配線ＣＬとの間で補助容量を形成している。
【０００９】
図１８（ｂ）において、薄膜トランジスタＴＦＴは、絶縁基板ＳＵＢ１上に、ゲート電極ＧＬとこの電極を覆うようにゲート絶縁膜ＧＩが形成され、この絶縁膜上にシリコン（Ｓｉ）半導体層ＳＩとオーミックコンタクト層（n^+Ｓｉ）ＮＳ、ソース電極ＳＤ１及びドレイン電極ＳＤ２が順次積層される。
【００１０】
このゲート配線ＧＬおよびゲート電極ＤＬを覆ってシリコン・ナイトライド（ＳｉＮｘ）のゲート絶縁膜ＧＩが成膜され、ゲート配線ＧＬと交差する複数のデータ配線ＤＬが形成される。なお、このデータ配線ＤＬと同時にソース電極ＳＤ１とドレイン電極ＳＤ２が同層で形成される。

【００１１】
このように、各ゲート配線ＧＬと各データ配線ＤＬで囲まれる部分に画素部ＰＸＬで構成される単位画素が形成される。この単位画素はフルカラー表示の場合は各単色（赤、緑、青）の副画素となる。以下では、単位画素を単に画素とも称する。画素部ＰＸＬを構成する薄膜トランジスタ（ＴＦＴ）は、上記したように、ゲート電極と、このゲート電極の上にパターニングされたシリコン半導体膜と、シリコン半導体膜の上層に分離して形成されたオーミックコンタクト層（n^+シリコン）と、分離したオーミックコンタクト層のそれぞれに接続したソース電極とドレイン電極とで構成される。
【００１２】
この薄膜トランジスタの上層には保護膜ＰＡＳが成膜され、その上にＩＴＯを好適とする画素電極ＰＸがパターニングされ、保護膜ＰＡＳに開けたコンタクトホールでソース電極（又はドレイン電極）ＳＤ１に接続している。画素電極ＰＸを覆って配向膜（図示せず）が成膜される。
【００１３】
一方、図示しない他方の基板には、フルカラーの場合は３色のカラーフィルタと平滑層（オーバーコート層）を介した対向電極（図１７の（ｂ））が形成される。そして、対向電極を覆って配向膜が成膜され、上記した一方の基板であるアクティブ・マトリクス基板と重ねあわせ、その間隙に液晶が封止される。
【００１４】
上記したアクティブ・マトリクス基板の配線等をインクジェット法で形成するものが特許文献１に開示されている。特許文献１では、薄膜トランジスタＴＦＴのゲート電極を、導電材料を含有する液体材料を用いて、インクジェット法によって形成し、また、薄膜トランジスタＴＦＴのソース電極及びドレイン電極を、半導体材料を含有する液体材料を用いて、インクジェット法によって形成することが記載されている。
【特許文献１】特開２００３－３１８１９３号公報
【発明の開示】
【発明が解決しようとする課題】
【００１５】
液晶表示パネルのアクティブ・マトリクス基板に形成されるゲート絶縁膜は、ゲート配線とデータ配線とを絶縁するために設けられる。薄膜トランジスタの性能は、ゲート絶縁膜が薄いほど向上する。また、ゲート絶縁膜が薄いほど補助容量線が細くでき、開口率が向上する。しかし、ゲート絶縁膜を薄くすると、データ配線との交差部の交差容量が増加して信号遅延が発生する。また、ゲート配線と対向電極との間に存在する対向容量も増加する。交差容量や対向容量を低減するためにゲート絶縁膜を厚くすれば、上記したように薄膜トランジスタの性能が低下する。
【００１６】
本発明の目的は、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することにある。
【課題を解決するための手段】
【００１７】
上記目的を達成するために、本発明は、液晶表示装置の液晶表示パネルを構成するアクティブ・マトリクス基板において、そのゲート配線とデータ配線の交差部に介在するゲート絶縁膜の上層または下層に低誘電率の絶縁材料をインクジェット法で滴下してもう一つの絶縁膜とし、当該交差部の交差容量や対向電極との間の容量（対向容量）を増加させることなく、薄膜トランジスタの性能を向上させた。
【００１８】
また、本発明は、ゲート配線を覆うゲート絶縁膜の上層または下層に、データ配線の交差部を含んで当該ゲート配線に沿って低誘電率の絶縁材料をインクジェット法で滴下して、当該交差部の交差容量や対向電極との間の容量（対向容量）を増加させることなく、薄膜トランジスタの性能を向上させた。

【００１９】
データ配線とソース・ドレイン電極の形成後、シリコン半導体層の成膜とパターニングで半導体アイランドを加工し、オーミックコンタクト層、ソース電極とドレイン電極の形成を行って薄膜トランジスタを作製する。保護膜の形成後、この保護膜に開けたコンタクトホールを通して薄膜トランジスタのソース電極（あるいは、ドレイン電極）に接続した画素電極を形成する。その後、既知のプロセスで液晶表示パネルを製作し、これを用いて液晶表示装置を得る。
【発明の効果】
【００２０】
本発明によれば、ゲート配線とデータ配線の交差部のみ、あるいはこの交差部を含むゲート配線の上、かつゲート絶縁膜上層または下層に低誘電率の絶縁材料を必要な細部に限定的に塗布でき、当該交差部の交差容量や対向電極との間の容量（対向容量）を増加させることなく、また、不要部分の除去等、その後のプロセスを要せずに薄膜トランジスタの性能を向上させることができる。さらに、絶縁材料をインクジェットで塗布して形成された絶縁膜の周縁は穏やかなテーパとなるため、ゲート配線を乗り越えて交差するデータ配線に段切れ等による断線の発生が抑制される。
【発明を実施するための最良の形態】
【００２１】
以下、本発明の実施の形態を実施例の図面を参照して詳細に説明する。なお、本発明の液晶表示装置の構造は以下の製造方法により説明される。
【実施例１】
【００２２】
図１は、本発明に係る液晶表示装置の実施例１を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでは、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。先ず、（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線ＧＬをパターニングする。このゲート配線ＧＬには薄膜トランジスタのゲート電極ＧＴが突出して形成される。
【００２３】
（２)アイランド形成: ゲート配線ＧＬおよびゲート電極ＧＴを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。
【００２４】
（３）クロス部ＩＪ塗布:ゲート配線のゲート絶縁層ＧＩ上で、データ配線が交差する部分（クロス部）のみに低誘電率の絶縁材料をインクジェット法で滴下して塗布し、もう一つの絶縁層ＬＤＰを形成する。このもう一つの絶縁層ＬＤＰを以下では低誘電率の絶縁層ＬＤＰとも称する。
【００２５】
（４）ソース及びチャネル形成: ゲート絶縁層ＧＩ上で、かつ交差するゲート配線ＧＬ上では低誘電率の絶縁層ＬＤＰの上に、ソース配線すなわちデータ配線ＤＬを形成する。このとき、薄膜トランジスタのソース電極ＳＤ１とドレイン電極を同時にパターニングし、ソース電極ＳＤ１とドレイン電極の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。
【００２６】

図２は、図１の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。図示されたように、ガラス基板ＳＵＢ１の表面にゲート配線ＧＬが形成されている。このゲート配線ＧＬを覆ってガラス基板ＳＵＢ１の全面にゲート絶縁膜ＧＩが形成されている。そして、ゲート配線ＧＬとデータ配線が交差する部分のゲート配線ＧＬ上かつゲート絶縁膜ＧＩの上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥して低誘電率の絶縁膜ＬＤＰとなる。

【００２７】

このゲート絶縁膜ＧＩと低誘電率の絶縁膜ＬＤＰの２層構造の絶縁構造の上にデータ配線ＤＬが交差して形成されている。図２に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜ＬＤＰの周縁は穏やかなテーパとなる。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬと図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

【００２８】

実施例１により、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

【実施例２】

【００２９】

図３は、本発明に係る液晶表示装置の実施例２を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。実施例１と同様に、先ず、（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線ＧＬをパターニングする。このゲート配線ＧＬには薄膜トランジスタのゲート電極ＧＴが突出して形成される。

【００３０】

（２）クロス部ＩＪ塗布:ゲート配線ＧＬ上で、データ配線が交差する部分（クロス部）のみに低誘電率の絶縁材料をインクジェット法で滴下して塗布し、低誘電率の絶縁層ＬＤＰを形成する。

【００３１】

(３)アイランド形成: ゲート配線ＧＬおよびゲート電極ＧＴおよび低誘電率の絶縁層ＬＤＰを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【００３２】

（４）ソース及びチャネル形成: 低誘電率の絶縁層ＬＤＰとゲート絶縁層ＧＩ上で、かつ交差するゲート配線ＧＬ上ではゲート絶縁層ＧＩの上に、ソース配線すなわちデータ配線ＤＬを形成する。このとき、薄膜トランジスタのソース電極ＳＤ１とドレイン電極を同時にパターニングし、ソース電極ＳＤ１とドレイン電極の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【００３３】

図４は、図３の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。図示されたように、ガラス基板ＳＵＢ１の表

面にゲート配線ＧＬが形成されている。ゲート配線ＧＬとデータ配線が交差する部分のゲート配線ＧＬ上に芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥して低誘電率の絶縁膜ＬＤＰとなる。この低誘電率の絶縁膜ＬＤＰを交差部に有するゲート配線ＧＬを覆ってガラス基板ＳＵＢ１の全面にゲート絶縁膜ＧＩが形成される。

【００３４】

そして、この低誘電率の絶縁膜ＬＤＰとゲート絶縁膜ＧＩとの２層構造の絶縁構造の上にデータ配線ＤＬが交差して形成される。図４に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜ＬＤＰの周縁は穏やかなテーパとなる。そのうえのゲート絶縁膜ＧＩもより穏やかな周縁となる。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬと図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

【００３５】

実施例２により、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

【実施例３】

【００３６】

図５は、本発明に係る液晶表示装置の実施例３を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。実施例３は、ゲート配線やデータ配線もインクジェット法で形成する。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。先ず、（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極のパターンに溝を形成するバンクＢＮＫ-Ｇを設ける。バンクＢＮＫ-Ｇとその溝は、感光性レジストのホトリソグラフィ手法で形成される。他の実施例でも同様である。このバンクＢＮＫ-Ｇの溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してゲート配線ＧＬとゲート電極ＧＴを形成する。

【００３７】

(２)アイランド形成:ゲート配線ＧＬおよびゲート電極ＧＴおよびバンクＢＮＫ-Ｇを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【００３８】

（３）クロス部ＩＪ塗布:ゲート配線のゲート絶縁層ＧＩ上で、データ配線が交差する部分（クロス部）のみに低誘電率の絶縁材料をインクジェット法で滴下して塗布し、低誘電率の絶縁層ＬＤＰを形成する。

【００３９】

（４）ソース及びチャネル形成: 絶縁基板の表面にデータ配線とソース電極およびドレイン電極のパターンに溝を形成したバンクＢＮＫ-Ｄを設ける。バンクＢＮＫ－Ｄとその溝は、感光性レジストのホトリソグラフィ手法で形成される。他の実施例でも同様である。このバンクＢＮＫ-Ｄの溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してデータ配線ＤＬとソース電極ＳＤ１およびドレイン電極ＳＤ２を形成する。このとき、ソース電極ＳＤ１とドレイン電極ＳＤ２の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【００４０】
図６は、図５の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。図示されたように、ガラス基板ＳＵＢ１の表面に形成したバンクＢＮＫ-Ｇの溝にゲート配線ＧＬが形成されている。このゲート配線ＧＬを覆ってガラス基板ＳＵＢ１の全面にゲート絶縁膜ＧＩが形成されている。そして、ゲート配線ＧＬとデータ配線が交差する部分のゲート配線ＧＬ上かつゲート絶縁膜ＧＩの上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥して低誘電率の絶縁膜ＬＤＰとなる。

【００４１】
このゲート絶縁膜ＧＩと低誘電率の絶縁膜ＬＤＰの２層の絶縁構造の上にデータ配線ＤＬが交差して形成されている。図６に示されたように、ゲート絶縁膜ＧＩはバンクＢＮＫ-Ｇにより平坦に形成されている。この上にインクジェットで滴下して硬化した低誘電率の絶縁膜ＬＤの周縁はより穏やかなテーパとなる。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬと図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

【００４２】
実施例３によっても、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

【実施例４】

【００４３】
図７は、本発明に係る液晶表示装置の実施例４を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。実施例４も実施例３と同様に、ゲート配線やデータ配線もインクジェット法で形成する。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。先ず、（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極のパターンに溝を形成するバンクＢＮＫ-Ｇを設ける。このバンクＢＮＫ-Ｇの溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してゲート配線ＧＬとゲート電極ＧＴを形成する。

【００４４】
（２）クロス部ＩＪ塗布:ゲート配線のゲート絶縁層ＧＩ上で、データ配線が交差する部分（クロス部）のみに低誘電率の絶縁材料をインクジェット法で滴下して塗布し、低誘電率の絶縁層ＬＤＰを形成する。

【００４５】
(３)アイランド形成:ゲート配線ＧＬおよびゲート電極ＧＴおよびバンクＢＮＫ-Ｇを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【００４６】
（４）ソース及びチャネル形成: 絶縁基板の表面にデータ配線とソース電極およびドレイン電極のパターンに溝を形成したバンクＢＮＫ-Ｄを設ける。このバンクＢＮＫ-Ｄの溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してデータ配線ＤＬとソース電極ＳＤ１およびドレイン電極ＳＤ２を形成する。このとき、ソース電極ＳＤ１とドレイン電極ＳＤ２の間にチャネルを形成する。

その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【００４７】

図８は、図７の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。図示されたように、ガラス基板ＳＵＢ１の表面に形成したバンクＢＮＫ-Ｇの溝にゲート配線ＧＬが形成されている。ゲート配線ＧＬとデータ配線が交差する部分のゲート配線ＧＬ上かつゲート絶縁膜ＧＩの上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥して低誘電率の絶縁膜ＬＤＰとなる。低誘電率の絶縁膜ＬＤＰを覆ってガラス基板ＳＵＢ１の全面にゲート絶縁膜ＧＩが形成される。

【００４８】

この低誘電率の絶縁膜ＬＤＰとゲート絶縁膜ＧＩとの２層の絶縁構造の上にデータ配線ＤＬが交差して形成されている。図８に示されたように、低誘電率の絶縁膜ＬＤＰの上に形成されるゲート絶縁膜ＧＩはバンクＢＮＫ-Ｇにより周縁が穏やかに形成されている。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬと図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

【００４９】

実施例４によっても、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

【実施例５】

【００５０】

図９は、本発明に係る液晶表示装置の実施例５を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。先ず、（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線ＧＬをパターニングする。このゲート配線ＧＬには薄膜トランジスタのゲート電極ＧＴが突出して形成される。

【００５１】

(２)アイランド形成: ゲート配線ＧＬおよびゲート電極ＧＴを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【００５２】

（３）ゲート配線部ＩＪ塗布:ゲート配線のゲート絶縁層ＧＩ上で、データ配線が交差する部分（クロス部）のみでなく、ゲート配線ＧＬに沿ってその上部に低誘電率の絶縁材料をインクジェット法で滴下して塗布し、低誘電率の絶縁層ＬＤＰを形成する。この低誘電率の絶縁層ＬＤＰはアクティブ・マトリクス基板の少なくとも表示領域（多数の画素をマトリクス配列した領域）内の全てのゲート配線ＧＬの上層に形成にされる。

【００５３】

（４）ソース及びチャネル形成: ゲート絶縁層ＧＩ上で、かつ交差するゲート配線ＧＬ上の低誘電率の絶縁層ＬＤＰの上に、ソース配線すなわちデータ配線ＤＬを形成する。このとき、薄膜トランジスタのソース電極ＳＤ１とドレイン電極を同時にパターニングし、ソース電極ＳＤ１とドレイン電極の間にチャネルを形成する。その後、保護膜の形成、画

素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【００５４】

図１０は、図９の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板ＳＵＢ１の表面にゲート配線ＧＬが形成されている。このゲート配線ＧＬを覆ってガラス基板ＳＵＢ１の全面にゲート絶縁膜ＧＩが形成されている。そして、ゲート配線ＧＬとデータ配線が交差する部分のゲート配線ＧＬ上かつゲート絶縁膜ＧＩの上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート配線ＧＬに沿ってゲート絶縁膜ＧＩ上に存在する低誘電率の絶縁膜ＬＤＰとなる。

【００５５】

このゲート絶縁膜ＧＩと低誘電率の絶縁膜ＬＤＰの２層の絶縁構造の上にデータ配線ＤＬが交差して形成されている。図１０に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜ＬＤＰの周縁は穏やかなテーパとなる。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬとカラーフィルタ基板ＳＵＢ２に有する対向電極ＣＴとの間は上記の交差部を含むゲート配線ＧＬの部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板ＳＵＢ１側の配向膜ＯＲＩ１とカラーフィルタ基板ＳＵＢ２側の配向膜ＯＲＩ２の間に液晶ＬＣが封止されている。

【００５６】

実施例５により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号線と対向電極との間にはゲート配線ＧＬ上の低誘電率の絶縁膜ＬＤＰが電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精細の液晶表示装置を提供することができる。

【実施例６】

【００５７】

図１１は、本発明に係る液晶表示装置の実施例６を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。先ず、（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線ＧＬをパターニングする。このゲート配線ＧＬには薄膜トランジスタのゲート電極ＧＴが突出して形成される。

【００５８】

（２）ゲート配線部ＩＪ塗布:ゲート配線の上に、データ配線が交差する部分（クロス部）のみでなく、ゲート配線ＧＬに沿ってその上部に低誘電率の絶縁材料をインクジェット法で滴下して塗布し、低誘電率の絶縁層ＬＤＰを形成する。この低誘電率の絶縁層ＬＤＰはアクティブ・マトリクス基板の少なくとも表示領域（多数の画素をマトリクス配列した領域）内の全てのゲート配線ＧＬの上層に形成にされる。

【００５９】

(３)アイランド形成:ゲート配線ＧＬおよびゲート電極ＧＴおよび低誘電率の絶縁層ＬＤＰを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミ

ックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【００６０】

（４）ソース及びチャネル形成:ゲート絶縁層ＧＩ上で、かつ交差するゲート配線ＧＬ上の低誘電率の絶縁層ＬＤＰの上に、ソース配線すなわちデータ配線ＤＬを形成する。このとき、薄膜トランジスタのソース電極ＳＤ１とドレイン電極を同時にパターニングし、ソース電極ＳＤ１とドレイン電極の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【００６１】

図１２は、図１１の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板ＳＵＢ１の表面にゲート配線ＧＬが形成されている。データ配線が交差する部分を含むゲート配線ＧＬ上に低誘電率の絶縁層ＬＤＰが形成され、その上にゲート絶縁膜ＧＩが形成されている。低誘電率の絶縁層ＬＤＰは、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下し、乾燥してゲート配線ＧＬに沿ってゲート絶縁膜ＧＩ上に存在する低誘電率の絶縁膜ＬＤＰとなる。

【００６２】

この低誘電率の絶縁膜ＬＤＰとゲート絶縁膜ＧＩとの２層の絶縁構造の上にデータ配線ＤＬが交差して形成されている。図１２に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜ＬＤの周縁は穏やかなテーパとなる。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬとカラーフィルタ基板ＳＵＢ２に有する対向電極ＣＴとの間は上記の交差部を含むゲート配線ＧＬの部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板ＳＵＢ１側の配向膜ＯＲＩ１とカラーフィルタ基板ＳＵＢ２側の配向膜ＯＲＩ２の間に液晶ＬＣが封止されている。

【００６３】

実施例６により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号線と対向電極との間にはゲート配線ＧＬ上の低誘電率の絶縁膜ＬＤＰが電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精細の液晶表示装置を提供することができる。

【実施例７】

【００６４】

図１３は、本発明に係る液晶表示装置の実施例７を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。先ず、（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極の溝パターンを設けたバンクＢＮＫ-Ｇを形成する。銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクＢＮＫ-Ｇの溝に滴下し、乾燥、焼成してゲート配線ＧＬとゲート電極ＧＴを形成する。

【００６５】

(２)アイランド形成: ゲート配線ＧＬおよびゲート電極ＧＴおよびバンクＢＮＫ-Ｇを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層と

したオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【００６６】

（３）ゲート配線部ＩＪ塗布:ゲート配線のゲート絶縁層ＧＩ上で、データ配線が交差する部分（クロス部）のみでなく、ゲート配線ＧＬに沿ってその上部に低誘電率の絶縁材料をインクジェット法で滴下して塗布し、低誘電率の絶縁層ＬＤＰを形成する。この低誘電率の絶縁層ＬＤＰはアクティブ・マトリクス基板の少なくとも表示領域（多数の画素をマトリクス配列した領域）内の全てのゲート配線ＧＬの上層に形成にされる。

【００６７】

（４）ソース及びチャネル形成: ゲート絶縁層ＧＩ上で、かつ交差するゲート配線ＧＬ上の低誘電率の絶縁層ＬＤＰの上に、データ配線とソース電極ＳＤ1およびドレイン電極ＳＤ２の溝パターンを有するバンクＢＮＫ-Dを形成する。この溝に銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクＢＮＫ-Gの溝に滴下し、乾燥、焼成してソース配線すなわちデータ配線ＤＬ、およびソース電極ＳＤ１とドレイン電極ＳＤ２を形成する。このとき、ソース電極ＳＤ１とドレイン電極の間にチャネルが形成される。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【００６８】

図１４は、図１３の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板ＳＵＢ１の表面にゲート配線ＧＬが形成されている。このゲート配線ＧＬを覆ってガラス基板ＳＵＢ１の全面にゲート絶縁膜ＧＩが形成されている。ゲート絶縁膜ＧＩはバンクＢＮＫ-Gの存在で平坦に形成される。そして、ゲート配線ＧＬとデータ配線が交差する部分のゲート配線ＧＬ上かつゲート絶縁膜ＧＩの上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下し、このインクが乾燥してゲート配線ＧＬに沿ってゲート絶縁膜ＧＩ上に存在する低誘電率の絶縁膜ＬＤＰとなる。

【００６９】

このゲート絶縁膜ＧＩと低誘電率の絶縁膜ＬＤＰの２層の絶縁構造の上にデータ配線ＤＬが交差して形成されている。図１４に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜ＬＤの周縁は穏やかなテーパとなる。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬとカラーフィルタ基板ＳＵＢ２に有する対向電極ＣＴとの間は上記の交差部を含むゲート配線ＧＬの部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板ＳＵＢ１側の配向膜ＯＲＩ１とカラーフィルタ基板ＳＵＢ２側の配向膜ＯＲＩ２の間に液晶ＬＣが封止されている。

【００７０】

実施例７により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号線と対向電極との間にはゲート配線ＧＬ上の低誘電率の絶縁膜ＬＤＰが電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精細の液晶表示装置を提供することができる。

【実施例８】

【００７１】

図１５は、本発明に係る液晶表示装置の実施例８を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（１）～（４）の順で説明する。先ず、

（１）ゲート電極作製:透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極の溝パターンを設けたバンクＢＮＫ-Ｇを形成する。銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクＢＮＫ-Ｇの溝に滴下し、乾燥、焼成してゲート配線ＧＬとゲート電極ＧＴを形成する。

【００７２】

（２）ゲート配線部ＩＪ塗布:ゲート配線のゲート絶縁層ＧＩ上で、データ配線が交差する部分（クロス部）のみでなく、ゲート配線ＧＬに沿ってその上部に低誘電率の絶縁材料をインクジェット法で滴下して塗布し、低誘電率の絶縁層ＬＤＰを形成する。この低誘電率の絶縁層ＬＤＰはアクティブ・マトリクス基板の少なくとも表示領域（多数の画素をマトリクス配列した領域）内の全てのゲート配線ＧＬの上層に形成にされる。

【００７３】

(３)アイランド形成: ゲート配線ＧＬおよびゲート電極ＧＴおよびバンクＢＮＫ-Ｇを含む基板全域を覆ってゲート絶縁膜ＧＩを成膜する。ゲート絶縁膜ＧＩはシリコン・ナイトライド（ＳｉＮｘ:窒化シリコン）をＣＶＤで成膜する。その後、同様のＣＶＤでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn^+シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極ＧＴの上方にシリコン半導体のアイランドＳＩを形成する。なお、このとき、アイランドＳＩの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【００７４】

（４）ソース及びチャネル形成: ゲート絶縁層ＧＩ上で、かつ交差するゲート配線ＧＬ上の低誘電率の絶縁層ＬＤＰの上に、データ配線とソース電極ＳＤ1およびドレイン電極ＳＤ２の溝パターンを有するバンクＢＮＫ-Ｄを形成する。この溝に銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクＢＮＫ-Ｇの溝に滴下し、乾燥、焼成してソース配線すなわちデータ配線ＤＬ、およびソース電極ＳＤ１とドレイン電極ＳＤ２を形成する。このとき、ソース電極ＳＤ１とドレイン電極の間にチャネルが形成される。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【００７５】

図１６は、図１５の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板ＳＵＢ１の表面にゲート配線ＧＬが形成されている。ゲート配線ＧＬとデータ配線が交差する部分を含め、ゲート配線ＧＬ上に芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート配線ＧＬに沿ってゲート絶縁膜ＧＩ上に存在する低誘電率の絶縁膜ＬＤＰとなる。この上にゲートゲート絶縁膜ＧＩを形成する。ゲート絶縁膜ＧＩはバンクＢＮＫ-Ｇの存在で平坦に形成される。

【００７６】

この低誘電率の絶縁膜ＬＤＰとゲート絶縁膜ＧＩとの２層の絶縁構造の上にデータ配線ＤＬが交差して形成されている。図１６に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜ＬＤＰの周縁は穏やかなテーパとなる。そのため、ゲート配線ＧＬに交差するデータ配線ＤＬは穏やかにゲート配線ＧＬを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線ＤＬとカラーフィルタ基板ＳＵＢ２に有する対向電極ＣＴとの間は上記の交差部を含むゲート配線ＧＬの部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板ＳＵＢ１側の配向膜ＯＲＩ１とカラーフィルタ基板ＳＵＢ２側の配向膜ＯＲＩ２の間に液晶ＬＣが封止されている。

【００７７】

実施例８により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号

線と対向電極との間にはゲート配線ＧＬ上の低誘電率の絶縁膜ＬＤＰが電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精細の液晶表示装置を提供することができる。

【００７８】

ここで、本発明の具体的効果を、交差部容量については実施例３で、対向電極については実施例７で説明する。

【００７９】

実施例３で説明した交差部容量について、図６の断面構造を参照して説明する。ゲート配線ＧＬとデータ配線ＤＬの交差部で両配線の間に存在するゲート絶縁膜ＧＩの厚さd_{gi}を０．４μｍ、その誘電率ε_{gi}を７．０、交差部の面積をＳとしたときのゲート絶縁膜ＧＩのみの交差部の容量C_0は、

$$C_0 = \varepsilon_{gi}/d_{gi}\ S = (7.0/0.4)\ S$$

となる。

【００８０】

交差部におけるゲート絶縁膜ＧＩの上にインクジェットで塗布した低誘電率の絶縁膜ＬＤＰの厚さをｄ、その誘電率をεとすると、交差部の容量Ｃは、

$$C = C_0[1/(1+d\varepsilon_{gi}/d_{gi}\varepsilon)]$$

となる。

【００８１】

ここで、低誘電率の絶縁膜ＬＤＰの誘電率εを略々３とし、低誘電率の絶縁膜ＬＤＰの厚さｄを変えたときの交差部の容量Ｃは、

$d = 0.4\mu m \rightarrow C = 0.30C_0$

$d = 0.8\mu m \rightarrow C = 0.18C_0$

$d = 1.2\mu m \rightarrow C = 0.13C_0$

となる。

【００８２】

実施例７で説明した対向容量について、図１４の断面構造を参照して説明する。ゲート絶縁膜ＧＩの厚さd_{gi}を０．４μｍ、その誘電率ε_{gi}を７．０、液晶ＬＣの厚さd_{lc}を３．５μｍ、その誘電率ε_{lc}を８．５、ゲート配線ＧＬと対向電極ＣＴの対向部の面積をＳとしたときのゲート絶縁膜ＧＩのみの交差部の容量C_0は、

$$C_0 = [(\varepsilon_{gi}\cdot\varepsilon_{lc}/(d_{gi}\varepsilon_{lc}+d_{lc}\varepsilon_{gi})]S$$

となる。

【００８３】

ゲート絶縁膜ＧＩの上に沿ってインクジェットで塗布した低誘電率の絶縁膜ＬＤＰの厚さをｄ、その誘電率をεとすると、対向容量Ｃは、

$$C = C_0[1/[(1+(d\varepsilon_{gi}\varepsilon_{lc}/(d_{gi}\varepsilon_{lc}+d_{lc}\varepsilon_{gi})\varepsilon]$$

となる。

【００８４】

ここで、低誘電率の絶縁膜ＬＤＰの誘電率εを略々３とし、低誘電率の絶縁膜ＬＤＰの厚さｄを変えたときの交差部の容量Ｃは、

$d = 1\mu m \rightarrow C = 0.58C_0$

$d = 2\mu m \rightarrow C = 0.41C_0$

$d = 3\mu m \rightarrow C = 0.32C_0$

となる。

【００８５】

なお、本発明は、上記した各実施例を適宜組み合わせることもでき、本発明の技術思想を逸脱することなく、種々の変更が可能である。

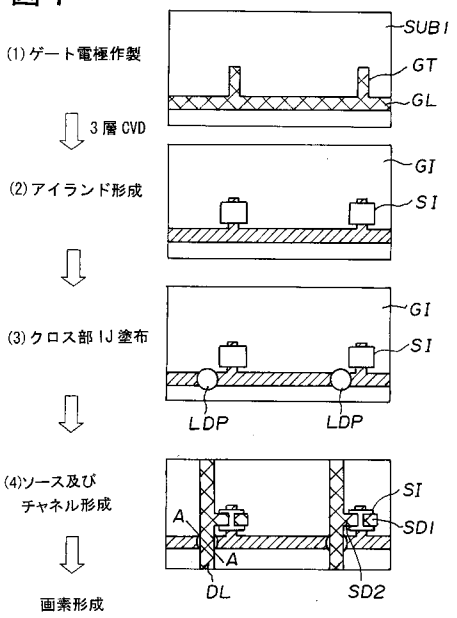
【図面の簡単な説明】

【００８６】

【図１】本発明に係る液晶表示装置の実施例１を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図２】図１の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。
【図３】本発明に係る液晶表示装置の実施例２を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図４】図３の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。
【図５】本発明に係る液晶表示装置の実施例３を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図６】図５の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。
【図７】本発明に係る液晶表示装置の実施例４を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図８】図７の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＡ－Ａ線に沿って切断した断面図である。
【図９】本発明に係る液晶表示装置の実施例５を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図１０】図９の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。
【図１１】本発明に係る液晶表示装置の実施例６を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図１２】図１１の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。
【図１３】本発明に係る液晶表示装置の実施例７を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図１４】図１３の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。
【図１５】本発明に係る液晶表示装置の実施例８を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。
【図１６】図１５の工程（４）でデータ配線を形成した状態のアクティブ・マトリクス基板のＢ-Ｂ線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。
【図１７】アクティブ・マトリクス型液晶表示装置の表示パネル部の等価回路を説明する図である。
【図１８】図１７に示す表示パネルＰＮＬの画素部ＰＸＬの構成とこの画素部ＰＸＬを構成する薄膜トランジスタＴＦＴの構成を説明する図である。
【符号の説明】
【００８７】
ＳＵＢ１・・・第１の絶縁基板（アクティブ・マトリクス基板）、ＳＵＢ２・・・第２の絶縁基板（カラーフィルタ基板）、ＧＬ・・・ゲート配線、ＧＴ・・・ゲート電極、ＧＩ・・・ゲート絶縁膜、ＳＩ・・・シリコン半導体層、ＬＤＰ・・・低誘電率の絶縁膜、ＤＬ・・・データ配線、ＳＤ１・・・ソース電極（ドレイン電極）、ＳＤ２・・・ドレイン電極（ソース電極）、ＢＮＫ－G・・・ゲート配線形成用バンク、ＢＮＫ－Ｄ・・・データ配線形成用バンク。

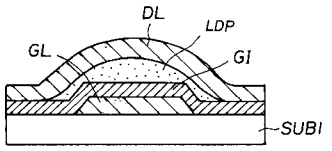
【図１】

図 1



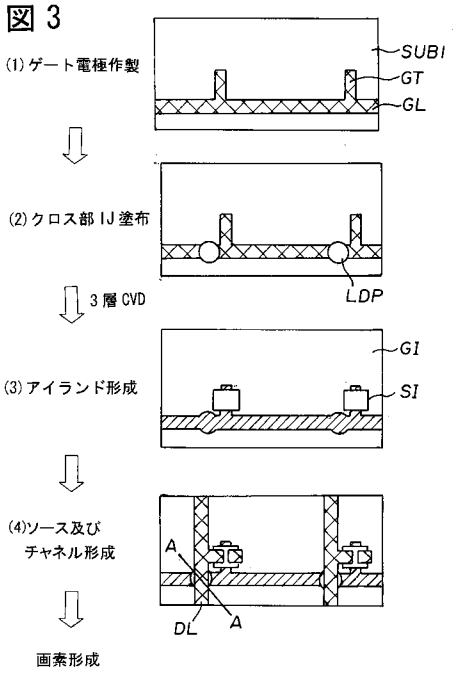
【図２】

図 2



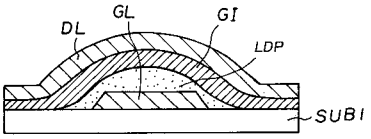
【図３】

図 3



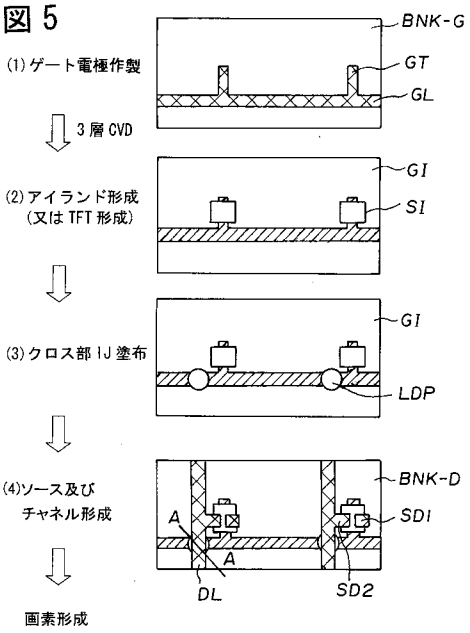
【図４】

図 4



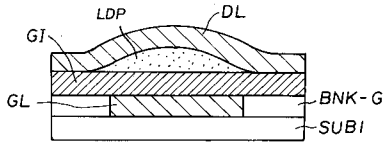
【図５】

図 5



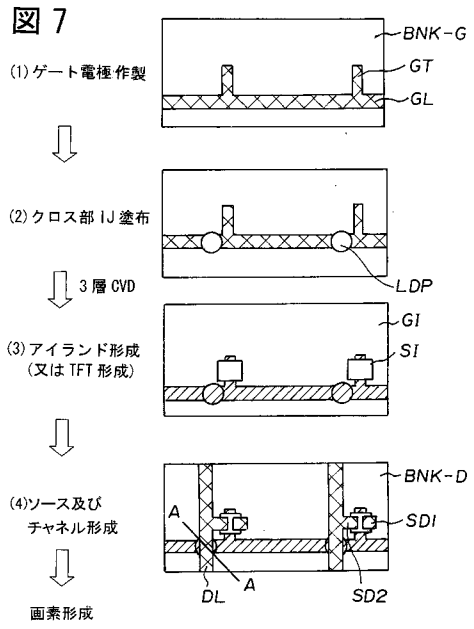
【図６】

図 6



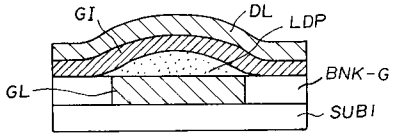
【図７】

図 7



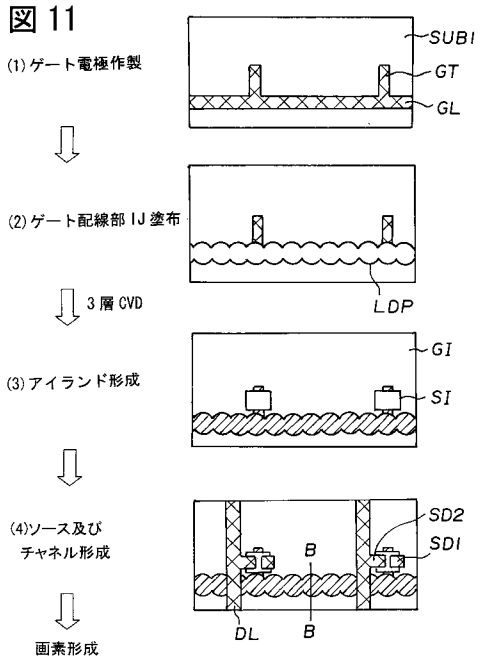
【図８】

図 8



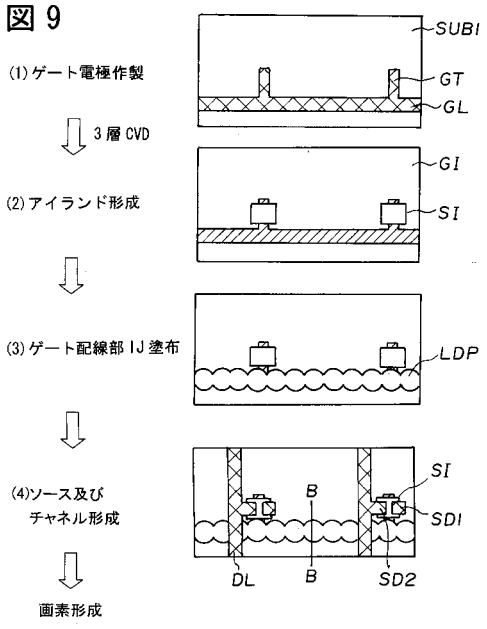
【図１１】

図 11



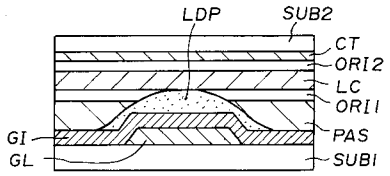
【図９】

図 9



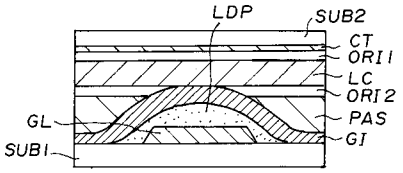
【図１０】

図 10



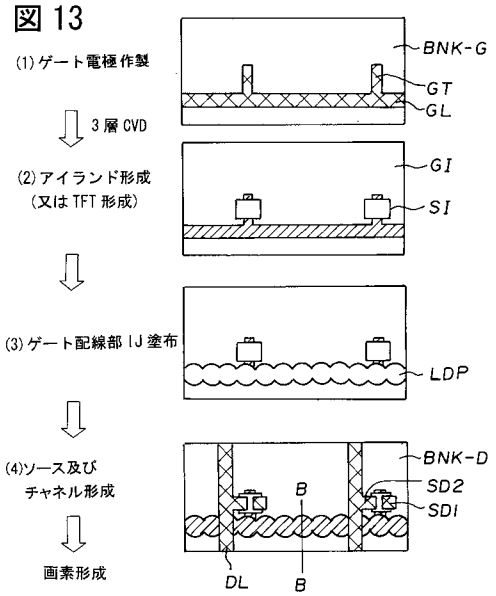
【図１２】

図 12



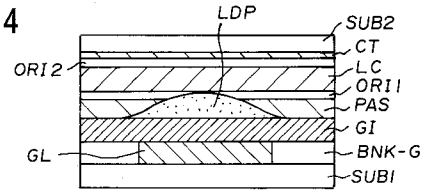
【図１３】

図 13



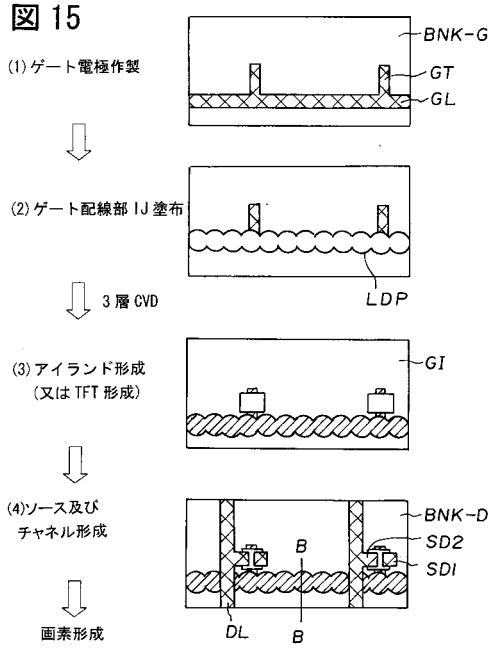
【図１４】

図 14



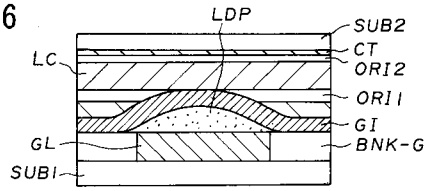
【図１５】

図 15



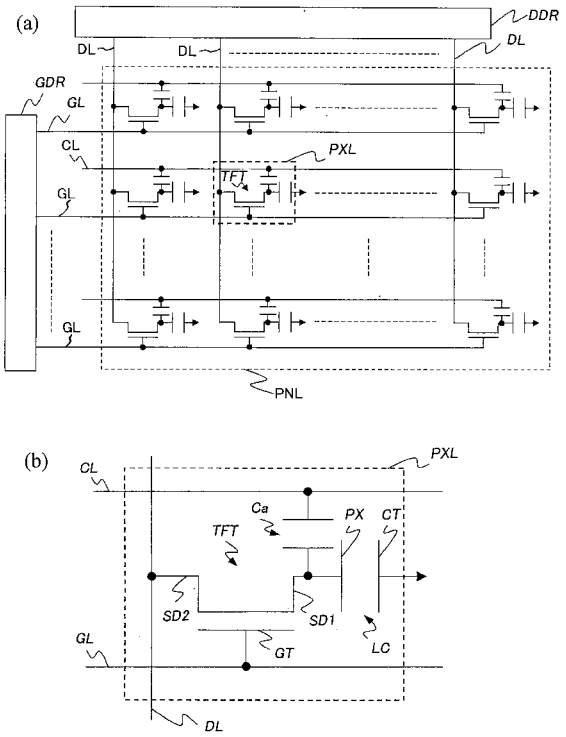
【図１６】

図 16



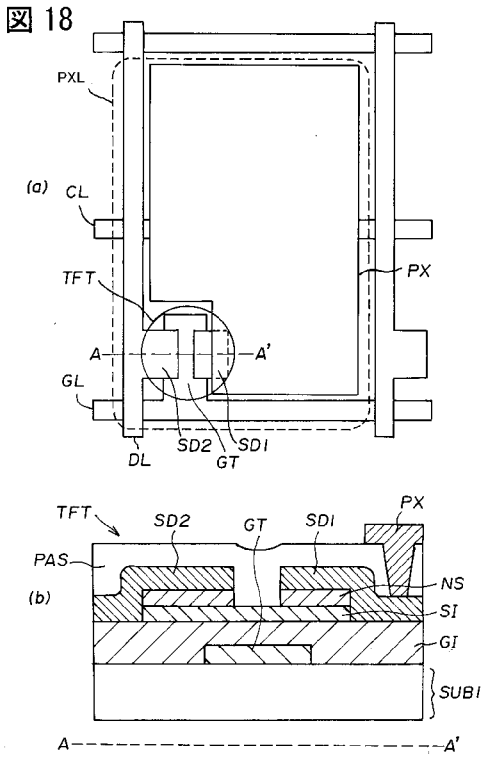
【図１７】

図１７



【図１８】

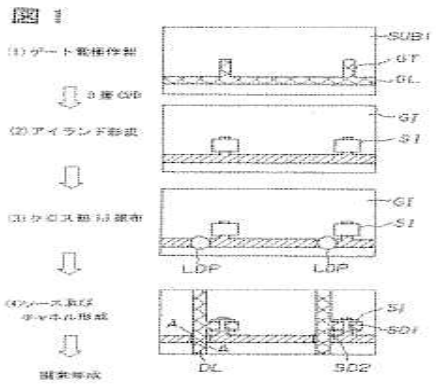
図 18


PXL
(a)
CL
TFT
PX
A
A'
GL
SD2
SD1
DL
GT
TFT
SD2
GT
SD1
PX
PAS
NS
(b)
SI
GI
SUB1
A
A'

フロントページの続き

Ｆターム(参考) 5F033 GG04 SS21 UU04 VV06 VV15 XX02 XX24
5F110 AA02 AA26 BB01 CC07 DD02 EE02 EE37 EE42 EE47 FF03
FF29 GG02 GG15 GG44 HK02 HK09 HK16 HK21 HK25 HK32
HK34 HK41 HM19 NN02 NN72

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2007171314A	公开(公告)日	2007-07-05
申请号	JP2005365739	申请日	2005-12-20
[标]申请(专利权)人(译)	未来视野股份有限公司		
申请(专利权)人(译)	有限责任公司未来展望		
[标]发明人	好本芳和		
发明人	好本 芳和		
IPC分类号	G02F1/1368 H01L29/786 H01L21/768 H01L23/522		
CPC分类号	G02F1/136286 G02F1/1368 G02F2001/13606 H01L27/12 H01L27/124 H01L27/1248 H01L27/1292		
FI分类号	G02F1/1368 H01L29/78.612.C H01L21/90.W H01L21/90.Q		
F-TERM分类号	2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA47 2H092/JB22 2H092/JB31 2H092/JB69 2H092/KA05 2H092/KA18 2H092/KA20 2H092/KB04 2H092/KB06 2H092/KB22 2H092/KB25 2H092/MA02 2H092/MA12 2H092/NA27 2H092/NA29 2H092/PA07 2H092/PA12 5F033/GG04 5F033/SS21 5F033/UU04 5F033/VV06 5F033/VV15 5F033/XX02 5F033/XX24 5F110/AA02 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE37 5F110/EE42 5F110/EE47 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG44 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK32 5F110/HK34 5F110/HK41 5F110/HM19 5F110/NN02 5F110/NN72 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA72 2H192/EA72 2H192/HA22 2H192/HA23		
代理人(译)	小野寺杨枝		
其他公开文献	JP4395659B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过提高薄膜晶体管的性能而不增加栅极布线和数据布线之间的交叉容量，提供高速运行的高清液晶显示装置。ŽSOLUTION：对于液晶显示装置，通过喷墨方法滴下具有低介电常数的绝缘材料，以在设置在栅极布线GL和栅极布线GL之间的交叉点处的栅极绝缘膜GI的上层上形成绝缘膜LDP。数据布线DL形成在构成液晶显示装置的液晶显示板的有源矩阵基板SUB1上，由此改善了构建在硅半导体层SI上的薄膜晶体管的性能，而不增加交叉点处的交叉容量。Ž